

Description

Titre de l'invention : PROCÉDÉ DE RÉALISATION D'UN DISPOSITIF MICROÉLECTRONIQUE SUR SUBSTRAT FD-SOI, DISPOSITIF CORRESPONDANT ET CIRCUIT INTÉGRÉ L'INCORPORANT

Domaine technique

- [001] L'invention se rapporte au domaine de l'industrie microélectronique, ou industrie du semiconducteur, et concerne la fabrication d'une structure microélectronique sur un substrat SOI (acronyme de "Silicon-On-Insulator" en anglais, qui veut dire silicium sur isolant). L'invention concerne également la structure microélectroniques obtenue par un tel procédé de fabrication.
- [002] Elle trouve des applications, notamment pour la fabrication de dispositifs semiconducteurs intégrés, comme les systèmes microélectromécaniques (MEMS) ou les systèmes nanoélectromécaniques (NEMS), ou de dispositifs microélectroniques ou optoélectroniques, comme par exemple un capteur d'image (ou imageur) en technologie CMOS (de l'anglais « Complementary Metal–Oxide–Semiconductor ») ou tout autre dispositif microélectronique réalisé dans cette technologie.

État de la technique antérieure

- [003] Depuis les années 1950, l'industrie microélectronique est engagée dans une course à la miniaturisation des dispositifs microélectroniques, dont l'élément de base est le transistor à effet de champs, et en particulier le transistor MOS (de l'anglais « Metal–Oxide–Semiconductor »), notamment en technologie CMOS (de l'anglais « Complementary Metal–Oxide–Semiconductor »), qui est utilisé comme élément de commutation entre deux états électriques distincts correspondant à deux états logiques opposés (1 ou 0 en logique binaire). La miniaturisation des transistors MOS s'est accompagnée d'un meilleur contrôle de leurs propriétés électriques, et notamment de la quantité de courant qui circule par unité de temps à travers le canal de conduction de ces transistors, dont dépend la vitesse de leur commutation.

- [004] Or, la vitesse du courant est principalement déterminée par le matériau qu'il traverse. Comme les fabricants de puces microélectroniques sont plus ou moins limités à l'utilisation de substrats de silicium (Si), ils se sont concentrés sur l'augmentation de la vitesse de commutation en réduisant la taille des transistors, par exemple des transistors MOS, notamment en technologie CMOS.
- [005] Dans ce contexte, les substrats de silicium sur isolant ou substrats SOI sont devenus largement utilisés de nos jours pour la fabrication de dispositifs microélectroniques à base de transistors. Mais après quelques décennies d'améliorations des procédés technologiques, l'industrie éprouvait de plus en plus de difficultés à réduire encore la taille des transistors.
- [006] C'est pourquoi la technique mise au point par le Leti (laboratoire du Commissariat à l'Energie Atomique et aux Energies Alternatives (C.E.A.) et ses partenaires il y a une bonne vingtaine d'années, et connue sous le nom de FD-SOI (de l'anglais « Fully-Depleted Silicon-On-Insulator »), a alors consisté à proposer une nouvelle architecture de transistors MOS ultraminces, avec un canal qui peut de ce fait être totalement "déserté" (en anglais : « fully depleted », FD), c'est-à-dire sans éléments dopants. La technique FD-SOI a permis de poursuivre le défi de la miniaturisation, tout en alliant performances élevées et consommation énergétique faible, notamment dans les circuits intégrés pour des applications analogiques en ondes millimétriques et en ondes radiofréquences (RF) jusqu'à 100 GHz, par exemple pour la téléphonie 5G. La technologie FD-SOI permet en effet d'atteindre encore des nœuds technologiques inférieurs ou égaux à 10 nm, voire 7 nm.
- [007] La technologie FD-SOI diffère des structures SOI conventionnelles à plus forte épaisseur, comme la technologie classique des transistors MOS dont le canal est formé dans un substrat de silicium massif (« bulk » en anglais), et la technologie FinFET (de l'anglais « Fin Field-Effect Transistor ») proposée par Intel® dans laquelle un transistor à effet de champ à ailettes, qui est un transistor non-planaire (ou "transistor 3D"), est construit sur un substrat massif où la grille est placée sur deux, trois ou quatre côtés du canal en formant une structure multi-grilles. Par rapport à ces technologies, la technologie FD-SOI permet d'augmenter la vitesse de circulation du courant car les composants sont façonnés non pas dans un bloc de silicium massif mais dans une couche de silicium ultra-mince posée sur une fine couche d'oxyde isolante, elle-même posée sur le substrat de silicium qui ne

nécessite plus d'être dopé. Ainsi, les transistors réalisés sur un substrat SOI, qui sont des transistors planaires donc plus simples à réaliser que les transistors FinFET, sont -moins sensibles aux fuites de courant entre la source et leur drain d'une part, et le silicium du substrat porteur d'autre part, ce qui augmente la vitesse à laquelle ils commutent sans qu'il soit nécessaire de les rendre plus petits.

- [008] Mais on sait en outre que la vitesse de circulation du courant dépend également de la structure cristalline du silicium. C'est pourquoi les substrats SOI tendent actuellement à évoluer vers l'utilisation de silicium (Si) contraint, pour la réalisation de zones actives de dispositifs microélectroniques comme le canal des transistors en technologie CMOS. L'utilisation du silicium contraint ou sSi (de l'anglais « strained Silicon »), constitue actuellement l'un des facteurs les plus importants de l'accélération de la technologie CMOS sur silicium. L'amélioration de la mobilité des porteurs de charges électriques qui est obtenue par l'application d'une contrainte appropriée à la structure du réseau cristallin permet en effet d'augmenter la vitesse de ces porteurs de charges dans le canal du transistor MOS, ce qui se traduit par un courant plus élevé pour une tension d'alimentation et une épaisseur d'oxyde de grille fixes.
- [009] En pratique, le silicium contraint (sSi) est une couche de silicium dans laquelle les atomes de silicium sont étirés (tension) ou comprimés (compression) au-delà de leur distance interatomique normale. Une couche de silicium contrainte en tension peut être obtenue en plaçant une fine couche de silicium sur un substrat de silicium-germanium (SiGe). Lorsque les atomes de la couche de silicium s'alignent sur les atomes de la couche de silicium-germanium sous-jacente (qui sont disposés un peu plus loin les uns des autres, par rapport à ceux d'un cristal de silicium massif), les liens entre les atomes de silicium sont étirés, ce qui donne lieu à un réseau (« lattice » en anglais) d'atomes de silicium qui est déformé. Ceci améliore la mobilité de ces porteurs de charges, ce qui se traduit par une meilleure performance de la puce et une moindre consommation d'énergie. Les électrons peuvent ainsi se déplacer 70 % plus rapidement, ce qui permet aux transistors de type NMOS en sSi d'avoir une vitesse de commutation augmentée de 35 %.
- [0010] La technologie FD-SOI et l'utilisation de sSi peuvent être combinés, afin d'allier les avantages respectifs de ces deux avancées technologiques majeures. Cela consiste à coller un film de silicium contraint (sSi) par-dessus une couche très fine

d'oxyde enterré ou BOX (de l'anglais « Buried Oxide ») formée sur un support en silicium non dopé. Le collage d'un film de silicium contraint (sSi) sur un tel substrat est décrit, par exemple, dans les documents de l'art antérieur EP 1923912 A1 et US 5691231 A.

- [0011] La finesse de la couche d'oxyde (BOX) sous le film de Silicium contraint (sSi) est source de problèmes de collage lorsque le film mince est continu (c'est-à-dire dépourvu de motifs). Ceci est dû, notamment, au fait que l'hydrogène gazeux de l'atmosphère sous laquelle l'opération de collage est réalisée, doit être absorbé par le BOX pour que le collage se réalise, et quand le BOX est très fin alors il y a un risque de défauts de collage. La solution divulguée dans le document EP 1923912 A1 pour le collage d'une portion d'une plaquette donneuse comprenant la couche active du dispositif microélectronique sur une plaquette support, apporte une réponse satisfaisante aux problèmes de collage du film de sSi sur le BOX.
- [0012] Cependant, on s'aperçoit que la réalisation subséquente de motifs gravés formant des tranchées d'isolation peu profonde ou STI (de l'anglais « Shallow Trench Isolation ») entre des composants réalisés en des positions respectives adjacentes dans la couche active du dispositif microélectronique, pose à son tour des problèmes. L'isolation par tranchées peu profondes (STI), également connue sous le nom de technique d'isolation par caissons, empêche les fuites de courant électrique entre des composants adjacents d'un dispositif microélectroniques qui sont réalisés sur le même substrat semi-conducteur dès lors que lesdits composants adjacents latéralement sont isolés l'un de l'autre par une telle tranchée isolante. La technique STI est généralement utilisée, depuis de nombreuses années, dans les technologies CMOS de 250 nanomètres et moins.
- [0013] Or, lorsqu'on cherche à créer des zones actives isolées les unes des autres et comprenant chacune une portion respective d'un film de silicium contraint (en sSi), on constate que la contrainte du sSi tend à se relaxer, c'est-à-dire à diminuer au niveau des bords des zones actives créées, où ledit film de sSi est coupé. Ceci se produit lorsqu'on réalise la gravure des motifs destinés à être emplis de l'isolant pour former les tranchées d'isolation STI, étant donné que ladite gravure rompt physiquement le film de sSi.

[0014] Le document US20060071274A1 divulgue une méthode de formation d'une plaquette SOI collée, qui comporte une première couche diélectrique en surface et des tranchées remplies de diélectrique s'étendant de la surface vers l'intérieur dans le semi-conducteur. Cette première plaquette est collée (après retournement préalable) sur une seconde plaquette pour former une plaquette collée comportant un substrat massif ("Bulk") à savoir celui de la seconde plaquette, une couche diélectrique enterrée recouvrant le Bulk, et une couche semi-conductrice sur isolant (SOI) recouvrant la couche diélectrique enterrée, les tranchées remplies de diélectrique s'étendant vers le haut à partir de la couche diélectrique enterrée dans la couche SOI.

[0015] Le document FR3051595A1 divulgue un perfectionnement à une méthode de fabrication d'un substrat de silicium contraint sur isolant (sSOI), laquelle consiste à transférer au moins une partie d'une contrainte présente dans une couche de silicium germanium (Si-Ge) contraint située à la surface d'un substrat receveur, à une couche de silicium (Si) monocristallin initialement relaxée d'un substrat donneur qui est transférée par collage sur ledit substrat receveur par l'intermédiaire d'une couche diélectrique destinée à former la couche isolante enterrée d'un SOI.

Exposé de l'invention

[0016] L'invention a pour objectif de remédier au moins en partie aux inconvénients de l'art antérieur, et plus particulièrement de proposer une alternative à la formation des tranchées d'isolation peu profondes (STI) conformément à la pratique actuelle, qui évite de relaxer la contrainte du silicium dans des portions disjointes d'un film de silicium contraint continu du fait de la formation desdites tranchées d'isolation qui séparent ledit film continu en lesdites portions disjointes, afin d'en préserver les bonnes propriétés de conduction électrique.

[0017] Pour cela, l'objet de l'invention est un procédé de fabrication d'un dispositif microélectronique, ledit procédé comportant :

- la fourniture d'une première plaque comprenant un substrat support ;
- la formation, sur le substrat support de la première plaque, de premières tranchées d'isolation;
- la fourniture d'une seconde plaque comprenant un substrat donneur ;

- la formation, sur le substrat donneur de la seconde plaque, d'un film de silicium contraint,
- le collage de la seconde plaque sur la première plaque, de sorte que le film de silicium contraint se retrouve sur la première plaque par l'intermédiaire d'au moins une couche en matériau isolant formée, avant le collage, sur la première plaque après la formation des premières tranchées et/ou sur la seconde plaque après la formation du film de silicium contraint ;
- le démontage du substrat donneur tout en conservant la couche de matériau isolant et le film de silicium contraint sur la première plaque ;
- la formation de secondes tranchées d'isolation autour et/ou le long de portions du film de silicium contraint.

[0018] Ainsi, des modes de mise en œuvre de l'invention reposent sur la combinaison :

- du collage d'une plaquette donneuse comprenant un film de silicium contraint à transférer sur une plaquette support ayant des motifs formant des tranchées d'isolation (STI) ; d'une part, et,
- de l'oxydation complémentaire du film de silicium contraint qui est réalisée après le transfert dudit film sur la plaquette support, d'autre part,

pour créer d'autres tranchées d'isolation peu profonde (STI) qui rejoignent l'isolant des tranchées STI déjà présentes plus en profondeur, sans couper le film de silicium contraint. Avantageusement, le film de silicium contraint n'est pas coupé, en effet, car il est simplement transformé localement en dioxyde de silicium. De ce fait, il n'y a pas de relaxation de la contrainte du silicium dans les portions respectives du film de silicium contraint qui sont créées par la formation desdites tranchées d'isolation.

[0019] Certains aspects préférés mais non limitatifs de ce procédé sont les suivants.

[0020] Dans des modes de mise en œuvre, on peut prévoir que :

- les premières tranchées d'isolation formées dans le substrat support de la première plaquette sont des tranchées dites « tranchées peu profondes », ou STI, dont la profondeur est supérieure à environ 5 nm, ou comprise entre environ 5 nm et environ 300 nm, de préférence entre environ 50 nm et

environ 300 nm, et encore plus préférentiellement entre environ 70 nm et environ 300 nm ; et/ou

- les secondes tranchées d'isolation ont une profondeur égale ou supérieure à l'épaisseur du film de silicium contraint, par exemple comprise entre environ 10 nm et environ 20 nm, par exemple de l'ordre de 15 nm.

- [0021] Le matériau isolant des premières tranchées, le matériau isolant des secondes tranchées et/ou le matériau isolant de la couche en matériau isolant, peuvent être du dioxyde de silicium (SiO_2).
- [0022] Dans des modes de mise en œuvre, la formation des premières tranchées dans le substrat support peut être réalisée par gravure à travers un premier masque préalablement réalisé par photolithographie dans une couche de matériau dur comme par exemple un nitrure, qui recouvre le substrat support fourni par l'intermédiaire d'une couche de matériau isolant associée, des résidus dudit premier masque et de ladite couche de matériau isolant associée étant retirés du substrat support après la formation desdites premières tranchées.
- [0023] Dans des modes de mise en œuvre, le procédé comprend en outre la formation de troisièmes tranchées d'isolation réalisées à travers un second masque préalablement réalisé par photolithographie dans une couche de matériau dur comme par exemple un nitrure, qui est déposée par-dessus une couche de matériau isolant associée elle-même déposée sur la couche de silicium contraint après le démontage du substrat donneur, des résidus dudit second masque et de ladite couche de matériau isolant associée étant retirés après la formation desdites troisièmes tranchées.
- [0024] Par exemple, les secondes tranchées d'isolation joignent les premières tranchées par l'intermédiaire de la couche de matériau isolant pour former une structure d'isolation autour et le long du film de silicium contraint.
- [0025] Les secondes tranchées peuvent être réalisées par oxydation locale du silicium du film de silicium contraint, par exemple l'oxydation locale du silicium du film de silicium contraint est une oxydation thermique, par exemple une oxydation de type LOCOS.

- [0026] Dans des modes de mise en œuvre, le démontage du substrat donneur peut être réalisé par meulage, par retraits sélectifs ou par fracture par implantation, par exemple par mise en œuvre du procédé Smart-cut®.
- [0027] Le substrat donneur de la seconde plaque peut comprendre une couche de silicium-germanium, Si-Ge, adaptée pour contraindre le silicium du film de silicium contraint.
- [0028] Dans des modes de mise en œuvre, on peut en outre réaliser au moins une ouverture à travers l'épaisseur d'une tranchée parmi les secondes tranchées et à travers la couche de matériau isolant pour exposer le substrat support sous-jacent, dans une zone dudit substrat support dans laquelle il n'y a pas de premières tranchées, et dans lequel, en outre on fait croître vers le haut le silicium (Si) du substrat support par croissance épitaxiale dans l'ouverture, au moins jusqu'à et y-compris le niveau de la couche de matériau isolant.
- [0029] Dans des modes de mise en œuvre, certaines au moins des secondes tranchées d'isolation peuvent avoir les mêmes dimensions horizontales que des premières tranchées associées, et sont respectivement alignées verticalement avec lesdites premières tranchées associées.
- [0030] Selon un deuxième aspect de l'invention, il est également proposé une structure microélectronique obtenue par la mise en œuvre du procédé de fabrication selon le premier aspect ci-dessus, ladite structure comportant des zones actives disjointes à la surface d'un même substrat porteur et isolées entre elles par des tranchées d'isolation profondes et moins profondes, chaque zone active ayant une portion de film de silicium contraint respective, et lesdites portions de film de silicium contraint reposant sur une même couche isolante qui est elle-même située au-dessus du substrat porteur.
- [0031] Le silicium contraint peut être par exemple du type silicium totalement déserté sur isolant.
- [0032] Le matériau isolant des premières tranchées, le matériau isolant des secondes tranchées et/ou le matériau isolant de la couche en matériau isolant, peuvent du dioxyde de silicium (SiO₂).
- [0033] Les secondes tranchées peuvent avoir des flancs non verticaux.

[0034] Selon encore un troisième aspect, il est proposé un circuit intégré un circuit intégré comprenant la structure microélectronique selon le deuxième aspect ci-dessus, et comprenant en outre au moins un transistor à effet de champ de type MOS réalisé dans une zone active de ladite microstructure dont la portion de film de silicium contraint sert de substrat de silicium totalement déserté sur isolant (FD-SOI) dans lequel le canal du transistor MOS est réalisé.

Brève description des dessins

[0035] D'autres aspects, buts, avantages et caractéristiques de l'invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

- Les figures de la figure 1A à la figure 1C sont des vues schématiques en coupe verticale, à des étapes respectives de sa préparation, d'un exemple de plaquette support ayant des tranchées d'isolation peu profondes (STI) réalisées, conformément à des modes de mise en œuvre de l'invention, avant le collage de la plaquette donneuse sur ladite plaquette support ;
- la figure 2 est une vue schématique en coupe verticale d'un exemple de plaquette donneuse comprenant une couche de silicium contraint, destinée à être transférée par collage sur la plaquette support de la figure 1C ;
- la figure 3A illustre schématiquement le collage, sur la plaquette support, de la plaquette donneuse avec sa couche de silicium contraint, après retournement vertical de ladite plaquette donneuse ;
- la figure 3B est une vue schématique montrant, en coupe verticale, la nouvelle plaquette obtenue après le collage schématiquement illustré par la figure 3A ;
- la figure 4 est une vue schématique, en coupe verticale, de la plaquette de la figure 3B après démontage du substrat de (anciennement) la plaquette donneuse ;
- la figure 5 est vue une schématique, en coupe verticale, de la plaquette de la figure 4 après formation d'une couche d'isolation en oxyde puis d'une couche de passivation et de protection en nitrure ;

- la figure 6 montre, en coupe verticale, la plaquette de la figure 5 après la formation, à travers les couches d'oxyde et de nitrure, de caissons exposant la couche de silicium contraint qui a été transférée sur la plaquette support ;
- la figure 7 est une vue schématique, en coupe verticale, de la plaquette après remplissage des caissons de la figure 6 par du matériau isolant pour former des tranchées d'isolation par oxydation locale du silicium contraint, lesquelles tranchées d'isolation rejoignent les tranchées situées plus en profondeur déjà réalisées dans le substrat de la plaquette support avant le transfert du film de silicium contraint par collage de la plaquette donneuse ;
- la figure 8 montre la microstructure de la figure 7 après retrait du masque dur en nitrure diélectrique ;
- la figure 9 est une vue schématique, en coupe verticale, de la plaquette finalement obtenue après retrait des résidus d'oxyde, et planarisation ;
- la figure 10 est un diagramme d'étapes illustrant de manière schématique des étapes d'exemple de mises en œuvre du procédé selon l'invention ; et,
- la figure 11 est une vue schématique, en coupe verticale, d'un exemple de circuit électronique obtenu par le procédé, après la réalisation d'ouvertures permettant d'accéder au silicium du substrat porteur.

Description de modes de réalisation détaillés

[0036] Sur les figures et dans la suite de la description, les mêmes références représentent les éléments identiques ou similaires. De plus, les différents éléments ne sont pas représentés à l'échelle de manière à privilégier la clarté des figures. Par ailleurs, les différents modes de réalisation et variantes ne sont pas exclusifs les uns des autres et peuvent être combinés entre eux.

[0037] Dans ce qui suit, les termes "sensiblement", "environ", ou encore "de l'ordre de" signifient à 10% près, et de préférence à 5% près. Par ailleurs, les termes "compris entre ... et ...", ou des termes équivalents, signifient que les bornes sont incluses, sauf mention contraire explicite.

[0038] Par l'expression "formé à base de", utilisée en référence à un matériau et à un élément d'intérêt, on entend que le matériau est un composé formé d'une pluralité d'éléments dont au moins ledit élément d'intérêt.

[0039] Par l'expression "matériau comportant majoritairement" un élément d'intérêt, on entend un matériau dont au moins 50% en volume est formé par, ou comporte ledit élément d'intérêt.

[0040] Le terme "plaquette" désigne une plaque très fine de matériau semi-conducteur monocristallin (aussi appelée "wafer" par emprunt de ce terme à la langue anglo-saxonne), sur laquelle des dispositifs microélectroniques peuvent être réalisés. Les wafers sont employés dans l'industrie microélectronique en tant que support de fabrication de microstructures, pour fabriquer des dispositifs microélectroniques, avant leur intégration dans un boîtier (« packaging » en anglais) pour obtenir un circuit intégré. Les plaquettes comprennent une base en matériau semi-conducteur dopé, comme le silicium (Si), l'arséniure de gallium (GaAs) ou le phosphore d'indium (InP). Ce matériau semi-conducteur dopé sert de substrat pour la création des microstructures formant les dispositifs microélectroniques actifs qui entrent dans la composition des circuits intégrés, des transistors, des produits semi-conducteurs de puissance, des MEMS ou NEMS, etc. Cette fabrication emploie des techniques de conception telles que par exemple et de manière non limitative : la photolithographie, le dopage, la gravure, le dépôt d'autres matériaux en couches ou par diffusion ou par toute autre réaction physico-chimique, le polissage, etc. Les plaquettes produites industriellement présentent des dimensions généralement comprises entre 25,4 mm (technologie 1") et 300 mm (technologie 8"), pour une épaisseur de l'ordre de 0,7 mm.

[0041] Par "couche", on entend une étendue d'un matériau cristallin dont l'épaisseur suivant l'axe Z est inférieure, par exemple dix fois voire vingt fois, à ses dimensions longitudinales de largeur et de longueur dans le plan XY.

[0042] Par « gravure anisotrope » on entend que la vitesse de la gravure du silicium n'est pas la même dans toutes les directions pendant le processus de gravure. Au contraire, seule la direction verticale du silicium est gravée pendant le processus de gravure, la direction latérale n'étant pas gravée. A contrario, une "gravure isotrope" ne privilégie aucune direction de gravure, en sorte que toutes les surfaces exposées sont gravées simultanément, et ce quelle que soit leur orientation dans l'espace, i.e., qu'elles soient horizontales, verticales, ou inclinées.

- [0043] Le polissage mécano-chimique ou CMP (de l'anglais « Chemical-Mechanical Polishing ») est un processus de lissage des surfaces utilisant l'action combinée de forces mécaniques d'abrasion et d'attaques chimiques de la surface d'un matériau à traiter par la mise en œuvre d'une suspension abrasive de polissage (« slurry »), ayant comme effet l'enlèvement du (ou des) matériau(x) en surface de la plaquette et l'effacement d'une éventuelle topographie de surface, avec pour résultat la planarisation de la surface de la plaquette exposée à ce processus. La durée du processus de CMP est donnée par la vitesse d'enlèvement ainsi que par l'épaisseur de matière à retirer avant d'atteindre une éventuelle couche d'arrêt.
- [0044] Le terme "photo-résine" (« photoresist » en anglais) désigne un matériau utilisé en photolithographie, plus particulièrement une résine polymère, qui est sensible à la lumière et est utilisé pour former un motif sur une plaquette. Ceci est effectué en utilisant un masque optique formé de zones opaques et de zones transparentes qui définissent le motif que l'on souhaite reproduire sur la plaquette, à travers lequel la photo-résine est illuminée. Le photo-résine a ses propriétés modifiées au niveau des zones transparentes du filtre optique, du fait de cette illumination. Ainsi par exemple, une photo-résine "positive" est un polymère sensible à la lumière qui, lorsqu'il est exposé à la lumière ultraviolette (UV), se transforme en un matériau soluble : les zones exposées à cette illumination peuvent alors être dissoutes à l'aide d'un solvant, laissant derrière elles (on parle de révélation dans le jargon de la personne du métier) une couche à motifs en creux qui peut être utilisée comme masque pour la formation d'une structure à travers le masque ainsi constitué. Par exemple, la structure peut être formée par une gravure d'un matériau sous-jacent préexistant qui est sélective au matériau du masque, ou par une implantation ionique dans un tel matériau sous-jacent, ou par dépôt d'un nouveau matériau dans les zones exposées par le masque.
- [0045] Enfin, on définit ici et pour la suite de la description un repère direct tridimensionnel orthogonal (X,Y,Z), où les axes X et Y forment un plan parallèle au plan principal de la plaque support considérée, et où l'axe Z est orienté de manière sensiblement orthogonale au plan principal de la plaque, cet axe Z étant orienté suivant la direction de l'axe de la gravité. Dans la suite de la description, les termes "vertical" et "verticalement" s'entendent comme étant relatifs à une orientation sensiblement parallèle à l'axe Z, et les termes "horizontal" et "horizontalement"

comme étant relatifs à une orientation sensiblement parallèle au plan (X,Y). Par ailleurs, les termes "dessus" et "dessous" ainsi que leurs dérivés (comme "au-dessus" et "au-dessous", ou "par-dessus" et "par-dessous"), ainsi également que les termes "inférieur" et "supérieur", utilisés pour qualifier un élément de la microstructure considérée, s'entendent comme étant relatifs à un positionnement croissant lorsqu'on s'éloigne du wafer vers le haut, i.e., suivant la direction verticale +Z.

- [0046] Le terme "arrière" et le terme "avant", en revanche, sont utilisés en référence à la face d'une plaque par laquelle les différents traitements sont, ou ont été effectués pour réaliser la microstructure considérée. Ces traitements étant systématiquement réalisés par le haut lorsque la plaque est disposée à plat dans une enceinte utilisée pour effectuer le traitement, la face "avant" est généralement (et par défaut) la face supérieure de la plaque. Toutefois, lorsqu'une plaque ou une puce découpée d'une plaque sont retournées verticalement, leur face avant devient la face inférieure et leur face arrière devient la face supérieure. Le qualificatif "arrière" attribué au substrat semi-conducteur d'une plaque ou d'une puce individuelle est également utilisé en référence à cette convention, en ce sens qu'on désigne par-là la partie du substrat qui est la plus éloignée de la face de ladite plaque ou de ladite puce au niveau de laquelle des traitements ont été réalisés sur le substrat, et que l'on qualifie toujours de face arrière quand bien même la plaque ou la puce ont été retournées verticalement.
- [0047] Dans la description de modes de mise en œuvre du procédé qui suit, le dispositif microélectronique d'intérêt est formé sur une plaquette support, à partir d'une plaquette support de base et d'une plaquette donneuse qui sont assemblées par collage après retournement vertical de la plaquette donneuse pour former une nouvelle plaquette support sur laquelle un film de silicium contraint a été transféré. Cette plaquette est destinée à la fabrication d'un produit semiconducteur intégré, par exemple en technologie CMOS, et le procédé vise à fabriquer des tranchées d'isolation peu profondes (STI) d'une manière compatible avec la préservation des avantages de la technologie FD-SOI. Les modes de mise en œuvre du procédé décrits peuvent être adaptés aux particularités propres à chaque application concernée, sans se départir des enseignements de l'invention.

- [0048] Comme montré à la figure 1A, la plaquette support 1 est basée sur un substrat porteur 11, par exemple un substrat en silicium monocristallin. Le substrat porteur 11 est légèrement dopé, par exemple d'un dopage de type P. Un tel dopage peut être obtenu par insertion dans le substrat d'atomes de type accepteur d'électrons, comme des atomes de Bore (B).
- [0049] En référence aux étapes 101 et 102 du diagramme d'étapes de la figure 10, on effectue à l'étape 101 le dépôt sur le substrat 11 d'une couche de protection 12, typiquement à base d'oxyde (Ox), puis le dépôt à l'étape 102 d'une couche de matériau dur, par exemple à base de nitrure diélectrique (Nx), destinée à la formation d'un masque dur pour une opération de gravure qui va suivre en vue de former des tranchées d'isolation peu profondes ou STI (« Shallow Trench Isolation »).
- [0050] L'oxyde de la couche 12 peut être, par exemple, du dioxyde de silicium (SiO₂). Le dépôt de SiO₂ peut être un dépôt effectué par voie chimique, comme par exemple un dépôt chimique en phase vapeur à basse pression ou LPCVD (mis pour « *Low Pressure Chemical Vapor Deposition* » en anglais) pour former de l'oxyde à haute température (HTO, mis pour « *High Temperature Oxide* », en anglais). Il peut aussi s'agir du dépôt chimique, par exemple en phase vapeur assisté pas plasma ou PECVD (mis pour « *Plasma Enhanced Chemical Vapor Deposition* » en anglais), d'orthosilicate de tétraéthyle (ou TEOS mis pour "tetraethylorthosilicate", en abrégé), de formule chimique Si(OCH₂CH₃)₄ ou plus simplement Si(OEt)₄ comme précurseur du dioxyde de silicium (SiO₂), suivi d'une simple hydrolyse qui permet alors de former du SiO₂ en libérant de l'éthanol (CH₃CH₂OH). En variante, le dépôt peut aussi être réalisé par un procédé physique, comme la pulvérisation cathodique, ou des méthodes de dépôt par centrifugation (« *spin-of* », en anglais).
- [0051] Le nitrure diélectrique de la couche 13 peut être, par exemple, du nitrure de silicium ou Si₃N₄ (noté SiN par raccourci). Ce matériau dur peut être déposé par voie chimique en phase vapeur (CVD), par exemple par un dépôt chimique en phase vapeur à basse pression (LPCVD). Un tel procédé fonctionne à température relativement élevée. En variante, on peut former la couche 13 de nitrure de silicium par le dépôt chimique en phase vapeur assisté par plasma (PECVD), qui fonctionne à température relativement plus basse et sous vide. La couche de SiN ainsi obtenue peut avoir une épaisseur, par exemple, d'une centaine de nanomètres (nm). D'autres

matériaux diélectriques, notamment les nitrures de titane (TiN) et de tungstène (W), ainsi que différents types d'oxydes nitrurés, peuvent également être utilisés, en variante ou en complément du nitrure de silicium (SiN).

[0052] En référence maintenant à la figure 1B, la préparation de la plaquette support 1 se poursuit avec la réalisation de tranchées d'isolation 14, à savoir des tranchées d'isolation peu profonde (STI), dans l'épaisseur du substrat 11 de la plaquette 1. Selon un mode de mise en œuvre, et en référence au diagramme d'étapes de la figure 10, cette réalisation comprend l'enchaînement des étapes suivantes :

- une étape 103 de photolithographie définissant les zones à graver dans la couche 13 en Si₃N₄ et la couche de protection 12 en SiO₂, par la formation d'un masque dur pour cette gravure ;
- une étape 104 de gravure de la couche 13 et de la couche 12 en Si₃N₄ et en SiO₂, respectivement, à travers le masque dur formé à l'étape 103, pour creuser des caissons destinés à former les tranchées d'isolation 14 (STI) dans le silicium 11 ; et,
- une étape 105 de remplissage des tranchées avec du matériau isolant pour former lesdites STI.

[0053] A l'étape 103 on insole le masque nécessaire à la gravure par un procédé photolithographique standard

[0054] A l'étape 104, la gravure sélective du nitrure de silicium de la couche 13, puis du dioxyde de silicium (SiO₂) de la couche de protection 12 peut être une gravure anisotrope comme une gravure ionique réactive RIE (de l'anglais « Reactive Ion Etching »). Il s'agit d'une variation de la gravure par plasma (gravure sèche, fortement anisotrope) combinant la sélectivité des gravures chimiques et l'anisotropie des gravures physiques. Le plasma peut alors être un plasma fluoro-carboné, à base d'un gaz tel que le tétrafluorure de carbone (CF₄) par exemple, ou à base d'hexafluorure de soufre (SF₆) ou encore à base de trifluorure d'azote (NF₃), ou de toute combinaison de ces gaz. La couche de matériau isolant à graver, partiellement protégée par le masque de gravure formé par exemple par une couche de dioxyde de silicium partiellement ouverte, est placée dans une chambre dans laquelle on fait le vide. Cette chambre est munie de deux électrodes horizontales et parallèles, l'électrode inférieure servant de plateau pour recevoir la plaquette. Une

fois que le vide dans la chambre a été fait, le gaz y est introduit. Puis un fort champ électrique en radiofréquence (RF), par exemple d'une centaine de volts par mètre ou plus, est appliqué à l'électrode inférieure. Ceci génère dans la chambre un plasma, c'est-à-dire un gaz en partie ionisé. En effet, certains électrons des molécules de gaz sont arrachés par le champ électrique, ce qui ionise lesdites molécules. La face supérieure de la plaquette subit alors un bombardement d'ions qui la désagrége au niveau des zones non protégées par le masque dur. En variante, la gravure sélective de l'étape 104 peut être une gravure chimique (ou gravure humide) par une solution à base d'acide fluorhydrique (HF) par exemple, ou une gravure physique (ou gravure sèche), c'est-à-dire une gravure par plasma.

- [0055] A l'étape 105, on réalise un remplissage (« *gapfill* » en anglais) des tranchées 14 précédemment formées à l'étape 104 avec un oxyde épais, par exemple du dioxyde de silicium (SiO₂). Cette étape 105 permet de déposer le matériau isolant depuis la surface supérieure de la microstructure jusqu'au fond des tranchées 14. Un polissage mécanochimique ou CMP permet d'éliminer le surplus de SiO₂ déposé en surface, et de lisser la surface supérieure de la microstructure ainsi qu'il est montré à la figure 1B qui illustre la microstructure après la séquence des étapes 103, 104 et 105. Comme la personne du métier l'a compris, l'oxyde déposé à l'étape 105 dans les tranchées 14 permet de réaliser les tranchées d'isolation STI dans le substrat 11 de la plaquette support 1 avant même le dépôt de la couche de silicium contraint par transfert depuis la plaquette donneuse 2.
- [0056] Dans des modes de réalisation, la profondeur des tranchées 14 est supérieure à environ 5 nm. Elle peut être comprise entre environ 5 nm et environ 300 nm, de préférence entre environ 50 nm et environ 300 nm, et encore plus préférentiellement entre environ 70 nm et environ 300 nm.
- [0057] En variante, les tranchées 14 peuvent être remplies d'un nitrure de silicium (SiN) par exemple du Si₃O₄, à la place du dioxyde de silicium SiO₂.
- [0058] En référence maintenant à la figure 1C, l'étape 106 qui suit est une étape de polissage mécano-chimique (CMP) avec arrêt sur le silicium du substrat 11, qui permet le retrait simultanément du masque dur en nitrure de la couche 13, et des résidus de dioxyde de silicium de la couche 12. Le cas échéant, on effectue une légère oxydation du silicium du substrat 11 après l'arrêt de la gravure CMP, pour

rétablir une protection par une fine couche de dioxyde de silicium (SiO_2). En variante, on peut arrêter la gravure CMP sur le nitrure. Le nitrure est ensuite retiré par voie chimique et le dioxyde de silicium est retiré par exemple par voie chimique humide, à l'aide d'une solution d'acide fluorhydrique (HF), par exemple.

[0059] Le schéma de la figure 2 montre la plaquette donneuse 2 qui comprend un film de silicium contraint (sSi). Par exemple, le film de sSi est une fine couche 23 de silicium (Si) dans laquelle les atomes de silicium sont étirés au-delà de leur distance interatomique normale. Ceci peut être obtenu en déposant la fine couche de silicium 23 sur un substrat 22 à base de silicium-germanium (SiGe), par tout procédé de dépôt de silicium approprié, ledit substrat 22 de SiGe étant lui-même formé sur un substrat de base 21 en Silicium. Lorsque les atomes de la fine couche de silicium 23 s'alignent sur les atomes de la couche 22 de silicium-germanium sous-jacente (qui sont disposés un peu plus loin les uns des autres, par rapport à ceux d'un cristal de silicium massif), les liens entre les atomes de silicium de la couche 23 sont étirés, ce qui donne lieu à un réseau (« lattice » en anglais) d'atomes de silicium qui est déformé. L'éloignement de ces atomes de silicium réduit les forces atomiques qui interfèrent avec le mouvement des électrons à travers le canal d'un transistor MOS formé dans une telle couche 23 de silicium contraint (sSi). Ceci améliore la mobilité de ces porteurs de charges, ce qui se traduit par une meilleure performance du transistor et une moindre consommation d'énergie. La plaquette donneuse 2 comprend enfin une couche d'oxyde 24, à base par exemple de dioxyde de silicium (SiO_2). En variante, 1, à la place du dioxyde de silicium SiO_2 , la couche 24 peut être réalisée en un autre matériau isolant, notamment un autre oxyde, par exemple un oxyde métallique comme l'oxyde d'aluminium (Al_2O_3), l'oxyde de germanium (GeO_2), l'oxyde d'étain SnO_2 est un semi-conducteur et l'oxyde de plomb PbO_2 l'oxyde d'hafnium (HfO_2) ou l'oxyde de tantale (Ta_2O_5).

[0060] On notera que la réalisation de la plaquette donneuse 2 telle que représentée à la figure 2 n'est pas décrite en détail ici, afin de ne pas alourdir inutilement le présent exposé. En effet, cette réalisation n'a rien de spécifique aux mises en œuvre du procédé de l'invention. En tant que de besoin, la personne du métier pourra se référer à la littérature disponible dans l'art antérieur concernant la technologie FD-SOI.

- [0061] En référence à la représentation schématique de la figure 3A, à l'étape 107 la plaquette donneuse 2 est retournée verticalement, puis alignée et collée sur la plaquette support 1, pour donner la microstructure 3 représentée à la figure 3B (laquelle pourra parfois être appelée la nouvelle plaquette support 3, dans ce qui suit). La personne de métier appréciera que, du point de vue de la surface supérieure de la microstructure 3, l'oxyde de la couche d'oxyde 24 de la plaquette donneuse 2 devient de l'oxyde enterré ou BOX (de l'anglais « Buried Oxide »). Pour des raisons de simplicité d'illustration ce BOX est représenté en figure 3A comme étant uniquement sur la plaquette donneuse 2, mais la plaquette support 1 peut également avoir, de la même façon, une couche d'oxyde déposée après l'étape 106 de CMP qui la concerne, pour favoriser les conditions de collage. En variante, on peut prévoir que seule la plaquette support 1 ait cette couche d'oxyde, et pas la plaquette donneuse 2.
- [0062] En référence à la figure 4, on effectue ensuite le démontage du substrat 21-22 de (anciennement) la plaquette donneuse 1, figuré par l'étape 108 du diagramme d'étapes de la figure 10.
- [0063] Dans des modes de mise en œuvre, ceci peut être réalisé par la mise en œuvre du procédé SmartCut® inventé par le C.E.A, suivant lequel la microstructure 3 constituée de la plaquette donneuse 2 collée sur la plaquette support 1 d'origine, est soumise à un traitement thermique apte à créer un clivage de la microstructure 3 au niveau directement en-dessous de la couche 23 de silicium contraint (sSi). La plaquette 2 aura été préalablement implantée avec de l'Hydrogène (H) ou de l'Hélium (He), etc., afin de créer cette zone de fragilité.
- [0064] En variante, le démontage du substrat 21-22 depuis la microstructure 3 peut être réalisé mécaniquement par meulage (« grinding » en anglais), ou par voie mécano-chimique par exemple par polissage mécano-chimique ou CMP (de l'anglais « Chemical-Mechanical Polishing »). Dans d'autres variantes encore, le démontage peut être réalisé par un procédé de retrait par voie chimique humide (« chemical wet etching » en anglais).
- [0065] À l'étape 109 on effectue ensuite le dépôt sur la microstructure 3 de la figure 4 d'une couche isolante 32 à base d'oxyde (Ox), puis le dépôt d'une couche 33 de nitrure (Nx) à l'étape 110. On obtient alors la microstructure 3 montrée à la

figure 5. La couche d'oxyde 32 peut être en dioxyde de silicium (SiO_2). La couche de nitrure 33, formée par-dessus la couche 32, peut être en nitrure de silicium (SiN). Les couches 32 et 33 peuvent être réalisées par les mêmes processus technologiques que ceux décrits plus haut en référence à la figure 1A à propos des couches 12 et 13, respectivement, de la plaquette support 1. Ces processus ne sont pas décrits à nouveau ici.

[0066] En référence à la figure 6, on réalise ensuite, par une étape de photolithographie 111 et une étape de gravure sélective 112, des caissons 34 traversants la couche d'oxyde 32 et la couche de nitrure 33 ayant tous un fond au niveau de la face supérieure de la couche 23 de silicium contraint (sSi), en vue de former des tranchées d'isolation peu profondes par oxydation du sSi de ladite couche 23 ainsi exposée. Là encore, l'étape de photolithographie 111 et l'étape de gravure sélective 112 permettant d'obtenir ce résultat sont similaires aux étapes 103 et 104 qui ont été précédemment décrite, et ne sont donc pas décrites à nouveau en détail ici.

[0067] A l'étape 113, et conformément aux modes de mise en œuvre de l'invention, on procède à une oxydation locale du silicium contraint (sSi) de la couche 23 qui est exposé au fond des caissons 34. On réalise ainsi des tranchées d'isolation supplémentaire notées SSTI, à base de dioxyde de silicium (SiO_2) obtenu par l'oxydation locale du silicium contraint (sSi). Dans la suite des figures, on labelle "SSTI" ces tranchées 34 en oxyde enterré mince. L'oxydation peut être réalisée en mettant en œuvre la méthode d'oxydation connue sous l'acronyme anglo-saxon LOCOS. Et l'on obtient la structure représentée à la figure 7, dans laquelle les SSTI rejoignent les STI initialement formées dans le substrat 11 de la plaquette support d'origine. La personne du métier appréciera que, en raison de la mise en œuvre de la méthode LOCOS, les flancs des tranchées 34 ne sont pas verticaux, mais sont légèrement inclinés suivant la direction verticale Z.

[0068] Dans des modes de réalisation, les tranchées 34 d'isolation supplémentaire SSTI ont une profondeur égale ou supérieure à l'épaisseur du film de silicium contraint 23, par exemple comprise entre environ 10 nm et environ 20 nm, par exemple de l'ordre de 15 nm.

[0069] L'oxydation locale du silicium ou LOCOS (mis pour « LOCal Oxydation of Silicon » en anglais) est un procédé de micro-fabrication formant du dioxyde de

silicium SiO₂ dans des zones définies d'une plaquette de silicium, avec l'interface Si-SiO₂ en-dessous de la surface de la plaquette elle-même. Cette technologie a été développée à l'origine (avant d'être supplantée par l'isolation par tranchées peu profondes, ou STI) afin d'isoler les transistors à effet de champ de type MOS les uns des autres, pour limiter ainsi les interférences entre transistors. Le principal avantage de cette technique provient de la formation, localisée autour des transistors MOS, de structures en dioxyde de silicium pénétrant sous la surface de la plaquette, ce qu'il n'est pas facile de réaliser par gravure. Dans le contexte des modes de mise en œuvre de l'invention, on a recours de façon similaire à une oxydation thermique des régions de silicium contraint (sSi) qui sont exposées par le masque dur 33, à une température comprise entre 800 et 1200 °C, en utilisant soit de la vapeur d'eau (« wet oxydation » ou oxydation humide) soit du dioxygène (« dry oxydation » ou oxydation sèche). Dans les deux cas, et sous l'effet de la chaleur, l'oxygène (O₂) pénètre en profondeur dans le wafer, réagit avec le silicium contraint (sSi) qu'il y rencontre au niveau de la couche 23 et convertit ce dernier en silice, formant une structure entrant dans le volume du silicium contraint (sSi).

- [0070] Avantageusement, la mise en œuvre de la technique LOCOS dans les conditions des modes de mise en œuvre de l'invention permet de former des zones 100, 200 et 300 du film de silicium contraint 23 (sSi) qui sont disjointes et isolées les uns des autres, sans que le sSi soit relaxé, c'est-à-dire sans que la contrainte du sSi soit relâchée car il n'est jamais ouvert. L'oxyde d'isolation SSTI ainsi formé rejoint l'oxyde d'isolation STI plus profond (c'est-à-dire le « Gapfill » formant les tranchées d'isolation peu profonde STI qui avaient été réalisées dans des caissons 14 formés dans le substrat de silicium de la plaquette support 1 d'origine avant le collage de la plaquette donneuse 2 pour le transfert sur la plaquette support 1 du film 23 de silicium contraint (sSi). Cette caractéristique avantageuse, mise à profit dans les modes de mise en œuvre de l'invention, est documentée par exemple dans l'article scientifique de I. De Wolf, J. Vanhellemont, A. Romano-Rodríguez, H. Norström, H. E. Maes ; « Micro-Raman study of stress distribution in local isolation structures and correlation with transmission electron microscopy », *Journal of Applied Physics* 71 (2), pp. 898–906 (1992) ; 15 janvier 1992 (<https://doi.org/10.1063/1.351311>), auquel la personne de métier pourra se référer en tant que de besoin.

- [0071] À l'étape 114 on peut ensuite procéder au retrait du masque dur 33 en nitrure de silicium (SiN) et des résidus de dioxyde de silicium (SiO₂) de la couche isolante 32, pour arriver à la microstructure de la figure 8. Par exemple, le retrait du masque dur en nitrure de silicium Si₃N₄ peut être effectué par une première gravure chimique humide à l'aide d'une solution à base d'acide phosphorique (H₃PO₄), par exemple diluée à 85 %, et portée à une température d'environ 180 °C. Puis le retrait du dioxyde de silicium (SiO₂) de la couche isolante 32 peut être effectué par une seconde gravure humide, par exemple à base d'acide fluorhydrique (HF). En variante, le retrait du masque dur 33 et de dioxyde de silicium de la couche isolante 32 peut être réalisé par une seule gravure, par exemple une gravure humide à base d'acide fluorhydrique (HF).
- [0072] Comme la personne du métier l'aura compris, les régions 100, 200 et 300 de cette microstructure sont des régions disjointes en silicium contraint (sSi) sur une fine couche d'isolant, à savoir l'isolant (du SiO₂ dans l'exemple) de la couche 24 d'oxyde enterré (BOX) sous-jacente. Grâce à la mise en œuvre du procédé proposé, la contrainte du sSi des régions 100, 200 et 300 n'a pas été relaxée, bien que lesdites régions 100, 200 et 300 soient isolées les unes des autres latéralement et verticalement par des tranchées d'isolation supplémentaires ou SSTI formées dans le prolongement vertical des tranchées d'isolation STI qui avaient été formées plus en profondeur dans le substrat massif 11 de la plaquette support d'origine avant l'étape de collage 107. Des dispositifs microélectroniques, comme par exemple des transistors MOS ou des dispositifs plus complexes en technologie CMOS, peuvent alors être réalisés dans les zones actives correspondant aux régions 100, 200 et 300 en bénéficiant des avantages combinés de la technologie FD-SOI et d'un substrat en silicium contraint qui ont été exposés en introduction de la présente description.
- [0073] Dit autrement, la structure microélectronique 3 illustrée à la figure 9 qui est fabriquée par des modes de mise en œuvre du procédé de fabrication selon l'invention, comporte des zones actives 100, 200 et 300 disjointes (c'est-à-dire non continues) à la surface d'un même substrat porteur 11 et isolées entre elles par des tranchées 14 d'isolation peu profondes (STI) prolongées verticalement par les tranchées 34 d'isolation supplémentaire (SSTI) par l'intermédiaire de la couche 24 d'oxyde enterré (BOX), chaque zone active ayant une portion de film 23 de silicium contraint (sSi) respective, et lesdites portions de film de sSi reposant sur

une même couche isolante 24 qui est elle-même située au-dessus du substrat porteur 11.

- [0074] Un circuit intégré peut comprendre la structure microélectronique ci-dessus, et en outre au moins un transistor à effet de champ de type MOS réalisé dans une zone active comme les zones 100, 200 et 300 de ladite microstructure dont la portion de film de silicium contraint 23 sert de substrat de silicium totalement déserté sur isolant (FD-SOI) dans lequel le canal du transistor MOS peut être réalisé. Ce transistor bénéficie alors des avantages combinés de la technologie FD-SOI et des bonnes propriétés de conduction électrique apportées par la contrainte du silicium.
- [0075] La personne de métier appréciera que la jonction entre le matériau isolant, à savoir le dioxyde de silicium (SiO_2) qui emplit les caissons 34 pour former des tranchées d'isolation supplémentaires (SSTI) ainsi que les caissons 14 des tranchées d'isolation peu profonde (STI), pour former les structures d'isolation finales, est réalisée par l'intermédiaire de l'oxyde enterré (BOX) de la couche 24 de dioxyde de silicium (SiO_2), laquelle est continue. C'est pourquoi on parle de structure d'isolation complexes STI-BOX-SSTI.
- [0076] Certaines au moins des tranchées 34 d'isolation supplémentaire SSTI ont les mêmes dimensions horizontales que des tranchées 14 d'isolation peu profondes STI associées, et sont respectivement alignées horizontalement avec lesdites tranchées 14 associées. Dit autrement, chacune de ces tranchées 34 est exactement superposée avec une tranchée 14 suivant la direction verticale Z, sans que la projection verticale de l'une d'entre elles ne déborde par rapport à l'autre suivant la direction longitudinale X ni suivant la direction transversale Y. On dit alors que ces tranchées 34 et 14 sont alignées verticalement. Un exemple de telles tranchées alignées est représenté en bas à droit du schéma d'un exemple de structure 3' montré à la figure 11 (voir plus bas).
- [0077] Selon un autre avantage des mises en œuvre du procédé, on peut obtenir par un processus unique des isolations relativement profondes, à savoir ici par exemple la STI entre les zones actives 100 et 200 dont l'épaisseur peut être comprise de préférence entre environ 70 nm et environ 300 nm, et en même temps des isolations relativement peu profondes comme ici la SSTI entre les zones actives 200 et 300 par exemple, dont l'épaisseur est comprise entre environ 10 nm et 20 nm environ.

On rappelle que ces profondeurs sont considérées suivant la direction verticale Y. Des transistors MOS sur substrat FD-SOI peuvent être formés au niveau des zones 200 et 300, respectivement, dans des caissons respectifs du substrat de silicium 11 qui ont des dopages identiques (type de dopage, et niveau de dopage). Par contre, un autre transistor MOS sur substrat FD-SOI peut être réalisé au niveau de la zone 100 dans un caisson dans le substrat de silicium 11 qui peut avoir un dopage différent, grâce à la présence de l'isolation relativement profonde STI qui le sépare du caisson dans le substrat de silicium 11 qui correspond à la zone 200 ou à la zone 300.

- [0078] Selon un autre avantage, en outre, on peut poser un dispositif réalisé sur la plaquette 2 sur substrat de silicium sur isolant (SOI) en dessus d'un STI, en sorte qu'il sera alors extrêmement loin de tout silicium de la plaquette support 1. De ce fait, en fonctionnement, il sera extrêmement éloigné d'un champ électrique polarisant, ce qui en fait une structure unique.
- [0079] Enfin, rien n'empêche de procéder à la formation, par gravure, de troisièmes tranchées d'isolation distinctes des secondes tranchées 34 d'isolation supplémentaire SSTI. Ces troisièmes tranchées peuvent être réalisées à travers un second masque, préalablement réalisé par photolithographie dans la couche de matériau dur 33 de la Figure 5 qui dans l'exemple est un nitrure, et qui est déposée par-dessus la couche de matériau isolant 32 associée, qui est elle-même déposée sur la couche de silicium contraint 23 après le démontage du substrat donneur 22. Des résidus de ce second masque et de ladite couche de matériau isolant associée sont retirés après la formation desdites troisièmes tranchées. La formation de tranchées par gravure à l'aide d'un masque a certes pour conséquence la perte de la contrainte dans le film de sSI, mais cette perte peut être acceptable dans certaines applications dans lesquelles des troisièmes tranchées d'isolation peuvent ainsi être réalisées en complément des deuxièmes tranchées 34 d'isolation supplémentaire SSTI déjà formées par oxydation, lesquelles permettent de conserver la contrainte dans le film 23 de sSI.
- [0080] Enfin, en référence à un autre exemple de structure microélectronique 3' montré à la figure 11 (laquelle serait obtenue par les mêmes étapes de procédé que la structure 3 de la figure 9) et comme il est figuré par le bloc 115 sur le diagramme d'étapes de la figure 10, on peut réaliser au moins une ouverture à travers

l'épaisseur d'une (ou plusieurs) tranchée(s) 34 supplémentaire (SSTI) et à travers la couche 24 d'oxyde enterré (BOX) pour exposer le substrat de silicium massif 11 sous-jacent, comme dans la région 400 et dans la région 700 dans l'exemple représenté. Sur la figure 11, la tranchée d'isolation supplémentaire 34 qui est ainsi traversée est représentée entourée d'un cadre en traits discontinus. Par exemple, les ouvertures 400 et 700 peuvent être réalisées par la gravure, à travers un masque dur obtenu par photolithographie, du matériau isolant (SSTI) de la couche 34 et du matériau isolant (BOX) de la couche 24 afin d'exposer le substrat support 11 sous-jacent, dans des zones respectives dudit substrat support 11 dans laquelle il n'y a pas de tranchées 14 d'isolation peu profonde (STI). Le masque de gravure étant réalisé après les tranchées STI et SSTI, on peut aligner les motifs d'alignement de n'importe lesquelles de ces tranchées.

- [0081] On notera que l'ouverture 400 partage la tranchée 34 d'isolation supplémentaire SSTI concernée en deux telles tranchées SSTI dérivées, de dimensions horizontales plus petites, et qui sont adjacentes horizontalement. Dans l'exemple montré à la figure 11, la tranchée SSTI dérivée qui est à droite est alignée verticalement avec une tranchée 14 d'isolation peu profonde STI qui lui est associée, avec laquelle elle est en continuité de matière par l'intermédiaire d'une portion de la couche 24 d'oxyde enterré BOX qui leur est associée. Cet alignement mutuel résulte de l'alignement des masques utilisés pour former ces trois éléments respectifs, et donne une structure d'isolation complexe (STI-BOX-SSTI) sous la forme d'une tranchée d'isolation unitaire en SiO₂.
- [0082] Une fois les ouvertures 400 et 700 formées dans la SSTI, on peut faire croître vers le haut le silicium (Si) du substrat support 11, par croissance d'épitaxie, dans lesdites ouvertures 400 et 700, au moins jusqu'à et y-compris le niveau de la couche 24 de matériau isolant (BOX). On a ainsi réalisé des accès au silicium (Si) du substrat porteur 11 sans relaxer la contrainte du film 23 de silicium contraint (sSi) des zones actives 500 et 600 montrées à la figure 11.
- [0083] D'une manière plus générale, si on doit réaliser de nouvelles tranchées à la surface de la structure microélectronique 3' pour accéder au silicium du substrat porteur 11, et sachant qu'on ne peut pas le faire par gravure directe de la couche 23 de silicium contraint (sSi) sans que cela entraîne comme conséquence la perte de la contrainte dudit film de sSi, alors on peut le faire dans une tranchée 34 d'isolation

supplémentaire SSTI réalisée comme décrit dans ce qui précède. Une telle gravure dans une tranchée SSTI n'a pas, en effet, pour conséquence de relaxer le sSi du film 23, *i.e.*, d'affecter la contrainte du film 23 de sSi.

- [0084] Ceci donne la possibilité, le cas échéant, de réaliser au niveau de ces régions 400 et 700 des dispositifs microélectroniques de type NOSO (de l'anglais « Not-On-SOI »), dans et/ou sur le substrat support 11 qui est un substrat massif (« bulk ») à base de silicium dopé. On peut ainsi réaliser des composants actifs, par exemple en technologie CMOS classique sur substrat massif, dans des zones actives sous la surface du substrat massif 11 représenté, au niveau de la région 400 ou de la région 700, en plus de composants, comme le transistor 601 représenté qui peuvent être réalisés dans les zones actives 500 et 600 en technologie FD-SOI sur film en silicium contraint.
- [0085] Une autre possibilité offerte par les zones 400 et 700 d'accès au silicium du substrat 11, est par exemple de pouvoir polariser (via des métallisations non représentées) un caisson dans le substrat 11 formant une zone active dans laquelle la source et le drain du transistor 601 sont réalisés. A la figure 11, cette polarisation via la zone 400 est symbolisée par la flèche 401. Également, on peut polariser le puits profond entre les tranchées 14 d'isolation peu profonde (STI), via la zone 700 de la figure 11 qui se situe de l'autre côté d'une de ces tranchées par rapport au puits en question. A la figure 11, cette polarisation via la zone 700 est symbolisée la flèche 701.
- [0086] Des modes de réalisation particuliers viennent d'être décrits. Différentes variantes et modifications apparaîtront à l'homme du métier. Par exemple, le substrat massif 11 de la plaquette support 1 n'a pas forcément besoin d'être dopé. Il peut s'agir d'un substrat de silicium non dopé si l'on n'a pas besoin de réaliser des composants dans ce substrat, contrairement à la possibilité exposée ci-dessus en référence aux régions 400 et 700.

REVENDICATIONS

[Revendication 1] Procédé de fabrication d'un dispositif microélectronique, ledit procédé comportant :

- la fourniture d'une première plaque (1) comprenant un substrat support (11) ;
- la formation, sur le substrat support (11) de la première plaque (1), de premières tranchées d'isolation (14) ;
- la fourniture d'une seconde plaque (2) comprenant un substrat donneur (21-22) ;
- la formation, sur le substrat donneur (21-22) de la seconde plaque (2), d'un film de silicium contraint (23) ;
- le collage de la seconde plaque (2) sur la première plaque (1), de sorte que le film de silicium contraint (23) se retrouve sur la première plaque (1) par l'intermédiaire d'au moins une couche en matériau isolant (24) formée, avant le collage, sur la première plaque (1) après la formation des premières tranchées et/ou sur la seconde plaque (2) après la formation du film de silicium contraint (23) ;
- le démontage du substrat donneur (21-22) tout en conservant la couche de matériau isolant (24) et le film de silicium contraint (23) sur la première plaque (1) ; et,
- la formation de secondes tranchées d'isolation (34) autour et/ou le long de portions du film de silicium contraint (23).

[Revendication 2] Procédé selon la revendication 1, dans lequel :

- les premières tranchées d'isolation (14) formées dans le substrat support (11) de la première plaquette (1) sont des tranchées dites « tranchées peu profondes », ou STI, dont la profondeur est supérieure à environ 5 nm, ou comprise entre environ 5 nm et environ 300 nm, de préférence entre environ 50 nm et environ 300 nm, et encore plus préférentiellement entre environ 70 nm et environ 300 nm ; et/ou

- les secondes tranchées d'isolation (34) ont une profondeur égale ou supérieure à l'épaisseur du film de silicium contraint (23), par exemple comprise entre environ 10 nm et environ 20 nm, par exemple de l'ordre de 15 nm.

- [Revendication 3] Procédé selon la revendication 1 ou la revendication 2, dans lequel le matériau isolant des premières tranchées (14), le matériau isolant des secondes tranchées (34) et/ou le matériau isolant de la couche en matériau isolant (24), est du dioxyde de silicium, SiO₂.
- [Revendication 4] Procédé selon l'une quelconque des revendications 1 à 3, dans lequel la formation des premières tranchées (14) dans le substrat support (11) est réalisée par gravure à travers un premier masque préalablement réalisé par photolithographie dans une couche de matériau dur (13) comme par exemple un nitrure, qui recouvre le substrat support fourni par l'intermédiaire d'une couche de matériau isolant (12) associée, des résidus dudit premier masque (13) et de ladite couche de matériau isolant (12) associée étant retirés du substrat support (11) après la formation desdites premières tranchées (14).
- [Revendication 5] Procédé selon l'une quelconque des revendications 1 à 4, comprenant en outre la formation de troisièmes tranchées d'isolation réalisées à travers un second masque préalablement réalisé par photolithographie dans une couche de matériau dur (33) comme par exemple un nitrure, qui est déposée par-dessus une couche de matériau isolant (32) associée elle-même déposée sur la couche de silicium contraint (23) après le démontage du substrat donneur, des résidus dudit second masque (33) et de ladite couche de matériau isolant (32) associée étant retirés après la formation desdites troisièmes tranchées.
- [Revendication 6] Procédé selon l'une quelconque des revendications 1 à 5, dans lequel les secondes tranchées d'isolation (34) joignent les premières tranchées (14) par l'intermédiaire de la couche de matériau isolant (24) pour former une structure d'isolation autour et le long du film de silicium contraint (23).

- [Revendication 7] Procédé selon l'une quelconque des revendications 1 à 6, dans lequel les secondes tranchées (34) sont réalisées par oxydation locale du silicium du film de silicium contraint (23), ladite oxydation locale du silicium du film de silicium contraint (23) étant par exemple une oxydation thermique, par exemple une oxydation de type LOCOS.
- [Revendication 8] Procédé selon l'une quelconque des revendications 1 à 7, dans lequel le démontage du substrat donneur (21-22) est réalisé par meulage, par retraits sélectifs ou par fracture par implantation, par exemple par mise en œuvre du procédé Smart-cut®.
- [Revendication 9] Procédé selon l'une quelconque des revendications 1 à 8, dans lequel le substrat donneur (21-23) de la seconde plaque (2) comprend une couche (22) de silicium-germanium, Si-Ge, adaptée pour contraindre le silicium du film de silicium contraint (23).
- [Revendication 10] Procédé (1) selon l'une quelconque des revendications 1 à 9, dans lequel on réalise au moins une ouverture (400) à travers l'épaisseur d'une tranchée parmi les secondes tranchées (34) et à travers la couche de matériau isolant (24) pour exposer le substrat support (11) sous-jacent, dans une zone dudit substrat support (11) dans laquelle il n'y a pas de premières tranchées (14), et dans lequel, en outre on fait croître vers le haut le silicium (Si) du substrat support (11) par croissance épitaxiale dans l'ouverture (400), au moins jusqu'à et y-compris le niveau de la couche de matériau isolant (24).
- [Revendication 11] Procédé selon l'une quelconque des revendications 1 à 10, dans lequel certaines au moins des secondes tranchées d'isolation (34) ont les mêmes dimensions horizontales que des premières tranchées (14) associées, et sont respectivement alignées verticalement avec lesdites premières tranchées (14) associées.
- [Revendication 12] Structure microélectronique obtenue par la mise en œuvre du procédé de fabrication selon l'une quelconque des revendications 1 à 11, ladite structure comportant des zones actives (100,200,300) disjointes à la surface d'un même substrat porteur (11) et isolées entre elles par des tranchées d'isolation profondes et moins profondes (14-24-34),

chaque zone active ayant une portion de film de silicium contraint (23) respective, et lesdites portions de film de silicium contraint reposant sur une même couche isolante (24) qui est elle-même située au-dessus du substrat porteur (11).

- [Revendication 13] Structure microélectronique selon la revendication 12, dans laquelle le matériau isolant des premières tranchées (14), le matériau isolant des secondes tranchées (34) et/ou le matériau isolant de la couche en matériau isolant (24), est du dioxyde de silicium, SiO₂.
- [Revendication 14] Structure microélectronique selon la revendication 12 ou la revendication 13, dans laquelle les secondes tranchées (34) ont des flancs non verticaux.
- [Revendication 15] Circuit intégré comprenant la structure microélectronique selon l'une des revendications 12 à 14, et comprenant en outre au moins un transistor à effet de champ de type MOS réalisé dans une zone active (100,200,300) de ladite microstructure dont la portion de film de silicium contraint (23) sert de substrat de silicium totalement déserté sur isolant (FD-SOI) dans lequel le canal du transistor MOS est réalisé.