

存储器及电子设备

5 技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种存储器及电子设备。

背景技术

随着半导体技术的发展，为进一步追求存储器内器件结构的微缩，将工艺从平面化转变为立体化，即对存储器内的各存储单元及相关信号线进行三维空间布置，已经成为当前存储器结构研究的主要发展方向。

例如，在一些三维存储器中，堆叠结构包括垂直堆叠的存储单元、垂直延伸的字线、水平延伸且垂直堆叠的位线，位线通过设置在堆叠结构边缘的阶梯结构进行外接。例如，在阶梯结构中分层设置导电台阶，以便位线可以通过相应的导电台阶以及位于该导电台阶上的接触插塞与设置在堆叠结构外部的电路结构（例如，感测放大器）进行电连接。

然而，随着存储密度的不断提高，堆叠结构的层级需要不断增加，这将导致阶梯结构的布置迎来挑战。

发明内容

根据本公开实施例的第一方面，提供一种存储器，包括：位于基底上的多个位线功能组、多个存储单元、第一阶梯结构和第二阶梯结构。所述多个位线功能组沿垂直于所述基底的第一方向间隔排布，所述多个位线功能组中的每个位线功能组包括第一位线、与所述第一位线耦接的第二位线以及与所述第一位线耦接的第三位线，所述第一位线沿平行于所述基底的第二方向延伸，所述第二位线和所述第三位线沿平行于所述基底的第三方向延伸，所述第二方向与所述第三方向相交；所述第二位线和所述多个存储单元位于所述第一位线在所述第三方向上的一侧，所述第三位线、所述第一阶梯结构和所述第二阶梯结构位于所述第一位线在所述第三方向上的另一侧，所述第一阶梯结构和所述第二阶梯结构位于所述第三位线在所述第二方向上的相对两侧；所述多个存储单元分别与对应的所述第二位线耦接，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括沿所述第二方向延伸的多个导电台阶，每个所

述导电台阶与对应的所述第三位线耦接。

在一些实施例中，所述第一位线、所述第二位线和所述第三位线中的每一个的形状为环状。

在一些实施例中，所述第一位线、所述第二位线和所述第三位线具有相同的材料组成。

5 在一些实施例中，所述存储器还包括：位于所述基底上的第一隔离柱、第二隔离柱和第三隔离柱；其中，所述第一位线周向环绕所述第一隔离柱，所述第二位线周向环绕所述第二隔离柱，所述第三位线周向环绕所述第三隔离柱。

在一些实施例中，所述第一隔离柱、所述第二隔离柱和所述第三隔离柱具有相同的材料组成。

10 在一些实施例中，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括多个导电台阶组，每个所述导电台阶组包括沿垂直于所述基底的第一方向间隔排布且具有不同延伸长度的至少两个导电台阶；在每个所述导电台阶组中，延伸长度较小的导电台阶比延伸长度较大的导电台阶更远离所述基底。

15 在一些实施例中，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括第一导电台阶和第二导电台阶，所述第一导电台阶和所述第二导电台阶具有大致相同的延伸长度，所述第一导电台阶比所述第二导电台阶更靠近所述第三位线的中部，所述第一导电台阶比所述第二导电台阶更靠近所述基底。

20 在一些实施例中，所述第一阶梯结构包括第三导电台阶，所述第二阶梯结构包括第四导电台阶，所述第三导电台阶和所述第四导电台阶在所述基底上的正投影沿所述第二方向排布，所述第三导电台阶和所述第四导电台阶具有大致相同的延伸长度，所述第三导电台阶比所述第四导电台阶更远离所述基底。

在一些实施例中，所述第一阶梯结构中的每个导电台阶比所述第二阶梯结构中的任一个导电台阶更远离所述基底。

25 在一些实施例中，所述存储器还包括：多个接触插塞，一一对应的位于所述导电台阶上，其中，每个所述接触插塞与对应的所述导电台阶一体成型。

在一些实施例中，每条所述第二位线在所述第二方向上的相对两侧均设置有与之耦接的所述存储单元。

在一些实施例中，每个所述存储单元包括存取晶体管和电容器，所述存取晶体管与对应

的所述第二位线耦接，所述电容器与所述存取晶体管耦接。

5 在一些实施例中，所述存取晶体管包括第一栅极、环绕所述第一栅极的第一有源层以及位于所述第一栅极和所述第一有源层之间的第一栅介质层；沿所述第一方向相对的所述第一栅极连接形成字线，沿所述第一方向相对的所述第一栅介质层连接形成一体结构，沿所述第一方向相对的所述第一有源层彼此间隔设置且分别与对应的所述第二位线耦接。

在一些实施例中，所述电容器包括第一电极、环绕所述第一电极的第二电极以及位于所述第一电极和所述第二电极之间的电容介质层；沿所述第一方向相对的所述第一电极连接形成一体结构，沿所述第一方向相对的所述电容介质层连接形成一体结构，沿所述第一方向相对的所述第二电极彼此间隔设置且分别与对应的存取晶体管耦接。

10 在一些实施例中，所述第二位线设置为多条。

在一些实施例中，所述存储器还包括：多个选择晶体管，其中，在每个位线功能组中，每条所述第二位线通过一个对应的所述选择晶体管与所述第一位线耦接。

15 在一些实施例中，所述选择晶体管包括第二栅极、环绕所述第二栅极的第二有源层以及位于所述第二栅极和所述第二有源层之间的第二栅介质层；沿所述第一方向相对的所述第二栅极连接形成选择控制线，沿所述第一方向相对的所述第二栅介质层连接形成一体结构，沿所述第一方向相对的所述第二有源层彼此间隔设置且分别与对应的所述第一位线和对应的所述第二位线耦接。

根据本公开实施例的第二方面，提供一种电子设备，包括处理器以及本公开任一实施例提供的存储器。存储器与处理器耦合。

20 在本公开的实施例提供的存储器中，第二位线的延伸长度可以根据与之耦接的存储单元的数量进行设置，第一位线的延伸长度可以根据与之耦接的第二位线的数量进行设置，第三位线的延伸长度可以根据与之耦合的阶梯结构的布置情况进行设置，从而可以使得存储器中的堆叠结构更加紧凑（即其平面形状具有面积较小的外接矩形），进而有助于提高每片晶圆上的存储器芯片的产量（即晶圆可切割晶粒数，Die Per Wafer，DPW）。

25

附图说明

图 1A 为一种三维存储器的部分平面结构示意图；

图 1B 为沿图 1A 中的 K1-K2 线截取的截面示意图；

- 图 2A 为本公开一些实施例提供的一种存储器的部分平面结构示意图；
- 图 2B 为沿图 2A 中的 A1-A2 线截取的截面示意图；
- 图 2C 为沿图 2A 中的 B1-B2 线截取的截面示意图；
- 图 2D 为沿图 2A 中的 C1-C2 线截取的截面示意图；
- 5 图 3 为本公开一些实施例提供的一种存储单元的结构示意图；
- 图 4 为本公开一些实施例提供的另一种存储器的部分平面结构示意图；
- 图 5A-5C 为本公开一些实施例提供的一种存储器的制造过程中的一些阶段的部分截面结构示意图；
- 图 6A-6F 为本公开一些实施例提供的一种存储器的制造过程中的另一些阶段的部分截面结构示意图；
- 10 图 7 为本公开一些实施例提供的一种电子设备的结构示意图。

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开 15 的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准 20 的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

在本公开实施例中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必 25 用于描述特定的顺序或先后次序。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是

厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。

在本公开实施例中，术语“耦合”是指两个（或多个）导电结构彼此可操作地连接，根据实际需要，可以包括但不限于以下情形：1）两个导电结构直接电连接；2）两个导电结构间接电连接（通过其他导电结构）；3）虽然两个导电结构之间不进行电连接（例如二者之间设置绝缘层），但是两个导电结构之一可以响应于电信号控制两个导电结构之另一的电学性能，例如，栅极（或字线）与有源区（或沟道区）耦合。

需要说明的是，本公开实施例所记载的技术方案以及技术特征之间，在不冲突的情况下，可以任意组合。

图 1A 为一种三维存储器的平面结构示意图，图 1B 为沿图 1A 中的 K1-K2 线截取的截面示意图。如图 1A 和图 1B 所示，该三维存储器包括沿垂直方向 Z 依次堆叠的多个层级，每个层级包括沿水平方向 X 延伸的位线 BL 以及与位线 BL 耦接的多个存储单元 MC。例如，每个存储单元可以包括与位线 BL 耦接的晶体管以及与该晶体管耦接的电容器。

如图 1A 和图 1B 所示，该三维存储器还包括沿垂直方向 Z 延伸的多条字线 WL，每条字线 WL 与垂直堆叠的多个存储单元 MC 耦接。具体地，每条字线 WL 与垂直堆叠的多个存储单元 MC 中的晶体管耦接。如图 1A 和图 1B 所示，字线 WL 和存储单元 MC 位于位线 BL 在水平方向 Y 上的一侧（同一侧）。

如图 1A 和图 1B 所示，该三维存储器还包括位于位线 BL 在水平方向 Y 上的另一侧的阶梯结构，该阶梯结构包括与不同层级的多条位线 WL 一一对应耦接的多个导电台阶 210。例如，如图 1A 和图 1B 所示，该多个导电台阶 210 组成两个上升阶梯（从阶梯结构的边缘向中部观察，导电台阶 210 到基底 100 的距离逐渐增加）。如图 1A 和图 1B 所示，该三维存储器还包括位于各导电台阶 210 上的接触插塞 220，从而，位线 BL 可以通过导电台阶 210 及接触插塞 220 与设置在堆叠结构外部的电路结构（例如，感测放大器）进行电连接。

图 1B 中还示意性地示出了基底 100、刻蚀停止层 105、第一介质层 110、第二介质层 120 以及平坦化层 150，这些结构/层可以参考下文中的实施例的相关描述。

在图 1A 和图 1B 所示的三维存储器中，考虑到电路结构的驱动能力有限，位线 BL 的延伸长度通常根据与之耦接的存储单元 MC 的数量进行设置；另一方面，由于接触插塞 220 设置在导电台阶 210 上，导电台阶 210 的面积不能无限减小，也就是说，在位线 BL 的延伸

长度确定的情况下，上述阶梯结构中的导电台阶 210 的数量是有限的，从而堆叠结构的层级的增加也将受到限制。

本公开至少一些实施例提供一种存储器。该存储器包括：位于基底上的多个位线功能组、多个存储单元、第一阶梯结构和第二阶梯结构。所述多个位线功能组沿垂直于所述基底的第一方向间隔排布，所述多个位线功能组中的每个位线功能组包括第一位线、与第一位线耦接的第二位线和与第一位线耦接的第三位线，所述第一位线沿平行于所述基底的第二方向延伸，所述第二位线和所述第三位线沿平行于所述基底的第三方向延伸，所述第二方向与第三方向相交；所述第二位线和所述多个存储单元位于第一位线在第三方向上的一侧，所述第三位线、所述第一阶梯结构和所述第二阶梯结构位于第一位线在第三方向上的另一侧，所述第一阶梯结构和所述第二阶梯结构位于第三位线在第二方向上的相对两侧；所述多个存储单元分别与对应的第二位线耦接，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括沿第二方向延伸的多个导电台阶，每个导电台阶与对应的第三位线耦接。

在本公开的实施例提供的存储器中，第二位线的延伸长度可以根据与之耦接的存储单元的数量进行设置，第一位线的延伸长度可以根据与之耦接的第二位线的数量进行设置，第三位线的延伸长度可以根据与之耦合的阶梯结构的布置情况进行设置，从而可以使得存储器中的堆叠结构更加紧凑（即其平面形状具有面积较小的外接矩形），进而有助于提高每片晶圆上的存储器芯片的产量（即晶圆可切割晶粒数，Die Per Wafer，简称 DPW）。

图 2A 为本公开一些实施例提供的一种存储器的部分平面结构示意图；图 2B 为沿图 2A 中的 A1-A2 线截取的截面示意图；图 2C 为沿图 2A 中的 B1-B2 线截取的截面示意图；图 2D 为沿图 2A 中的 C1-C2 线截取的截面示意图。需要说明的是，为了清楚和简洁，图 2A 中省略了存储器中的部分绝缘层和/或介质层。

如图 2A-2D 所示，该存储器包括位于基底 100 上的多个位线功能组 BLG、多个存储单元 MC、第一阶梯结构 SCa 和第二阶梯结构 SCb。多个位线功能 BLG 组沿垂直于基底 100 的第一方向 Z 间隔排布，每个位线功能组 BLG 包括第一位线 BLa、与第一位线 BLa 耦接的第二位线 BLb 以及与第一位线 BLa 耦接的第三位线 BLc。每个位线功能组 BLG 中的第一位线 BLa、第二位线 BLb 和第三位线 BLc 位于同一层级。第一位线 BLa 沿平行于基底 100 的第二方向 X 延伸，第二位线 BLb 和第三位线 BLc 沿平行于基底 100 的第三方向 Y 延伸，第二方向 X 和第三方向 Y 均垂直于第一方向 Z，第二方向 X 与第三方向 Y 相交。例如，第二方向 X 与第三方向 Y 相互垂直。例如，不同位线功能组 BLG 中的第一位线 BLa 在基底 100

上的正投影基本重叠，不同位线功能组 BLG 中的第二位线 BLb 在基底 100 上的正投影基本重叠，不同位线功能组 BLG 中的第三位线 BLc 在基底 100 上的正投影基本重叠。

如图 2A-2D 所示，第二位线 BLb 和多个存储单元 MC 位于第一位线 BLa 在第三方向 Y 上的一侧，第三位线 BLc、第一阶梯结构 SCa 和第二阶梯结构 SCb 位于第一位线 BLa 在第三方向 Y 上的另一侧，第一阶梯结构 SCa 和第二阶梯结构 SCb 位于第三位线 BLc 在第二方向 X 上的相对两侧。

如图 2A-2D 所示，多个存储单元 MC 分别与对应的第二位线 BLb 耦接，第一阶梯结构 SCa 和第二阶梯结构 SCb 中的每个阶梯结构包括沿第二方向 X 延伸的多个导电台阶 ST，每个导电台阶 ST 与对应的第三位线 BLc 耦接。

示例性，在图 2A-2D 所示的实施例中，存储器包括具有 16 个层级（T1-T16）的堆叠结构。可以理解的是，存储器中的堆叠结构可以具有更多或更少的层级。例如，存储器中的堆叠结构的层级数量可以包括但不限于 32、64、128、256 等。以下结合表 1 说明图 2A-2D 中的导电台阶 ST 的排布方式。

表 1 16 个导电台阶的一种排布方式

第二阶梯结构 SCb		第一阶梯结构 SCa	
10	9	1	2
14	13	5	6
16	15	7	8
12	11	3	4

例如，参考表 1 以及图 2A-2D，第一阶梯结构 SCa 包括位于 T1-T8 层级的导电台阶 ST，第二阶梯结构 SCb 包括位于 T9-T16 层级的导电台阶 ST。表中的自然数字 i 表示位于 Ti 层级的导电台阶 ST，其与位于同一层级（即 Ti 层级）的第三位线 BLc 耦接。

表 2 示出了图 2A-2D 中的导电台阶 ST 的另一种排布方式，可以结合表 1 的相关说明理解表 2 的内容，在此不再赘述。可以理解的是，在图 2A-2D 所示的实施例中，导电台阶 ST 的排布方式不限于表 1 和表 2 所示，还可以包括其他合适的排布方式，只要便于制造即可。

表 2 16 个导电台阶的另一种排布方式

第二阶梯结构 SCb		第一阶梯结构 SCa	
10	9	1	2
12	11	3	4
14	13	5	6
16	15	7	8

表 3 32 个导电台阶的一种排布方式

第二阶梯结构 SCb		第一阶梯结构 SCa	
18	17	1	2
22	21	5	6
26	25	9	10
30	29	13	14
32	31	15	16
28	27	11	12
24	23	7	8
20	19	3	4

5

表 4 32 个导电台阶的另一种排布方式

第二阶梯结构 SCb				第一阶梯结构 SCa			
20	19	18	17	1	2	3	4
28	27	26	25	9	10	11	12
32	31	30	29	13	14	15	16
24	23	22	21	5	6	7	8

可以理解的是，当存储器中的堆叠结构的层级数量为其他数值时，可以参考表 1 或表 2 的排布方式对导电台阶 ST 进行排布设置。表 3 和表 4 分别示出了 32 个导电台阶的一种排布方式。可以结合表 1 的相关说明理解表 3 和表 4 的内容，在此不再赘述。

例如，在一些实施例中，如图 2A 所示，第二位线 BLb 可以设置为多条。需要说明的是，图 2A 中示出的第二位线 BLb 以及存储单元 MC 的数量均是示意性的，不应视作对本公开的限制。

例如，在一些实施例中，如图 2A 所示，第一位线 BLa、第二位线 BLb 和第三位线 BLc 中的每一个的形状为环状。例如，第一位线 BLa 的形状可以为封闭环状。例如，第二位线 BLb 的形状可以为封闭环状或者非封闭环状；例如，在第二位线 BLb 的形状为非封闭环状的情况下，非封闭环状的开口位于第二位线 BLb 的远离第一位线 BLa 的一端。例如，第三位线 BLc 的形状可以为封闭环状或者非封闭环状；例如，在第二位线 BLb 的形状为非封闭环状的情况下，非封闭环状的开口位于第三位线 BLc 的远离第一位线 BLa 的一端。

例如，在一些实施例中，第一位线 BLa、第二位线 BLb 和第三位线 BLc 具有相同的材料组成。例如，第一位线 BLa、第二位线 BLb 和第三位线 BLc 的材料可以包括但不限于氮化钛和/或钨等。例如，第一位线 BLa、第二位线 BLb 和第三位线 BLc 可以是同步形成的。

例如，在一些实施例中，如图 2A-2D 所示，该存储器还包括位于基底 100 上的第一隔离柱 132、第二隔离柱 134 和第三隔离柱 136，第一位线 BL 周向环绕第一隔离柱 132，第二位线 BLb 周向环绕第二隔离柱 134，第三位线 BLc 周向环绕第三隔离柱 136。

例如，在一些实施例中，第一隔离柱 132、第二隔离柱 134 和第三隔离柱 136 具有相同的材料组成。例如，第一隔离柱 132、第二隔离柱 134 和第三隔离柱 136 的材料可以包括但不限于氧化硅 (SiO₂)、氮化硅 (SiN)、氮氧化硅 (SiON) 或氧化铝等。例如，第一隔离柱 132、第二隔离柱 134 和第三隔离柱 136 可以是同步形成的。

例如，在一些实施例中，第一阶梯结构 SCa 和第二阶梯结构 SCb 中的每个阶梯结构包括多个导电台阶组，每个导电台阶组包括沿垂直于基底 100 的第一方向 Z 间隔排布且具有不同延伸长度的至少两个导电台阶 ST (参考表 1-表 4 中“第一阶梯结构 SCa”或“第二阶梯结构 SCb”栏下的位于同一行的导电台阶)；在每个导电台阶组中，延伸长度较小的导电台阶 ST 比延伸长度较大的导电台阶 ST 更远离基底 100，从而延伸长度较小的导电台阶 ST 和延伸长度较大的导电台阶 ST 上均可以设置接触插塞 CT。示例性地，参考图 2B 和图 2C，位于 T1 层级的延伸长度较小的导电台阶 ST 和位于 T2 层级的延伸长度较大的导电台阶 ST 构成一个导电台阶组，前者比后者更远离基底 100；位于 T3 层级的延伸长度较小的导电台阶

ST 和位于 T4 层级的延伸长度较大的导电台阶 ST 构成一个导电台阶组，前者比后者更远离基底 100；位于 T5 层级的延伸长度较小的导电台阶 ST 和位于 T6 层级的延伸长度较大的导电台阶 ST 构成一个导电台阶组，前者比后者更远离基底 100；位于 T7 层级的延伸长度较小的导电台阶 ST 和位于 T8 层级的延伸长度较大的导电台阶 ST 构成一个导电台阶组，前者比后者更远离基底 100；位于 T9 层级的延伸长度较小的导电台阶 ST 和位于 T10 层级的延伸长度较大的导电台阶 ST 构成一个导电台阶组，前者比后者更远离基底 100；等等。

例如，在一些实施例中，第一阶梯结构 SCa 和第二阶梯结构 SCb 中的每个阶梯结构包括第一导电台阶和第二导电台阶，第一导电台阶和第二导电台阶具有大致相同的延伸长度，第一导电台阶比第二导电台阶更靠近第三位线 BLc 的中部，第一导电台阶比第二导电台阶更靠近基底 100。示例性地，参考表 1 以及图 2A 和图 2B，可以将位于 T5 层级的导电台阶 ST 和位于 T1 层级的导电台阶 ST 分别作为第一导电台阶和第二导电台阶，二者具有大致相同的延伸长度，前者比后者更靠近第三位线 BLc 的中部，前者比后者更靠近基底 100；或者，可以将位于 T7 层级的导电台阶 ST 和位于 T3 层级的导电台阶 ST 分别作为第一导电台阶和第二导电台阶；或者，可以将位于 T6 层级的导电台阶 ST 和位于 T2 层级的导电台阶 ST 分别作为第一导电台阶和第二导电台阶；或者，可以将位于 T8 层级的导电台阶 ST 和位于 T4 层级的导电台阶 ST 分别作为第一导电台阶和第二导电台阶；等等。

例如，在一些实施例中，第一阶梯结构 SCa 包括第三导电台阶，第二阶梯结构 SCb 包括第四导电台阶，第三导电台阶和第四导电台阶在基底上 100 上的正投影沿第二方向 X 排布，第三导电台阶和第四导电台阶具有大致相同的延伸长度，第三导电台阶比第四导电台阶更远离基底。示例性地，参考表 1 以及图 2A 和图 2C，可以将位于 T1 层级的导电台阶 ST 和位于 T9 层级的导电台阶 ST 分别作为第三导电台阶和第四导电台阶，前者 and 后者在基底 100 上的正投影沿第二方向 X 排布，前者 and 后者具有大致相同的延伸长度，前者比后者更远离基底 100；或者，可以将位于 T2 层级的导电台阶 ST 和位于 T10 层级的导电台阶 ST 分别作为第三导电台阶和第四导电台阶；等等。

例如，在一些实施例中，参考表 1（或者表 2-表 4）以及图 2A 和图 2C，第一阶梯结构 SCa 中的每个导电台阶 ST 比第二阶梯结构 SCb 中的任一个导电台阶 ST 更远离基底 100。

可以理解的是，第一阶梯结构 SCa 和第二阶梯结构 SCb 可以互换。

例如，在一些实施例中，如图 2A-2C 所示，该存储器还包括多个接触插塞 CT，该多个接触插塞 CT 一一对应的位于各导电台阶 ST 上。例如，每个接触插塞 CT 与对应的导电台阶 ST 一体成型。例如，接触插塞 CT 与导电台阶 ST 具有相同的材料组成。例如，接

触插塞 CT 与导电台阶 ST 可以包括但不限于氮化钛和/或钨等。

例如，在一些实施例中，如图 2A 和图 2D 所示，每条第二位线 BLb 在第二方向 X 上的相对两侧均设置有与之耦接的存储单元 MC。例如，每个存储单元 MC 包括存取晶体管 TR 和电容器 CAP，存取晶体管 TR 与对应的第二位线 BLb 耦接，电容器 CAP 与存取晶体管 TR 耦接。需要说明的是，存储单元 MC 可以不限于 DRAM（动态随机存取存储器）存储单元，例如，存储单元 MC 还可以为 FeRAM（铁电随机存取存储器）存储单元、PCM（相变存储器）存储单元、MRAM（磁随机存取存储器）存储单元等。也就是说，本公开的实施例提供的存储器可以为 DRAM、FeRAM、PCM、MRAM 等。

例如，在一些实施例中，如图 2A 和图 2D 所示，存取晶体管 TR 包括第一栅极 143、环绕第一栅极 143 的第一有源层 141 以及位于第一栅极和第一有源层 141 之间的第一栅介质层 142，即存取晶体管 TR 可以为沟道全环绕（Channel-All-Around，简称 CAA）晶体管；沿第一方向 Z 相对的第一栅极 143 连接形成一体结构（即字线 143），沿第一方向 Z 相对的第一栅介质层 142 连接形成一体结构，沿第一方向 Z 相对的第一有源层 141 彼此间隔设置且分别与对应的第二位线 BLb 耦接。例如，第一有源层 141 的材料可以包括但不限于多晶硅或金属氧化物等，例如金属氧化物可以为铟镓锌氧化物（indium gallium zinc oxide，简称 IGZO）。例如，第一栅绝缘层 142 的材料可以包括但不限于氧化硅（SiO₂）和/或高 K 电介质等。例如，字线 143 的材料可以包括但不限于氮化钛和/或钨等。

例如，在一些实施例中，如图 2A 和图 2D 所示，电容器 CAP 包括第一电极 147、环绕第一电极 147 的第二电极 145 以及位于第一电极 147 和第二电极 145 之间的电容介质层 146；沿第一方向 Z 相对的第一电极 147 连接形成一体结构（即公共电极 147），沿第一方向 Z 相对的电容介质层 146 连接形成一体结构，沿第一方向 Z 相对的第二电极 145 彼此间隔设置且分别与对应的存取晶体管 TR 耦接。例如，第二电极 145 的材料可以包括但不限于氮化钛和/或钨等。例如，电容介质层 146 的材料可以包括但不限于氧化硅（SiO₂）和/或高 K 电介质等。例如，第一电极 147 的材料可以包括但不限于氮化钛和/或钨等。

需要说明的是，图 2D 中所示的存储单元 MC（即存取晶体管 TR 和电容器 CAP）的结构均是示意性的。图 3 为本公开一些实施例提供的一种存储单元（包括存取晶体管和电容器）的结构示意图。例如，如图 3 所示，在一些实施例中，在存储单元 MC 的存储晶体管 TR 中，第一有源层 141 的部分横截面形状为“C”字型，第一栅介质层 142 随形覆盖第一有源层 141，字线 143 包括横向延伸至第一有源层 141 的“C”字型的开口内的分支。例如，如图 3 所示，在一些实施例中，在存储单元 MC 的电容器 CAP 中，第二电极 145 的部分横截面形状为“C”

字型，电容介质层 146 随形覆盖第二电极 145，公共电极 147 包括横向延伸至第二电极 145 的“C”字型的开口内的分支。

图 4 为本公开一些实施例提供的另一种存储器的部分平面结构示意图。例如，在一些实施例中，在如图 2 所示的存储器的基础上，如图 4 所示的存储器还可以进一步包括多个选择晶体管 T0；在每个位线功能组 BLG 中，每条第二位线 BLb 通过一个对应的选择晶体管 T0 与第一位线 BLa 耦接。

例如，在一些实施例中，选择晶体管 T0 的结构和材料组成可以与存取晶体管 TR 的结构和材料组成相同。例如，选择晶体管 T0 包括第二栅极（参考前述第一栅极 143）、环绕第二栅极的第二有源层（参考前述第一有源层 141）以及位于第二栅极和第二有源层之间的第二栅介质层（参考前述第一栅介质层 142），即选择晶体管 T0 可以为沟道全环绕（Channel-All-Around，简称 CAA）晶体管；沿第一方向 Z 相对的第二栅极连接形成一体结构（即选择控制线），沿第一方向 Z 相对的第二栅介质层连接形成一体结构，沿第一方向 Z 相对的第二有源层彼此间隔设置且分别与对应的第一位线 BLa 和对应的第二位线 BLb 耦接。例如，选择晶体管 T0 和存取晶体管 TR 可以是同步形成的。

图 5A-5C 为本公开一些实施例提供的一种存储器的制造过程中的一些阶段的部分截面结构示意图。以下，结合图 5A-5C 分别对位线功能组 BLG、存储单元 MC 的制造过程进行简要说明。

例如，在一些实施例中，位线功能组 BLG 的制造过程可以包括：参考图 5A，在基底 100 上依次形成刻蚀停止层 105、交替层叠的第一介质层 110 和第二介质层 120 以及掩模层 125，其中，相邻的第一介质 110 和第二介质层 120 构成一个层级；然后，参考图 5B，在掩模层 125 上形成开口图案，并刻蚀交替层叠的第一介质层 110 和第二介质层 120 以形成垂直开口 VP，其中，垂直开口 VP 暴露刻蚀停止层 105 的上表面；接着，参考图 5C，从垂直开口 VP 横向刻蚀去除每个层级的第二介质层 120 的部分，以形成水平开口 HP；之后，参考图 2B 中的第一位线 BLa 和第一隔离柱 132，在水平开口 HP 中形成第一位线 BLa，并形成填充垂直开口 VP 的第一隔离柱 132。可以理解的是，第二位线 BLb 和第二隔离柱 134 的形成过程与第一位线 BLa 和第一隔离柱 132 的形成过程类似，第三位线 BLc 和第三隔离柱 136 的形成过程也与第一位线 BLa 和第一隔离柱 132 的形成过程类似，在此不再重复赘述。还可以理解的是，在形成第一位线 BLa、第二位线 BLb 和第三位线 BLc 的过程中，需要使三者满足相应的耦接关系。

例如，在一些实施例中，存储单元 MC 中的存取晶体管 TR 的制造过程可以包括：参考

图 5B, 在掩膜层 125 上形成开口图案, 并刻蚀交替层叠的第一介质层 110 和第二介质层 120 以形成垂直开口 VP, 其中, 垂直开口 VP 暴露刻蚀停止层 105 的上表面; 接着, 参考图 5C, 从垂直开口 VP 横向刻蚀去除每个层级的第二介质层 120 的部分, 以形成水平开口 HP; 之后, 参考图 2D 或图 3 中的第一有源层 141、第一栅介质层 142 和字线 WL, 在水平开口 HP 中形成第一有源层 141, 形成随形覆盖第一有源层 141 的第一栅介质层 142, 并形成填充垂直开口 VP 的字线 143。可以理解的是, 若第二位线 BLb 先于第一有源层 141 形成, 则容纳第一有源层 141 的一侧水平开口应当暴露第二位线 BLb 的侧壁, 以使得后形成的第一有源层 141 能够与先形成的第二位线 BLb 耦接; 类似地, 若电容器 CAP 的第二电极 145 先于第一有源层 141 形成, 则容纳第一有源层 141 的另一侧水平开口应当暴露第二电极 145 的侧壁, 以使得后形成的第一有源层 141 能够与先形成的第二电极 145 耦接。还可以理解的是, 选择晶体管 T0 的形成过程可以与存取晶体管 TR 的形成过程类似, 在此不再重复赘述。

例如, 在一些实施例中, 存储单元 MC 中的电容器 CAP 的制造过程可以包括: 参考图 5B, 在掩膜层 125 上形成开口图案, 并刻蚀交替层叠的第一介质层 110 和第二介质层 120 以形成垂直开口 VP, 其中, 垂直开口 VP 暴露刻蚀停止层 105 的上表面; 然后, 参考图 5C, 从垂直开口 VP 横向刻蚀去除每个层级的第二介质层 120 的部分, 以形成水平开口 HP; 之后, 参考图 2D 或图 3 中的第一有源层 141、第一栅介质层 142 和字线 WL, 在水平开口 HP 中形成第二电极 145, 形成随形覆盖第二电极 145 的电容介质层 146, 并形成填充垂直开口 VP 的公共电极 147。可以理解的是, 若第一有源层 141 先于第二电极 145 形成, 则容纳第二电极 145 的一侧水平开口应当暴露第一有源层 141 的侧壁, 以使得后形成的第二电极 145 能够与先形成的第一有源层 141 耦接。

图 6A-6F 为本公开一些实施例提供的一种存储器的制造过程中的另一些阶段的部分截面结构示意图。以下, 结合图 6A-6F 对第一阶梯结构 SCa 和第二阶梯结构 SCb 的制造过程进行简要说明。

例如, 在一些实施例中, 第一阶梯结构 SCa 和第二阶梯结构 SCb 的制造过程可以包括: 参考图 6A 和图 6B, 刻蚀交替层叠的第一介质层 110 和第二介质层 120 以形成第一初始阶梯结构和第二初始阶梯结构 (此后, 可以去除掩膜层 125); 然后, 参考图 6C 和图 6D, 形成覆盖第一初始阶梯结构和第二初始阶梯结构的平坦化层 150, 并在平坦化层 150 中形成垂直开口 VO, 其中, 垂直开口 VO 暴露各初始台阶顶部的第二介质层 120; 接着, 参考图 6E 和图 6F, 从垂直开口 VO 刻蚀各初始台阶顶部的第二介质层 120 以形成水平开口 HO, 其中, 水平开口 HO 暴露第三位线 BLc 的侧壁; 之后, 参考图 2 和图 2C, 在水平开口 HO 中形成

导电台阶 ST，并在垂直开口 VO 中形成接触插塞 CT，从而得到第一阶梯结构 SCa 和第二阶梯结构 SCb。例如，可以通过沉积导电材料以同时形成导电台阶 ST 和接触插塞 CT。

例如，在本公开的实施例中，基底 100 可以包括但不限于硅衬底、绝缘体上硅衬底等。例如，刻蚀停止层 105 的材料可以包括但不限于碳化硅(SiC)、硅碳氧(SiCO)或硅碳氮(SiCN)等。例如，第一介质层 110 的材料可以包括但不限于氧化硅(SiO₂)、氮化硅(SiN)或氮氧化硅(SiON)等。例如，第二介质层 120 的材料可以包括但不限于氧化硅(SiO₂)、氮化硅(SiN)或氮氧化硅(SiON)等。例如，掩模层 125 的材料可以包括但不限于氮化硅(SiN)、碳化硅(SiC)或硅碳氮(SiCN)等。例如，平坦化层 150 的材料可以与第一介质层 110 的材料相同，但不限于此。

可以理解的是，刻蚀停止层 105、第一介质层 110、第二介质层 120 三者的材料通常互不相同，且两两之间通常具有一定的刻蚀选择比。类似地，第一介质层 110、第二介质层 120、掩膜层 125 三者的材料通常互不相同，且两两之间通常具有一定的刻蚀选择比。

在本公开的实施例提供的存储器中，第二位线 BLb 的延伸长度可以根据与之耦接的存储单元 MC 的数量进行设置，第一位线 BLa 的延伸长度可以根据与之耦接的第二位线 BLb 的数量进行设置，第三位线 BLc 的延伸长度可以根据与之耦合的阶梯结构 SCa 和 SCb 的布置情况进行设置，从而可以使得存储器中的堆叠结构更加紧凑（即其平面形状具有面积较小的外接矩形），进而有助于提高每片晶圆上的存储器芯片的产量（即晶圆可切割晶粒数，Die Per Wafer，简称 DPW）。

本公开至少一些实施例还提供一种电子设备。图 7 为本公开一些实施例提供的一种电子设备的结构示意图。如图 7 所示，该电子设备 1 包括相互耦合的处理器 20 和存储器 10，其中，存储器 10 为前述任一实施例提供的存储器。

例如，处理器 20 可以包括但不限于中央处理器（CPU）、图形处理器（GPU）等。存储器 10 可以被配置为存储待处理器 20 处理的数据和/或由处理器处理过的数据。

例如，电子设备 1 包括但不限于手机、平板电脑、智能手环、可穿戴电子设备、虚拟现实设备、增强现实设备、车载设备、服务器、工作站等。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1.一种存储器，其特征在于，包括：位于基底（100）上的多个位线功能组（BLG）、多个存储单元（MC）、第一阶梯结构（SCa）和第二阶梯结构（SCb）；

5 其中，所述多个位线功能组沿垂直于所述基底的第一方向（Z）间隔排布，所述多个位线功能组中的每个位线功能组包括第一位线（BLa）、与所述第一位线耦接的第二位线（BLb）以及与所述第一位线耦接的第三位线（BLc），所述第一位线沿平行于所述基底的第二方向（X）延伸，所述第二位线和所述第三位线沿平行于所述基底的第三方向（Y）延伸，所述第二方向与所述第三方向相交；

10 所述第二位线和所述多个存储单元位于所述第一位线在所述第三方向上的一侧，所述第三位线、所述第一阶梯结构和所述第二阶梯结构位于所述第一位线在所述第三方向上的另一侧，所述第一阶梯结构和所述第二阶梯结构位于所述第三位线在所述第二方向上的相对两侧；

15 所述多个存储单元分别与对应的所述第二位线耦接，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括沿所述第二方向延伸的多个导电台阶（ST），每个所述导电台阶与对应的所述第三位线耦接。

2.根据权利要求1所述的存储器，其特征在于，所述第一位线、所述第二位线和所述第三位线中的每一个的形状为环状。

3.根据权利要求1或2所述的存储器，其特征在于，所述第一位线、所述第二位线和所述第三位线具有相同的材料组成。

20 4.根据权利要求1-3任一项所述的存储器，其特征在于，还包括：位于所述基底上的第一隔离柱（132）、第二隔离柱（134）和第三隔离柱（136）；

其中，所述第一位线周向环绕所述第一隔离柱，所述第二位线周向环绕所述第二隔离柱，所述第三位线周向环绕所述第三隔离柱。

25 5.根据权利要求4所述的存储器，其特征在于，所述第一隔离柱、所述第二隔离柱和所述第三隔离柱具有相同的材料组成。

6.根据权利要求1-5任一项所述的存储器，其特征在于，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括多个导电台阶组，每个所述导电台阶组包括沿垂直于所述基底的第一方向间隔排布且具有不同延伸长度的至少两个导电台阶；

在每个所述导电台阶组中，延伸长度较小的导电台阶比延伸长度较大的导电台阶更远离所述基底。

7.根据权利要求 1-6 任一项所述的存储器，其特征在于，所述第一阶梯结构和所述第二阶梯结构中的每个阶梯结构包括第一导电台阶和第二导电台阶，所述第一导电台阶和所述第二导电台阶具有大致相同的延伸长度，所述第一导电台阶比所述第二导电台阶更靠近所述第三位线的中部，所述第一导电台阶比所述第二导电台阶更靠近所述基底。

8.根据权利要求 1-7 任一项所述的存储器，其特征在于，所述第一阶梯结构包括第三导电台阶，所述第二阶梯结构包括第四导电台阶，所述第三导电台阶和所述第四导电台阶在所述基底上的正投影沿所述第二方向排布，所述第三导电台阶和所述第四导电台阶具有大致相同的延伸长度，所述第三导电台阶比所述第四导电台阶更远离所述基底。

9.根据权利要求 1-8 任一项所述的存储器，其特征在于，所述第一阶梯结构中的每个导电台阶比所述第二阶梯结构中的任一个导电台阶更远离所述基底。

10.根据权利要求 1-9 任一项所述的存储器，其特征在于，还包括：

多个接触插塞（CT），一一对应的位于所述导电台阶上，其中，每个所述接触插塞与对应的所述导电台阶一体成型。

11.根据权利要求 1-10 任一项所述的存储器，其特征在于，每条所述第二位线在所述第二方向上的相对两侧均设置有与之耦接的所述存储单元。

12.根据权利要求 1-11 任一项所述的存储器，其特征在于，每个所述存储单元包括存取晶体管（TR）和电容器（CAP），所述存取晶体管与对应的所述第二位线耦接，所述电容器与所述存取晶体管耦接。

13.根据权利要求 12 所述的存储器，其特征在于，所述存取晶体管包括第一栅极（143）、环绕所述第一栅极的第一有源层（141）以及位于所述第一栅极和所述第一有源层之间的第一栅介质层（142）；

沿所述第一方向相对的所述第一栅极连接形成字线（143），沿所述第一方向相对的所述第一栅介质层连接形成一体结构，沿所述第一方向相对的所述第一有源层彼此间隔设置且分别与对应的所述第二位线耦接。

14.根据权利要求 12 或 13 所述的存储器，其特征在于，所述电容器包括第一电极（147）、环绕所述第一电极的第二电极（145）以及位于所述第一电极和所述第二电极之间的电容介质层（146）；

沿所述第一方向相对的所述第一电极连接形成一体结构，沿所述第一方向相对的所述电容介质层连接形成一体结构，沿所述第一方向相对的所述第二电极彼此间隔设置且分别与对应的存取晶体管耦接。

15. 根据权利要求 1-14 任一项所述的存储器，其特征在于，所述第二位线设置为多条。

16. 根据权利要求 15 所述的存储器，其特征在于，还包括：

多个选择晶体管（T0），其中，在每个位线功能组中，每条所述第二位线通过一个对应的所述选择晶体管与所述第一位线耦接。

17. 根据权利要求 16 所述的存储器，其特征在于，所述选择晶体管包括第二栅极、环绕所述第二栅极的第二有源层以及位于所述第二栅极和所述第二有源层之间的第二栅介质层；

沿所述第一方向相对的所述第二栅极连接形成选择控制线，沿所述第一方向相对的所述第二栅介质层连接形成一体结构，沿所述第一方向相对的所述第二有源层彼此间隔设置且分别与对应的所述第一位线和对应的所述第二位线耦接。

18. 一种电子设备，其特征在于，包括：

处理器（20）；以及

根据权利要求 1-17 任一项所述的存储器（10），其中，所述存储器与所述处理器耦合。