一种半导体结构的制造方法及其半导体结构

交叉引用

本申请要求于2024年04月17日提交的申请号为202410465795.7、名称为“一种半导体结构的制造方法及其半导体结构”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开实施例涉及半导体领域，特别涉及一种半导体结构的制造方法及其半导体结构。

背景技术

动态随机存取存储器(Dynamic Random Access Memory，DRAM)是一种半导体存储器，和静态存储器相比，DRAM存储器具有结构较为简单、制造成本较低、容量密度较高的优点，随着半导体产业的发展，半导体器件正变得高度集成，即小型化。高度集成的半导体器件正由平面沟道晶体管转变为垂直沟道晶体管(VCT)。

但在垂直沟道晶体管制造过程中仍存在半导体存储器件的性能较低和良率较低的情况，如何提高半导体存储器件的性能和良率是当前亟待解决的技术问题。

发明内容

本公开实施例提供一种半导体结构的制造方法及其半导体结构，至少有利于提高半导体存储器件的性能和良率。

根据本公开一些实施例，本公开实施例一方面提供一种半导体结构的制造方法，包括：

提供基底，基底具有沿第一方向间隔排布的有源柱和隔离层，有源柱和隔离层均沿第二方向延伸，第一方向平行于基底表面，第二方向平行于基底厚度方向，第二方向与第一方向垂直；

去除部分隔离层以形成第一凹槽；

至少在第一凹槽侧壁沉积第一介质层，以形成第二凹槽；

形成第一金属层，第一金属层至少直接覆盖有源柱；

进行热处理以形成导电结构，第一介质层覆盖导电结构侧壁，导电结构沿第三方向延伸，第三方向垂直于第一方向和第二方向；

形成第二介质层，第二介质层填充第二凹槽。

在一些实施例中，形成第一介质层具体包括：

形成第一介质材料层，第一介质材料层覆盖第一凹槽的侧壁和底部以及有源柱顶部；

去除有源柱顶部的第一介质材料层，剩余的第一介质材料层作为第一介质层。

在一些实施例中，形成第一介质层具体包括：

形成第一介质材料层，第一介质材料层覆盖第一凹槽的侧壁和底部以及有源柱顶部；

去除有源柱顶部和第一凹槽底部的第一介质材料层，剩余的第一介质材料层作为第一介质层。

在一些实施例中，第一金属层填满第二凹槽且覆盖有源柱顶部。

在一些实施例中，在形成第一介质材料层之后以及形成第一金属层之前，还包括：

形成第二金属材料层，第二金属材料层覆盖第一介质材料层且填满第二凹槽，去除部分第二金属材料层和部分第一介质材料层，以暴露有源柱顶部，剩余的第二金属材料层作为第二金属层，第二金属层与有源柱平齐；

在第二金属层和有源柱顶部形成第一金属层。

在一些实施例中，在形成第一介质材料层之后以及形成第一金属层之前，还包括：

形成第三介质材料层，第三介质材料层覆盖第一介质材料层且填满第二凹槽，去除部分第三介质材料层和部分第一介质材料层，以暴露有源柱顶部，剩余的第三介质材料层作为第三介质层，第三介质层与有源柱平齐；

在第三介质层和有源柱顶部形成第一金属层。

在一些实施例中，在形成导电结构之后以及形成第二介质层之前，还包括：

去除第一金属层，以重新暴露第二凹槽。

在一些实施例中，在形成导电结构之后以及形成第二介质层之前，还包括：

去除第一金属层及第二金属层，以重新暴露第二凹槽。

在一些实施例中，在形成导电结构之后以及形成第二介质层之前，还包括：

去除第一金属层及第三介质层，以重新暴露第二凹槽。

在一些实施例中，第一介质层的介电常数小于有源柱的介电常数；第一凹槽的深度大于导电结构的深度。

在一些实施例中，第二介质层中具有气隙，气隙在第二方向上的深度大于导电结构的深度。

在一些实施例中，形成第一介质层的温度大于热处理温度，导电结构的电阻率不大于20μΩ·cm。

本公开实施例另一方面提供一种半导体结构，包括：

基底，基底具有沿第一方向间隔排布的有源柱和隔离层，有源柱和隔离层均沿第二方向延伸，第一方向平行于基底表面，第二方向平行于基底厚度方向，第二方向与第一方向垂直；

导电结构，与有源柱电连接，导电结构沿第三方向延伸，第三方向垂直于第一方向和第二方向；

第一凹槽，位于相邻导电结构之间；

第二凹槽，位于第一凹槽内；

第一介质层位于第一凹槽与第二凹槽之间且至少覆盖导电结构侧壁；

第二介质层，填充第二凹槽且覆盖导电结构顶部。

在一些实施例中，第一介质层的介电常数小于有源柱的介电常数；第一凹槽的深度大于导电结构的深度。

在一些实施例中，导电结构的电阻率不大于20μΩ·cm。

在一些实施例中，第二介质层中具有气隙，气隙在第二方向上的深度大于导电结构的深度。

本公开一些实施例提供的半导体结构及其制造方法，通过去除部分隔离层以形成第一凹槽；并至少在第一凹槽侧壁沉积第一介质层，以形成第二凹槽；形成第一金属层，第一金属层至少直接覆盖有源柱；进行热处理以形成导电结构，第一介质层覆盖导电结构侧壁；首先通过第一介质层覆盖在导电结构侧壁，可以保护导电结构，防止导电结构的形貌发生改变，其次在工艺过程中第一介质层的提前覆盖可以防止导电结构由低阻态向高阻态转变，使得导电结构自身的电阻减小，再次第一介质层介电常数较低可以减小导电结构之间的寄生电容；以上问题的解决可以提高导电结构的性能，提高半导体器件的良率。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1A-图1E为相关技术中半导体结构制备的各步骤的工艺流程图；

图 2A～图 2J 是本发明半导体结构形成方法的一具体实施方式的工艺流程图；

图 3A～图 3H 是本发明半导体结构形成方法的又一具体实施方式的工艺流程图；

图 4A～图 4H 是本发明半导体结构形成方法的再一具体实施方式的工艺流程图；

图 5A 为本发明半导体结构的一具体实施方式的结构示意图。

图 5B 为本发明半导体结构的另一具体实施方式的结构示意图。

图 5C 为本发明半导体结构和晶圆键合的结构示意图。

具体实施方式

以下结合附图对本发明提出的半导体结构及其形成方法的具体实施方式做详细说明。

如图 1A-图 1E 所示，相关技术的半导体器件在制备过程中，如图 1A 所示在有源柱 11 和隔离层 12 上形成第一金属层 3，热处理后形成如图 1B 所示的导电结构 4，由于金属层在与有源柱反应的过程中会膨胀使得最终形成的导电结构 4 产生图中所示的大头形貌，大头形貌的存在会影响导电结构本身的性能以及对后续工艺产生影响；其次如图 1C 所示在对部分隔离层 12 进行回刻蚀形成沟槽 5 的过程中由于导电结构 4 侧壁没有保护会使得大头形貌的导电结构 4 的侧壁被刻蚀形成缺陷 A，此处只示出了一处缺陷，在每个导电结构 4 的侧壁都有可能存在此缺陷 A，缺陷 A 的存在对导电结构 4 的性能产生影响；再次如图 1D 所示，在导电结构 4 形成后会在沟槽 5 中随形覆盖一层第一介质层 6，在形成第一介质层 6 的过程中，缺陷 A 进一步形成缺陷 B，由于形成第一介质层 6 的形成温度高于热处理的温度，会使得导电结构 4 在高温下进一步反应，使得导电结构 4 的材料由低阻态物质转变成高阻态物质，即由低阻态的导电结构 4 转变为高阻态的导电结构 7，使得导电结构 4 本身的电阻增大，影响导电结构 4 的性能以及增大金属和半导体的接触电阻。最后如图 1E 所示在第一介质层 6 上形成填满沟槽 5 的第二介质层 8，由于第一介质层 6 的介电常数较高会使得导电结构 4 与导电结构 4 之间的寄生电容偏大。

因此，本发明提供一种半导体结构形成方法及半导体结构，其能够保护导电结构的形貌减小缺陷存在并降低导电结构本身的电阻及导电结构之间的寄生电容。

下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

图 2A～图 2J 是本发明半导体结构形成方法的一具体实施方式的工艺流程图；请参阅图 2A 及图 2B，本发明半导体结构形成方法包括如下步骤：提供基底 1，基底 1 具有沿第一方向

X 间隔排布的有源柱 11 和隔离层 12，有源柱 11 和隔离层 12 均沿第二方向 Y 延伸，第一方向 X 平行于基底 1 表面，第二方向 Y 平行于基底 1 厚度方向，第二方向 Y 与第一方向 X 垂直；去除部分隔离层 12 以形成第一凹槽 201。

基底的材料可以为硅（Si）、锗（Ge）、硅锗（GeSi）、或碳化硅（SiC）；也可以是绝缘体上硅（SOI），绝缘体上锗（GOI）；或者还可以为其它的材料，例如砷化镓等Ⅲ-Ⅴ族化合物。本实施例中基底材料为硅。基底中根据需要掺杂一定的杂质离子，杂质离子可以为 N 形杂质离子或 P 形杂质离子。

本发明提供一种有源柱 11 的形成方法，形成方法包括但不限于如下步骤：采用光刻刻蚀的方法在半导体衬底中形成多个沟槽；在沟槽内填充隔离材料形成隔离层 12，隔离材料包括但不限于氧化硅、氮化硅、氮氧化硅或其他合适的隔离材料。本具体实施方式中，隔离材料为氧化硅。被隔离层 12 隔离的基底即为有源柱 11。本具体实施方式中，如图 2A 所示，有源柱 11 和隔离层 12 沿第一方向 X 间隔设置，第一方向 X 平行于基底 1 表面，有源柱 11 和隔离层 12 均沿第二方向 Y 延伸，第二方向 Y 平行于基底 1 厚度方向。

第一凹槽 201 的顶面低于有源柱 11 的顶面，第一凹槽 201 的深度可根据具体工艺需求进行设定。

接着如图 2C-2E 所示，至少在第一凹槽 201 侧壁沉积第一介质层 302，以形成第二凹槽 202；

如图 2C 和 2D 所示，形成第一介质层 302 的一具体方法包括：形成第一介质材料层 301，第一介质材料层 301 覆盖第一凹槽 201 的侧壁和底部以及有源柱 11 的顶部；

去除有源柱 11 顶部的第一介质材料层 301，剩余的第一介质材料层 301 作为第一介质层 302，第一介质层 302 覆盖第一凹槽 201 的底部以及第一凹槽 201 暴露出的有源柱 11 的侧壁。

如图 2C 和 2E 所示，形成第一介质层 302 的另一具体方法包括：形成第一介质材料层 301，第一介质材料层 301 覆盖第一凹槽 201 的侧壁和底部以及有源柱 11 的顶部；

去除有源柱 11 顶部和第一凹槽 201 底部的第一介质材料层 301，剩余的第一介质材料层 301 作为第一介质层 302，第一介质层 302 仅覆盖第一凹槽 201 暴露出的有源柱 11 的侧壁。

具体的形成第一介质材料层 301 包括但不限于如下方法：可以利用原子层沉积(ALD)工艺、等离子体增强原子层沉积(PEALD)工艺、化学气相沉积(CVD)工艺、等离子体增强化学气相沉积(PECVD)工艺中的其中一个工艺来形成第一介质材料层 301。

如图 2D 所示去除有源柱 11 顶部的第一介质材料层 301，可以采用化学机械研磨（CMP）的方法仅研磨去除有源柱 11 顶部的第一介质材料层 301，保留第一凹槽 201 侧壁及底部的第一介质材料层 301；如图 2E 所示去除有源柱 11 顶部和第一凹槽 201 底部的第一介质材料层

301，可以干法刻蚀工艺，通过调整刻蚀的角度、能量及剂量去除有源柱 11 顶部和第一凹槽 201 底部的第一介质材料层 301，仅保留第一凹槽 201 侧壁的第一介质材料层 301。

接着如图 2F 所示，形成第一金属层 401，第一金属层 401 至少直接覆盖有源柱 11；具体的形成第一金属层 401 包括但不限于如下方法：可以利用原子层沉积(ALD)工艺、等离子体增强原子层沉积(PEALD)工艺、化学气相沉积(CVD)工艺、等离子体增强化学气相沉积(PECVD)工艺中的其中一个工艺来形成第一金属层 401。第一金属层 401 填满第二凹槽 202 且覆盖有源柱 11 顶部。第一金属层 401 包括但不限于以下材料：如包括钨(W)、钌(Ru)、铱(Ir)、钽(Ta)、钛(Ti)、铂(Pt)、钼(Mo)、镍(Ni) 中的一者或多者，在本实施例中第一金属层 401 优选为掺铂的镍（NiPt）。

接着如图 2G 所示，进行热处理以形成导电结构 501，第一介质层 302 覆盖导电结构 501 侧壁，导电结构 501 沿第三方向 Z 延伸，第三方向 Z 垂直于第一方向 X 和第二方向 Y；进行热处理以形成导电结构的具体工艺包括但不限于如下方法：热处理可以为高温快速热退火(Rapid Thermal Processing，RTP)工艺，采用 RTP 工艺，使第一金属层 401 与有源柱 11 的反应以形成金属硅化物层，金属硅化物层具有较好的导电性能以形成导电结构 501，导电结构 501 与有源柱 11 电连接。

由于第一介质层 302 至少覆盖有源柱 11 侧壁，在第一金属层 401 与有源柱 11 反应生成导电结构 501 的过程中，第一介质层 302 保护有源柱 11 侧壁，防止有源柱 11 与第一金属层 401 反应膨胀所导致的图 1C 所示的大头形貌缺陷，使得导电结构 501 的侧壁形貌较垂直，提升了导电结构 501 的性能且方便后续工艺。

另外形成第一介质层302的温度大于热处理温度，形成第一介质层302的温度大于500℃，热处理温度不超过 500℃。如前面图 1C-1D 所示，若先形成导电结构再形成第一介质层，由于形成第一介质层的温度高于热处理的温度，会使得导电结构在高温下进一步反应，使得导电结构的材料由低阻态物质转变成高阻态物质，即由低阻态的导电结构转变为高阻态的导电结构，使得导电结构本身的电阻增大，影响导电结构的性能；但是本申请中第一介质层 302 的形成早于导电结构 501 的形成过程，即在形成导电结构 501 之前就已经形成了第一介质层 302，温度较高的第一介质层 302 的反应过程并不会影响后续导电结构 501 的形成，使得导电结构 501 的材料并不会由低阻态物质转变成高阻态物质，防止了导电结构 501 本身的电阻增大，使得导电结构 501 本身的性能得以提升。

具体的，导电结构 501 可以为硅化钛（TiSi）、硅化钽（TaSi）、硅化镍（NiSi）、硅化钴（CoSi）中的一者或多者，优选的导电结构 501 为硅化镍（NiSi）；具体的 NiSi 的热稳定较差，在高于 500℃时开始结团并由低阻 NiSi 开始向高阻 NiSi2 转化，具体的 NiSi 的电阻率不大于 20μΩ•cm，NiSi2 的电阻率在 24-30μΩ•cm 之间；NiSi 膜层由低阻 NiSi 向高阻 NiSi2

的转化会严重影响金属半导体接触特性，接触电阻急剧增大，器件性能下降。因此本申请将反应温度较高的第一介质层 302 先于导电结构 501 之前形成，防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小，进一步减小金属半导体的接触电阻，使得器件性能得以提升。

接着如图 2H-2J 所示，形成第二介质层 601，第二介质层 601 填充第二凹槽 202。

具体的如图 2H 所示，在形成导电结构 501 之后以及形成第二介质层 601 之前，还包括：去除第一金属层 401，以重新暴露第二凹槽 202。去除第一金属层 401 可采用湿法刻蚀工艺去除，或者先采用 CMP 工艺去除导电结构 501 顶部的第一金属层 401，再采用干法刻蚀工艺去除其余的第一金属层 401；在去除第一金属层 401 的过程中，由于导电结构 501 侧壁有第一介质层 302 的保护，可以防止导电结构 501 侧壁被刻蚀，防止出现如图 1C 所示的缺陷 A，使得导电结构 501 的性能得以提升。

具体的如图 2I-2J 所示，在重新暴露出的第二凹槽 202 中填充第二介质层 601，第二介质层 601 除了填充第二凹槽 202 外还覆盖导电结构顶部；第二介质层 601 包括但不限于氧化硅、氮化硅、氮氧化硅或其他合适的隔离材料。本具体实施方式中，第二介质层 601 为氧化硅。具体的形成第二介质层 601 包括但不限于如下方法：可以利用原子层沉积(ALD)工艺、等离子体增强原子层沉积(PEALD)工艺、化学气相沉积(CVD)工艺、等离子体增强化学气相沉积(PECVD)工艺中的其中一个工艺来形成第二介质层 601。

具体的，在一实施例中如图 2I 所示，若第一介质层 302 覆盖第一凹槽 201 侧壁及底部，则第二介质层 601 覆盖第一凹槽 201 侧壁及底部的第一介质层 302，第二介质层 601 填充第二凹槽 202 并覆盖导电结构 501 顶部；在另一实施例中如图 2J 所示，若第一介质层 302 仅覆盖第一凹槽 201 侧壁，则第二介质层 601 覆盖第一凹槽 201 侧壁的第一介质层，第二介质层 601 填充第二凹槽 202 并覆盖导电结构 501 顶部。

具体的，第二介质层 601 中可以具有气隙或者不具有气隙；优选的如图 2I-2J 所示，第二介质层 601 中具有气隙 701，气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度。在本申请中第一凹槽 201 的深度大于导电结构 501 的深度，以使气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度成为可能。导电结构的深度 h 是指由导电结构顶面至导电结构最底部的深度。如图所示，气隙 701 具有顶部 B 和底部 C，气隙 701 的顶部 B 低于导电结构 501 的顶面但高于导电结构 501 的底面，气隙 701 的底部 C 低于导电结构 501 的底面，气隙 701 的深度 H 是指从平行于导电结构 501 顶面方向至气隙底部 C 的高度，如图中 2I-2J 中 H 所示。更进一步的气隙 701 在第二方向 Y 上的尺寸占第二凹槽 202 深度的 2/3-3/4，气隙在第一方向 X 上的最大尺寸占第二凹槽 202 宽度的 1/3-3/4。如此设置使得气隙 701 在导电结构 501 之间，降低导电结构 501 与导电结构 501 之间的寄生电容。此外第一介质层 302 的介电常数小于有

源柱的介电常数，第一介质层 302 材料包括但不限于氧化硅、氮化硅、氮氧化硅、掺碳的氧化硅或其他合适的材料，在本申请实施例中第一介质层 302 可以为掺碳的氧化硅；有源柱的主要材料是硅，硅的介电常数在 11-12 之间，掺碳的氧化硅的介电常数约为 4.5，第一介质层 302 的介电常数小于有源柱的介电常数使得此半导体结构的寄生电容进一步减小。

本申请实施例通过工艺的优化改进，使得反应温度较高的第一介质层 302 先于导电结构 501 之前形成，防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小；且第一介质层 302 的存在可以防止导电结构 501 出现大头形貌以及刻蚀过程中的进一步损伤；再次第一介质层 302 的介电常数小于有源柱 11 的介电常数使得器件的寄生电容的以降低，为了进一步降低寄生电容导电结构 501 之间还可以设置气隙，由于空气的相对介电常数大约是 1 可以作为一种良好的电介质，进一步降低导电结构 501 之间的寄生电容；通过以上改进可以提升半导体器件的性能提升器件良率。

图 3A～图 3H 是本发明半导体结构形成方法的又一具体实施方式的工艺流程图；因本实施例与上一实施例的部分工艺步骤相同或相应，与上一实施例相同或者相应的部分，可参考前述实施例的相应说明，具体可参照图 2A-图 2E 进行说明。本发明半导体结构形成方法包括如下步骤：提供基底 1，基底 1 具有沿第一方向 X 间隔排布的有源柱 11 和隔离层 12，有源柱 11 和隔离层 12 均沿第二方向 Y 延伸，第一方向 X 平行于基底 1 表面，第二方向 Y 平行于基底 1 厚度方向，第二方向 Y 与第一方向 X 垂直；去除部分隔离层 12 以形成第一凹槽 201；至少在第一凹槽 201 侧壁沉积第一介质层 302，以形成第二凹槽 202；形成第一介质层 302 的具体方法可包括先形成第一介质材料层 301，第一介质材料层 301 覆盖第一凹槽 201 的侧壁和底部以及有源柱 11 的顶部，如图 2C 和 2D 所示，形成第一介质层 302 的一具体方法包括：形成第一介质材料层 301，第一介质材料层 301 覆盖第一凹槽 201 的侧壁和底部以及有源柱 11 的顶部；去除有源柱 11 顶部的第一介质材料层 301，剩余的第一介质材料层 301 作为第一介质层 302，第一介质层 302 覆盖第一凹槽 201 的底部以及第一凹槽 201 暴露出的有源柱 11 的侧壁。如图 2C 和 2E 所示，形成第一介质层 302 的另一具体方法包括：形成第一介质材料层 301，第一介质材料层 301 覆盖第一凹槽 201 的侧壁和底部以及有源柱 11 的顶部；去除有源柱 11 顶部和第一凹槽 201 底部的第一介质材料层 301，剩余的第一介质材料层 301 作为第一介质层 302，第一介质层 302 仅覆盖第一凹槽 201 暴露出的有源柱 11 的侧壁。以上步骤可参考图 2A-图 2E。

本公开的又一实施例的主要区别部分将结合附图进行详细说明，如图 3A-3C，形成第一金属层 801，在形成第一介质材料层 301 之后以及形成第一金属层 801 之前，还包括：如图 3A 所示，形成第二金属材料层 402'，第二金属材料层 402'覆盖第一介质材料层 301 且填满第二凹槽 202；如图 3B 所示，去除部分第二金属材料层 402'和部分第一介质材料层 301，以暴露有源柱 11 顶部，剩余的第二金属材料层 402'作为第二金属层 402，第二金属层 402 与有源

柱平齐 11，剩余的第一介质材料层 301 作为第一介质层 302，第一介质层 302 至少覆盖有源柱 11 侧壁。如图 3C 所示，接着在第二金属层 402 和有源柱 11 顶部形成第一金属层 801。第一金属层 801 和第二金属层 402 材料可以相同或不同，第一金属层 801 和第二金属层 402 包括但不限于下材料：如包括钨(W)、钌(Ru)、铱(Ir)、钽(Ta)、钛(Ti)、铂(Pt)、钼(Mo)、镍(Ni)中的一者或多者，在本实施例中第一金属层 801 优选为掺铂的镍（NiPt）。

接着如图 3D 所示，进行热处理以形成导电结构 501，由于第一介质层 302 至少覆盖第一凹槽暴露出的有源柱 11 的侧壁，在第一金属层 801 与有源柱 11 反应生成导电结构 501 的过程中，第一介质层 302 保护有源柱 11 侧壁，防止有源柱 11 与第一金属层 801 反应膨胀所导致的图 1C 所示的大头形貌缺陷，使得导电结构 501 的侧壁形貌较垂直，提升了导电结构 501 的性能且方便后续工艺。

由于形成第一介质层 302 的温度大于热处理温度，具体的形成第一介质层 302 的温度大于 500℃，热处理温度不超过 500℃。如前面图 1C-1D 所示，若先形成导电结构再形成第一介质层，由于形成第一介质层的温度高于热处理的温度，会使得导电结构在高温下进一步反应，使得导电结构的材料由低阻态物质转变成高阻态物质，即由低阻态的导电结构转变为高阻态的导电结构，使得导电结构本身的电阻增大，影响导电结构的性能；但是本申请实施例中第一介质层 302 的形成早于导电结构 501 的形成过程，即在形成导电结构 501 之前就已经形成了第一介质层 302，温度较高的第一介质层 302 的反应过程并不会影响后续导电结构 501 的形成，使得导电结构 501 的材料并不会由低阻态物质转变成高阻态物质，防止了导电结构 501 本身的电阻增大，使得导电结构 501 本身的性能得以提升。

具体的，导电结构 501 可以为硅化钛（TiSi）、硅化钽（TaSi）、硅化镍（NiSi）、硅化钴（CoSi）中的一者或多者，优选的导电结构 501 为硅化镍（NiSi）；具体的 NiSi 的热稳定较差，在高于 500℃时开始结团并由低阻 NiSi 开始向高阻 NiSi2 转化，具体的 NiSi 的电阻率不大于 20μΩ•cm，NiSi2 的电阻率在 24-30μΩ•cm 之间；NiSi 薄膜由低阻 NiSi 向高阻 NiSi2 的转化会严重影响金属半导体接触特性，导致接触电阻急剧增大，器件性能下降。因此本申请将反应温度较高的第一介质层 302 先于导电结构 501 之前形成，防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小，进一步减小金属半导体的接触电阻，使得器件性能得以提升。

接着如图 3E 和图 3F 所示，在形成导电结构 501 之后还包括去除第一金属层 801 及第二金属层 402，以暴露出第二凹槽 202。具体的如图 3E 所示可以采用湿法刻蚀的工艺去除第一金属层 801 及第二金属层 402，如图 3F 所示在去除第一金属层 801 及第二金属层 402 之后，还可以进一步去除第二凹槽 202 底部的部分第一介质层 302，剩余的第一介质层 302 仅覆盖第二凹槽 202 侧壁，第一介质层 302 覆盖导电结构 501 的侧壁，且第一介质层 302 沿第二方

向 Y 的深度大于导电结构 501 沿第二方向 Y 的深度。

接着如图 3G-3H 所示，在第二凹槽中填充第二介质层 601，第二介质层 601 除了填充第二凹槽 202 外还覆盖导电结构 501 顶部；如图 3G 所示，第二介质层 601 与隔离层 12 之间具有第一介质层 302，如图 3H 所示，第二介质层 601 与隔离层 12 之间不具有第一介质层 302，即第二介质层 601 直接与隔离层 12 接触。

具体的第二介质层 601 中可以具有气隙或者不具有气隙；优选的如图 3G-3H 所示，第二介质层 601 中具有气隙 701，气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度。在本申请中第一凹槽 201 的深度大于导电结构 501 的深度，以使气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度成为可能。导电结构的深度 h 是指由导电结构顶面至导电结构最底部的深度。如图所示，气隙 701 具有顶部 B 和底部 C，气隙 701 的顶部 B 低于导电结构 501 的顶面但高于导电结构 501 的底面，气隙 701 的底部 C 低于导电结构 501 的底面，气隙 701 的深度 H 是指从平行于导电结构 501 顶面方向至气隙底部 C 的高度，如图中 3G-3H 中 H 所示。更进一步的气隙 701 在第二方向 Y 上的尺寸占第二凹槽 202 深度的 2/3-3/4，气隙在第一方向 X 上的最大尺寸占第二凹槽 202 宽度的 1/3-3/4。如此设置使得气隙 701 在导电结构 501 之间，降低导电结构 501 与导电结构 501 之间的寄生电容。此外第一介质层 302 的介电常数小于有源柱的介电常数，第一介质层 302 材料包括但不限于氧化硅、氮化硅、氮氧化硅、掺碳的氧化硅或其他合适的材料，在本申请实施例中第一介质层 302 可以为掺碳的氧化硅；有源柱的主要材料是硅，硅的介电常数在 11-12 之间，掺碳的氧化硅的介电常数约为 4.5，第一介质层 302 的介电常数小于有源柱的介电常数使得此半导体结构的寄生电容进一步减小。

本申请实施例通过工艺的优化改进，使得反应温度较高的第一介质层 302 先于导电结构 501 之前形成，防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小；且第一介质层 302 的存在可以防止导电结构 501 出现大头形貌以及刻蚀过程中的进一步损伤；再次第一介质层 302 的介电常数小于有源柱 11 的介电常数使得器件的寄生电容得以降低，为了进一步降低寄生电容导电结构 501 之间还可以设置气隙，由于空气的相对介电常数大约是 1 可以作为一种良好的电介质进一步降低导电结构 501 之间的寄生电容；通过以上改进可以提升半导体器件的性能提升器件良率。

图 4A～图 4H 是本发明半导体结构形成方法的再一具体实施方式的工艺流程图；因本实施例与以上实施例的部分工艺步骤相同或相应，与以上实施例相同或者相应的部分，可参考前述实施例的相应说明，具体可参照图 2A-图 2E，本发明半导体结构形成方法包括如下步骤：提供基底 1，基底 1 具有沿第一方向 X 间隔排布的有源柱 11 和隔离层 12，有源柱 11 和隔离层 12 均沿第二方向 Y 延伸，第一方向 X 平行于基底 1 表面，第二方向 Y 平行于基底 1 厚度方向，第二方向 Y 与第一方向 X 垂直；去除部分隔离层 12 以形成第一凹槽 201；至少在第

一凹槽201侧壁沉积第一介质层302，以形成第二凹槽202；形成第一介质层302的具体方法可包括先形成第一介质材料层301，第一介质材料层301覆盖第一凹槽201的侧壁和底部以及有源柱11的顶部；以上步骤可参考图2A-图2E。

本公开的再一实施例的主要区别部分将结合附图进行详细说明，如图4A-4C所示，在形成第一介质材料层301之后以及形成第一金属层801之前，还包括：如图4A所示，形成第三介质材料层901，第三介质材料层901覆盖第一介质材料层301且填满第二凹槽202；如图4B所示，去除部分第三介质材料层901和部分第一介质材料层301，以暴露有源柱11顶部，剩余的第三介质材料层901作为第三介质层902，剩余的第一介质材料层301作为第一介质层302，第三介质层902与有源柱11平齐；具体可采用CMP工艺去除部分第三介质材料层901和部分第一介质材料层301。接着如图4C所示，在第三介质层902和有源柱11顶部形成第一金属层801。

接着如图4D所示，进行热处理以形成导电结构501，由于第一介质层302覆盖有源柱11侧壁，在第一金属层801与有源柱11反应生成导电结构501的过程中，第一介质层302保护有源柱11侧壁，防止有源柱11与第一金属层801反应膨胀产生图1C所示的大头形貌缺陷，使得导电结构501的侧壁形貌较垂直，提升了导电结构501的性能且方便后续工艺。

由于形成第一介质层302的温度大于热处理温度，具体的形成第一介质层302的温度大于500℃，热处理温度不超过500℃。如前面图1C-1D所示，若先形成导电结构再形成第一介质层，由于形成第一介质层的温度高于热处理的温度，会使得导电结构在高温下进一步反应，使得导电结构的材料由低阻态物质转变成高阻态物质，即由低阻态的导电结构转变为高阻态的导电结构，使得导电结构本身的电阻增大，影响导电结构的性能；但是本申请实施例中第一介质层302的形成早于导电结构501的形成过程，即在形成导电结构501之前就已经形成了第一介质层302，温度较高的第一介质层302的反应过程并不会影响后续导电结构501的形成，使得导电结构501的材料并不会由低阻态物质转变成高阻态物质，防止了导电结构501本身的电阻增大，使得导电结构501本身的性能得以提升。

具体的，导电结构501可以为硅化钛（TiSi）、硅化钽（TaSi）、硅化镍（NiSi）、硅化钴（CoSi）中的一者或多者，优选的导电结构501为硅化镍（NiSi）；具体的NiSi的热稳定较差，在高于500℃时开始结团并由低阻NiSi开始向高阻NiSi2转化，具体的NiSi的电阻率不大于20μΩ•cm，NiSi2的电阻率在24-30μΩ•cm之间；NiSi薄膜由低阻NiSi向高阻NiSi2的转化会严重影响金属半导体接触特性，接触电阻急剧增大，器件性能下降。因此本申请将反应温度较高的第一介质层302先于导电结构501之前形成，防止导电结构501由低阻NiSi向高阻NiSi2转化，使得导电结构501自身的电阻减小，进一步减小金属半导体的接触电阻，使得器件性能得以提升。

接着如图 4E 和图 4F 所示，在形成导电结构 501 之后还包括去除第一金属层 801 及第三介质层 902，以暴露出第二凹槽 202。具体的如图 4E 所示可以采用湿法刻蚀的工艺去除第一金属层 801 及第三介质层 902；在一具体实施例中可以先湿法刻蚀去除第一金属层 801，再湿法刻蚀去除第三介质层 902；在另一具体实施例中可以 CMP 去除第一金属层 801，再湿法刻蚀去除第三介质层 902。如图 4F 所示在去除第一金属层 801 及第三介质层 902 之后，还可以进一步去除第二凹槽 202 底部的部分第一介质层 302，剩余的第一介质层 302 仅覆盖第二凹槽 202 侧壁，第一介质层 302 覆盖导电结构 501 的侧壁，且第一介质层 302 沿第二方向 Y 的深度大于导电结构 501 沿第二方向 Y 的深度。

接着如图 4G-4H 所示，在第二凹槽中填充第二介质层 601，第二介质层 601 除了填充第二凹槽外还覆盖导电结构 501 顶部；如图 4G 所示，第二介质层 601 与隔离层 12 之间具有第一介质层 302，如图 3H 所示，第二介质层 601 与隔离层 12 之间不具有第一介质层 302，即第二介质层 601 直接与隔离层 12 接触。

具体的第二介质层 601 中可以具有气隙或者不具有气隙；优选的如图 4G-4H 所示，第二介质层 601 中具有气隙 701，气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度。在本申请中第一凹槽 201 的深度大于导电结构 501 的深度，以使气隙 701 在第二方向 Y 上的深度大于导电结构 501 的深度成为可能。导电结构的深度 h 是指由导电结构顶面至导电结构最底部的深度。如图所示，气隙 701 具有顶部 B 和底部 C，气隙 701 的顶部 B 低于导电结构 501 的顶面但高于导电结构 501 的底面，气隙 701 的底部 C 低于导电结构 501 的底面，气隙 701 的深度 H 是指从平行于导电结构 501 顶面方向至气隙底部 C 的高度，如图中 3G-3H 中 H 所示。更进一步的气隙 701 在第二方向 Y 上的尺寸占第二凹槽 202 深度的 2/3-3/4，气隙在第一方向 X 上的最大尺寸占第二凹槽 202 宽度的 1/3-3/4。如此设置使得气隙 701 在导电结构 501 之间，降低导电结构 501 与导电结构 501 之间的寄生电容。此外第一介质层 302 的介电常数小于有源柱的介电常数，第一介质层 302 材料包括但不限于氧化硅、氮化硅、氮氧化硅、掺碳的氧化硅或其他合适的材料，在本申请实施例中第一介质层 302 可以为掺碳的氧化硅；有源柱的主要材料是硅，硅的介电常数在 11-12 之间，掺碳的氧化硅的介电常数约为 4.5，第一介质层 302 的介电常数小于有源柱的介电常数使得此半导体结构的寄生电容进一步减小。

本申请实施例通过工艺的优化改进，使得反应温度较高的第一介质层 302 先于导电结构 501 之前形成，防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小；且第一介质层 302 的存在可以防止导电结构 501 出现大头形貌以及刻蚀过程中的进一步损伤；再次第一介质层 302 的介电常数小于有源柱 11 的介电常数使得器件的寄生电容得以降低，为了进一步降低寄生电容导电结构 501 之间还可以设置气隙，由于空气的相对介电常数约是 1 可以作为一种良好的电介质进一步降低导电结构 501 之间的寄生电容；通过以上改进可以提升半导体器件的性能，提升器件良率。

图 5A 为本发明半导体结构的一具体实施方式的结构示意图。

本发明半导体结构包括：基底 1，基底 1 具有沿第一方向 X 间隔排布的有源柱 11 和隔离层 12，有源柱 11 和隔离层 12 均沿第二方向 Y 延伸，第一方向 X 平行于基底 1 表面，第二方向 Y 平行于基底 1 厚度方向，第二方向 Y 与第一方向 X 垂直；导电结构 501，与有源柱 11 电连接，导电结构 501 沿第三方向 Z 延伸，第三方向 Z 垂直于第一方向 X 和第二方向 Y。具体的有源柱 11 沿第一方向 X 和第三方向 Z 均间隔设置，有源柱 11 之间通过隔离层 12 隔离。第一凹槽 201 如放大图中实线所示，位于相邻导电结构 501 之间；第二凹槽 202 如放大图中虚线所示，第二凹槽 202 位于第一凹槽 201 内；第一介质层 302 位于第一凹槽 201 与第二凹槽 202 之间，第一介质层 302 至少覆盖导电结构 501 侧壁；第二介质层 601，填充第二凹槽 202 且覆盖导电结构 501 顶部。

如图 5A 所示，第一介质层 302 位于第一凹槽 201 底部及侧壁，在一具体实施例中第一介质层 302 可以仅位于第一凹槽 201 侧壁。

具体的第一介质层 302 的介电常数小于有源柱 11 的介电常数；第一凹槽 201 的深度 H1 大于导电结构的深度 h。第一凹槽 201 的深度 H1 是指由平行于导电结构 501 的方向至第一凹槽 201 最底部的深度，导电结构的深度 h 是指由导电结构顶面至导电结构最底部的深度。导电结构的电阻率不大于 20μΩ•cm，导电结构的材料可以为 NiSi。第二介质层 601 中具有气隙 701，气隙 701 在第二方向上 Y 的深度 H 大于导电结构 501 的深度 h。其他相同或者相应的部分，可参考前述实施例的相应说明。

第一介质层 302 的存在可以防止导电结构 501 出现大头形貌以及刻蚀过程中的进一步损伤；也可以防止导电结构 501 由低阻 NiSi 向高阻 NiSi2 转化，使得导电结构 501 自身的电阻减小；再次第一介质层 302 的介电常数小于有源柱 11 的介电常数使得器件的寄生电容得以降低，为了进一步降低寄生电容导电结构 501 之间还可以设置气隙，由于空气的相对介电常数约是 1 可以作为一种良好的电介质进一步降低导电结构 501 之间的寄生电容；通过以上改进可以提升半导体器件的性能，提升器件良率。

图 5B 为本发明半导体结构的另一具体实施方式的结构示意图。

如图 5B 所示，在图 5A 所示基础上，基底 1 还包括字线结构 10，字线结构 10 环绕有源柱 11 设置，有源柱 11 沿第一方向 X 和第三方向 Z 均间隔设置，有源柱 11 之间通过隔离层 12 隔离；有源柱 11 的一端与导电结构 501 电连接，导电结构 501 可以是位线结构，有源柱 11 的另一端与电容结构 20 电连接，相邻电容结构之间通过第四介质层 30 隔离。在本实施例中半导体结构可以是全环绕栅极(gate-all-around；GAA)结构或者是垂直沟道晶体管（Vertical Channel Transistor；VCT）结构。

图 5C 为本发明半导体结构和晶圆键合而成的存储器件结构示意图。

如图 5C 所示存储器件包括第一晶圆 40 和第二晶圆 50，第一晶圆 40 中具有上述的半导体结构，第二晶圆 50 包括控制电路，第一晶圆 40 和第二晶圆 50 键合形成存储器件。

本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各自更动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构的制造方法，其特征在于，包括：

提供基底（1），所述基底（1）具有沿第一方向（X）间隔排布的有源柱（11）和隔离层（12），所述有源柱（11）和所述隔离层（12）均沿第二方向（Y）延伸，所述第一方向（X）平行于所述基底（1）表面，所述第二方向（Y）平行于所述基底（1）厚度方向，所述第二方向（Y）与所述第一方向（X）垂直；

去除部分所述隔离层（12）以形成第一凹槽（201）；

至少在所述第一凹槽（201）的侧壁沉积第一介质层（302），以形成第二凹槽（202）；

形成第一金属层(401, 801)，所述第一金属层(401, 801)至少直接覆盖所述有源柱(11)；

进行热处理以形成导电结构（501），所述第一介质层（302）覆盖所述导电结构（501）的侧壁，所述导电结构（501）沿第三方向（Z）延伸，所述第三方向（Z）垂直于所述第一方向（X）和所述第二方向（Y）；

形成第二介质层（601），所述第二介质（601）层填充所述第二凹槽（202）。

2. 如权利要求 1 所述的制造方法，其特征在于，所述形成所述第一介质层(302)具体包括：

形成第一介质材料层（301），所述第一介质材料层（301）覆盖所述第一凹槽（201）的侧壁和底部以及所述有源柱（11）顶部；

去除所述有源柱（11）顶部的所述第一介质材料层（301），剩余的所述第一介质材料层（301）作为所述第一介质层（302）。

3. 如权利要求 1 所述的制造方法，其特征在于，所述形成所述第一介质层(302)具体包括：

形成第一介质材料层（301），所述第一介质材料层（301）覆盖所述第一凹槽（201）的侧壁和底部以及所述有源柱（11）顶部；

去除所述有源柱（11）顶部和所述第一凹槽（201）底部的所述第一介质材料层（301），剩余的所述第一介质材料层（301）作为所述第一介质层（302）。

4. 如权利要求 2 或 3 任一所述的制造方法，其特征在于，

所述第一金属层（401，801）填满所述第二凹槽（202）且覆盖所述有源柱（11）顶部。

5. 如权利要求 2 或 3 任一所述的制造方法，其特征在于，在形成所述第一介质材料层(301)之后以及形成所述第一金属层（401，801）之前，还包括：

形成第二金属材料层(402')，所述第二金属材料层(402')覆盖所述第一介质材料层(301)且填满所述第二凹槽（202），去除部分所述第二金属材料层（402'）和部分所述第一介质

材料层（301），以暴露所述有源柱（11）顶部，剩余的所述第二金属材料层（402'）作为第二金属层（402），所述第二金属层（402）与所述有源柱（11）平齐；

在所述第二金属层（402）和所述有源柱（11）顶部形成所述第一金属层（401，801）。

6. 如权利要求2或3任一所述的制造方法，其特征在于，在形成所述第一介质材料层（301）之后以及形成所述第一金属层（401，801）之前，还包括：

形成第三介质材料层（901），所述第三介质材料层（901）覆盖所述第一介质材料层（301）且填满所述第二凹槽（202），去除部分所述第三介质材料层（901）和部分所述第一介质材料层（301），以暴露所述有源柱（11）顶部，剩余的所述第三介质材料层（901）作为第三介质层（902），所述第三介质层（902）与所述有源柱（11）平齐；

在所述第三介质层（902）和所述有源柱（11）顶部形成所述第一金属层（401，801）。

7. 如权利要求4所述的制造方法，其特征在于，在形成所述导电结构（501）之后以及形成所述第二介质层（601）之前，还包括：

去除所述第一金属层（401，801），以重新暴露所述第二凹槽（202）。

8. 如权利要求5所述的制造方法，其特征在于，在形成所述导电结构（501）之后以及形成所述第二介质层（601）之前，还包括：

去除所述第一金属层（401，801）及所述第二金属层（402），以重新暴露所述第二凹槽（202）。

9. 如权利要求6所述的制造方法，其特征在于，在形成所述导电结构（501）之后以及形成所述第二介质层（601）之前，还包括：

去除所述第一金属层（401，801）及所述第三介质层（902），以重新暴露所述第二凹槽（202）。

10. 如权利要求1所述的制造方法，其特征在于，所述第一凹槽（201）的深度大于所述导电结构（501）的深度；所述第一介质层（302）的介电常数小于所述有源柱（11）的介电常数；形成所述第一介质层（302）的温度大于所述热处理的温度，所述导电结构（501）的电阻率不大于20μΩ·cm。

11. 如权利要求1所述的制造方法，其特征在于，所述第二介质层（601）中具有气隙（701），所述气隙（701）在所述第二方向（Y）上的深度大于所述导电结构（501）的深度。

12. 一种半导体结构，其特征在于，包括：

基底（1），所述基底（1）具有沿第一方向（X）间隔排布的有源柱（11）和隔离层（12），所述有源柱（11）和所述隔离层（12）均沿第二方向（Y）延伸，所述第一方向（X）平

行于所述基底（1）表面，所述第二方向（Y）平行于所述基底（1）厚度方向，所述第二方向（Y）与所述第一方向（X）垂直；

导电结构（501），与所述有源柱（11）电连接，所述导电结构（501）沿第三方向（Z）延伸，所述第三方向（Z）垂直于所述第一方向（X）和所述第二方向（Y）；

第一凹槽（201），位于相邻所述导电结构（501）之间；

第二凹槽（202），位于所述第一凹槽（201）内；

第一介质层（302）位于所述第一凹槽（201）与所述第二凹槽（202）之间且至少覆盖所述导电结构（501）的侧壁；

第二介质层（601），填充所述第二凹槽（202）且覆盖所述导电结构（501）的顶部。

13. 如权利要求 12 所述的半导体结构，其特征在于，所述第一介质层（302）的介电常数小于所述有源柱（11）的介电常数；所述第一凹槽（201）的深度大于所述导电结构（501）的深度。

14. 如权利要求 12 所述的半导体结构，其特征在于，所述导电结构（501）的电阻率不大于 20μΩ·cm。

15. 如权利要求 12 所述的半导体结构，其特征在于，所述第二介质层（601）中具有气隙（701），所述气隙（701）在所述第二方向（Y）上的深度大于所述导电结构（501）的深度。