

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2020/049251 A1

(43) Date de la publication internationale
12 mars 2020 (12.03.2020)

WIPO | PCT

(51) Classification internationale des brevets :

H01L 21/84 (2006.01) H01L 27/12 (2006.01)

(21) Numéro de la demande internationale :

PCT/FR2019/052026

(22) Date de dépôt international :

03 septembre 2019 (03.09.2019)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1857894 03 septembre 2018 (03.09.2018) FR

(71) Déposant : SOITEC [FR/FR] ; Parc Technologique des
Fontaines Chemin des Franques, 38190 BERNIN (FR).

(72) Inventeurs : SCHWARZENBACH, Walter ; 19, Che-
min du Mollard, 38330 SAINT NAZAIRE LES EYMES
(FR). ECARNOT, Ludovic ; 44 rue Saint Laurent, 38000
GRENOBLE (FR). DAVAL, Nicolas ; Fontcouvert, 38570
GONCELIN (FR). NGUYEN, Bich-Yen ; 110 S. Lau-
relwood Drive, Austin, TEXAS 78733 (US). BESNARD,
Guillaume ; 7 Rue de l'Orge Pépin, 35690 ACIGNE (FR).

(74) Mandataire : REGIMBEAU ; REGIMBEAU, 20, rue de
Chazelles, 75847 PARIS CEDEX 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR,
KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,

(54) Title: METHOD FOR MANUFACTURING A CFET DEVICE

(54) Titre : PROCEDE DE FABRICATION D'UN DISPOSITIF CFET

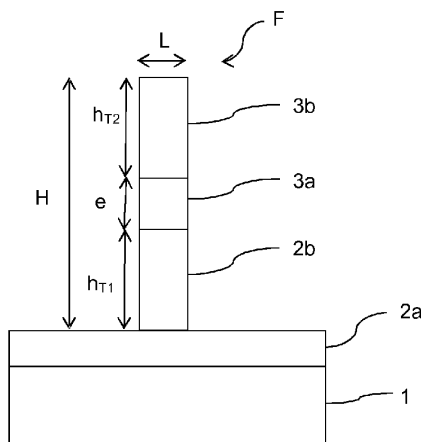


FIGURE 1

(57) Abstract: The invention relates to a method for manufacturing a CFET device, characterised in that it comprises: forming a substrate of the double semi-conductor on insulator type, successively comprising, from the base to the surface thereof: a carrier substrate (1), a first electrically insulating layer (2a), a first monocrystalline semi-conductive layer (2b), a second electrically insulating layer (3a) and a second monocrystalline semi-conductive layer (3b); forming slices from the surface of said substrate as far as the first electrically insulating layer (2a) so as to form at least one fin (F), forming in each fin (F) a channel of a first transistor in the first semi-conductive layer (2b) and a channel of a second transistor opposite the first transistor in the second semi-conductive layer (3b), forming the substrate of the double semi-conductor on insulator type, comprising: a first and a second step of transferring a layer and thermal processing at a

[Suite sur la page suivante]

MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,
SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Déclarations en vertu de la règle 4.17 :

— *relative à la qualité d'inventeur (règle 4.17(iv))*

Publiée:

— *avec rapport de recherche internationale (Art. 21(3))*

temperature which is sufficiently high to smooth the first monocrystalline semi-conductive layer to a roughness lower than 0.1 nm RMS.

(57) Abrégé : L'invention concerne un procédé de fabrication d'un dispositif CFET caractérisé en ce qu'il comprend : la formation d'un substrat de type double semi-conducteur sur isolant comprenant successivement, de sa base vers sa surface: un substrat support (1), une première couche (2a) électriquement isolante, une première couche (2b) semi-conductrice monocristalline, une seconde couche (3a) électriquement isolante et une seconde couche (3b) semi-conductrice monocristalline; la formation de tranchées à partir de la surface dudit substrat, jusqu'à la première couche électriquement isolante (2a), de sorte à former au moins une ailette (F), dans chaque ailette (F), la formation d'un canal d'un premier transistor dans la première couche semi-conductrice (2b) et d'un canal d'un second transistor de type opposé au premier transistor dans la seconde couche semi-conductrice (3b), la formation du substrat de type double semi-conducteur sur isolant comprenant : une première et une deuxième étape de transfert de couche et un traitement thermique à une température suffisamment élevée pour lisser la première couche semi-conductrice monocristalline jusqu'à une rugosité inférieure à 0,1 nm RMS,