

## 明 細 書

**発明の名称：液晶表示装置**

**技術分野**

[0001] 本発明は、液晶表示装置に関する。より詳しくは、薄膜トランジスタを用いた駆動方式を採用する液晶表示装置に関するものである。

**背景技術**

[0002] 液晶表示（LCD：Liquid Crystal Display）装置は、一対の基板間に充填された液晶層等を利用して、光源から出射された光の光学特性を制御することにより表示を行う装置であり、薄型、軽量、低消費電力といった特長を活かし、様々な分野で用いられている。

[0003] 液晶表示装置は、基板に形成した一対の電極により液晶層に電圧を印加して液晶分子の配向状態を変化させ、液晶層を透過する光の偏光状態を変化させる。液晶表示装置には、カラー表示を行うために、複数色のカラーフィルタが配置される。液晶層を挟持する一対の基板は、スペーサによってその間隔（セルギャップ）が一定に保持され、シール材によって互いが貼り合わされている。

[0004] 液晶表示装置には、通常、赤（R）、緑（G）及び青（B）の3色のサブピクセルが形成される。それぞれのサブピクセルに対し、各色のカラーフィルタが配置され、各色のカラーフィルタを透過する光を調整することで、画素（ピクセル）単位で色制御が行われる。

[0005] 近年では、これらRGB以外に、輝度を高める目的として白（W）のサブピクセルを配置する等の工夫がなされている（例えば、特許文献1参照。）。また、RGBWのサブピクセルの面積を各色で異ならせ、カラーバランスを適切に調整する方法も検討されている（例えば、特許文献2参照。）。

[0006] 液晶表示装置には、通常、画素電極がマトリクス状に配置され、各画素電極は、薄膜トランジスタ（TFT：Thin Film Transistor）によるスイッチを通して駆動される。TFTは三端子型の電界効果トランジスタであり、各T

FTのドレイン電極は、そのFTに対応する画素電極に接続される。各FTのゲート電極は、マトリクスの各行のゲートバスラインと接続される。各FTのソース電極は、マトリクスの各列のソースバスラインと接続される。ソースバスラインに画像信号を与えると同時に、ゲートバスラインを順次走査することにより、所望の画像を得ることができる。

[0007] 液晶表示装置によっては、各色のサブピクセルによって液晶層の厚み（セルギャップ）を異ならせるマルチギャップの構成をとることがある。ただし、異なる大きさのセルギャップは、画素電極に対し異なる容量値を与えることになるため、サブピクセル間の画素容量を等しくするために、（a）画素電極面積を等しくし、蓄積容量を異ならせる、（b）画素電極面積を異ならせ、蓄積容量を等しくする等の工夫が必要となる（例えば、特許文献3参照。）。

[0008] また、液晶表示装置においては、正面観測時の $\gamma$ 特性と斜め観測時の $\gamma$ 特性とが異なっていることによる視角依存性の問題を解消するために、一つの画素を複数個の副画素に分割し、それぞれの $\gamma$ 特性が近づくように調節がなされることがある（例えば、特許文献4参照。）。 $\gamma$ 特性とは、表示輝度の階調依存性であり、 $\gamma$ 特性が正面方向と斜め方向で異なるということは、階調表示状態が観測方向によって異なることを意味している。各副画素に対応する液晶層に異なる電圧を印加することで、異なる $\gamma$ 特性が混合された状態を作り、 $\gamma$ 特性に基づく視角依存性を解消することができる。

[0009] また、スペーサとして、RGBのサブピクセルに対応してカラーフィルタを形成する際に、スペーサを設ける場所にも同様にカラーフィルタを形成し、それらを積層させてスペーサを形成する方法も試みられている（例えば、特許文献5参照。）。特許文献5においては、スペーサがサブピクセル内に形成されることにより各画素の容量が変わることを補償するために、保持容量配線の太さを変えることで、各画素の容量比を等しくする方法が検討されている。

**先行技術文献**

## 特許文献

- [0010] 特許文献1：特開2001-296523号公報  
特許文献2：特開2007-25697号公報  
特許文献3：特開平6-11733号公報  
特許文献4：特開2004-62146号公報  
特許文献5：国際公開第2008/081624号パンフレット

## 発明の概要

### 発明が解決しようとする課題

- [0011] 本発明者らは、複数色のサブピクセル（以下、絵素ともいう。）を含む液晶表示装置について検討を行っていたところ、絵素間でピッチ（横の長さ）を異ならせたときに、中間調背景に白ウインドウ画面を長時間表示した後、中間調ベタ画面を表示させると、白ウインドウのあった部分のある色だけが背景部分と異なって見える現象が生じる点に着目した。
- [0012] 図55は、中間調背景に白ウインドウを表示したときの状態を示す模式図であり、図56は、白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。図55及び図56に示すように、中間調ベタ表示の状態において、白ウインドウが表示されていた領域には、削除前の表示による焼きつきが生じている。
- [0013] 本発明者らは、このような現象が起こる原因について種々検討を行ったところ、絵素間でピッチを異ならせることで、画素電極の面積が絵素間で異なり、画素容量が絵素ごとで異なっていたために、表示に焼きつきが起こっていたことを見いだした。
- [0014] 絵素の面積が色ごとに異なっていると、画素電極との間で形成される静電容量の大きさも、絵素ごとで異なってくる。図57は、隣りあって配置された2つの画素電極のドレイン電圧の信号波形を示す模式図である。
- [0015] 図57における左側の信号波形が、よりピッチの狭い絵素の波形図であり、図57における右側の信号波形が、よりピッチの広い絵素の波形図である。図57に示すように、絵素ごとにドレイン電圧（ $V_d$ ）の実効値が異なって

いる。これは、引き込み電圧（ $\Delta V_d$ ）の大きさが絵素間で相違しており、かつ画素電極を交流駆動する際にドレイン電圧の極性（ $V_d$ （+）、 $V_d$ （-））が、タイミングごとに変化するためである。対向電圧は、画素ごとに対向電極が形成されているわけではないため、全て共通の大きさに設定される。したがって、引き込み後のドレイン電圧（ $V_d$ （+）、 $V_d$ （-））の値によって決定される最適対向電圧の値が、絵素ごとに異なる値をもつことになり、全ての絵素を共通の対向電圧で適切に駆動することが困難となる。

[0016] そして、このような最適対向電圧のばらつきが、焼きつきとなって表示に影響を及ぼしていたことが、本発明者らの検討により明らかとなった。

[0017] 本発明は、上記現状に鑑みてなされたものであり、絵素の面積が異なっていたとしても、焼きつきが生じにくい液晶表示装置を提供することを目的とするものである。

### 課題を解決するための手段

[0018] 本発明者らは、焼きつきを抑制するために最適対向電圧を絵素間でそろえる方法について種々検討したところ、最適対向電圧を調節するために必要な因子の一つが、上述の $\Delta V_d$ である点に着目した。 $\Delta V_d$ の大きさを絵素間で近づけることで、最適対向電圧も絵素間でそろえることになる。 $\Delta V_d$ の値は、 $\Delta V_d = \alpha \times V_{g-p-p}$ で表すことができる。 $V_{g-p-p}$ は、上記図57に示すとおり、TFTオフ時のゲート電圧変化を表す。 $V_{g-p-p}$ は、ある程度一定の値に保つ必要があるため、 $\Delta V_d$ の値を変化させるためには $\alpha$ の調節が必要となる。 $\alpha$ の値は、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。 $C_{gd}$ は、ゲートドレイン間の寄生容量、 $C_{gs}$ は、ソースドレイン間の寄生容量、 $C_{cs}$ は、 $C_s$ ドレイン間の寄生容量、 $C_{lc}$ は、液晶容量である。 $C_{gd} + C_{gs} + C_{cs} + C_{lc}$ の合計値を、以下、 $C_{pix}$ ともいい、TFTのドレインにつながる全ての容量（すなわち、画素容量）を表す。

[0019] 本発明者らは、 $\alpha$ の値の調節に有効な手段について鋭意検討を行った結果、TFTのチャネル領域に着目し、TFTにおけるチャネル領域を絵素ごとで

異ならせることにより、適切な画素容量のバランスを効果的に調節することができることを見いだした。T F Tのチャネル領域とは、半導体層のうち、ゲート電極に加えた電荷によってソース電極とドレイン電極との間に電流を流す通路（チャネル）を形成する領域である。

[0020] T F Tのチャネル領域の大きさは、T F Tの特性に大きな影響を及ぼす。チャネル領域の幅が広いほど電流特性はよくなり、チャネル領域の大きさを變えることで、C p i xを構成するC g dに影響が及ぶ。

[0021] 本発明者らは、チャネル領域の幅がより大きなT F Tを、より広い面積をもつ画素電極に対して接続することで、最適対向電圧が絵素間でそろえやすくなることを見いだすとともに、それにより、焼き付きの発生を抑制することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0022] すなわち、本発明は、一对の基板と、上記一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、上記一对の基板の一方は、走査線と、信号線と、補助容量配線と、上記走査線及び上記信号線のそれぞれと接続された薄膜トランジスタと、上記薄膜トランジスタと接続された画素電極とを備え、上記一对の基板の他方は、対向電極を備え、上記画素電極は、絵素ごとに配置され、上記一つの画素内に配置された複数の画素電極のうち、より広い面積をもつ画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されている液晶表示装置である。

[0023] 本発明の液晶表示装置は、一对の基板と、上記一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される。上記一对の基板は、例えば、一方をアレイ基板、他方をカラーフィルタ基板として用いることができる。複数色の絵素は、各絵素に対応して配置されたカラーフィルタによって実現することができ、各色のバランスを調節することで様々な表示色を表現することができる。

- [0024] 上記一对の基板の一方は、走査線（以下、ゲートバスラインともいう。）と、信号線（以下、ソースバスラインともいう。）と、補助容量配線（以下、 $C_s$ バスラインともいう。）と、上記走査線及び上記信号線のそれぞれと接続された薄膜トランジスタ（TFT）と、上記薄膜トランジスタと接続された画素電極とを備える。各TFTのドレイン電極は、そのTFTに対応する画素電極に接続される。各TFTのゲート電極は、各行のゲートバスラインと接続される。各TFTのソース電極は、各列のソースバスラインと接続される。ソースバスラインに画像信号を与えると同時に、ゲートバスラインに対し所定のタイミングで電圧印加することにより、所望の画像を得ることができる。
- [0025] 上記構成によれば、上記走査線、上記信号線、上記補助容量配線、上記薄膜トランジスタ、及び、上記画素電極のそれぞれは、互いが電氣的に隔離されるように、絶縁膜等を介して一定間隔を空けて配置される必要がある。また、上記画素電極と上記対向電極とは、液晶層を介してそれぞれが離れて配置される。したがって、各配線、電極間には一定量の静電容量が形成される。具体的には、上記走査線と上記画素電極とは、ゲートドレイン容量（ $C_{gd}$ ）を形成し、上記信号線と上記画素電極とは、ソースドレイン容量（ $C_{sd}$ ）を形成し、上記補助容量配線と上記画素電極とは、補助容量（ $C_{cs}$ ）を形成し、上記画素電極と上記対向電極とは、液晶容量（ $C_{lc}$ ）を形成する。
- [0026] 上記一对の基板の他方は、対向電極を備える。上記画素電極と上記対向電極との間で電界が形成され、かつ各画素電極が薄膜トランジスタによって個別に制御されることになるので、絵素単位で液晶の配向を制御することができ、それによって画面全体を精密に制御することができる。
- [0027] 上記画素電極は、絵素ごとに配置され、上記一つの画素内に配置された複数の画素電極のうち、より広い面積をもつ画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されている。言い換えれば、上記一つの画素内に配置

された複数の画素電極のうち、より狭い面積をもつ画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より小さなチャネル幅を有する薄膜トランジスタと接続されている。チャネル幅とは、薄膜トランジスタを平面的に見たときの、ソース電極とドレイン電極との間隔（以下、チャネル長さともいう。）を指すのではなく、ソース電極とドレイン電極とが互いに向き合う領域の幅をいう。チャネル幅と画素容量の大きさとの間には相関関係があり、画素容量の大きさと画素電極面積との間には相関関係がある。より面積の大きな画素電極に対し、よりチャネル幅の広いTFTを接続させ、より面積の小さな画素電極に対し、よりチャネル幅の狭いTFTを接続させることで、TFTの特性に基づき、絵素間での最適対向電圧のバラツキを抑えることができる。

[0028] 本発明の液晶表示装置の構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素により特に限定されるものではない。本発明の液晶表示装置における好ましい形態について以下に詳しく説明する。

[0029] 上記より広い面積をもつ画素電極の走査線との重なり面積は、より狭い面積をもつ画素電極の走査線との重なり面積と異なっていることが好ましい。これにより、上記走査線と上記画素電極とで形成されるゲートドレイン容量（ $C_{gd}$ ）の値を変化させることができるため、より適切な調節が可能となる。

[0030] 上記より広い面積をもつ画素電極の信号線との重なり面積は、より狭い面積をもつ画素電極の信号線との重なり面積と異なっていることが好ましい。これにより、上記信号線と上記画素電極とで形成されるソースドレイン容量（ $C_{sd}$ ）の値を変化させることができるため、より適切な調節が可能となる。

[0031] 上記より広い面積をもつ画素電極の補助容量配線との重なり面積は、より狭い面積をもつ画素電極の補助容量配線との重なり面積と異なっていることが好ましい。これにより、上記補助容量配線と上記画素電極とで形成される補

助容量（ $C_{cs}$ ）の値を変化させることができるため、より適切な調節が可能となる。

[0032] 上記より広い面積をもつ画素電極と重なっている液晶層の厚みは、より狭い面積をもつ画素電極と重なっている液晶層の厚みと異なっていることが好ましい。これにより、上記画素電極と上記対向電極とで形成される液晶容量（ $C_{lc}$ ）の値を変化させることができるため、より適切な調節が可能となる。

[0033] 上記走査線と上記画素電極とは、ゲートドレイン容量（ $C_{gd}$ ）を形成し、上記信号線と上記画素電極とは、ソースドレイン容量（ $C_{sd}$ ）を形成し、上記補助容量配線と上記画素電極とは、補助容量（ $C_{cs}$ ）を形成し、上記画素電極と上記対向電極とは、液晶容量（ $C_{lc}$ ）を形成し、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記ゲートドレイン容量の比（以下、このゲートドレイン容量の比の値を $\alpha$ とする。）は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートドレイン容量の比との差は、最も小さなゲートドレイン容量の比に対して10%以下であることが好ましい。

[0034] このときの $\alpha$ の値は、各絵素間で近いことが好ましく、上記数値範囲を有していることで、焼き付きの抑制を十分に達成することができるだけの、各絵素間の最適対向電圧の差を解消することができる。

[0035] 上記一つの絵素内における、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最大値に対する、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最小値で算出される応答係数（「 $C_{pix(min)} / C_{pix(max)}$ 」）の値は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大きな応答係数と、最も小さな応答係数との差は、最も小さな応答係数に対して5%以下であ

ることが好ましい。

[0036] 上記画素電極は、一つの絵素内で複数に分割された副画素電極で構成され、

上記薄膜トランジスタは、上記副画素電極のそれぞれと接続され、上記補助容量配線は、上記副画素電極のそれぞれと重畳し、上記液晶表示装置は、上記補助容量配線の電圧の極性を一定時間ごとに反転させる駆動回路を備えることが好ましい。以下、このように、複数の副画素電極を用いて一つの絵素を制御する方式をマルチ駆動方式ともいう。同一絵素内に複数の副画素電極を配置し、それぞれを異なる実効電圧で駆動することで、異なる $\gamma$ 特性が混在された状態を作り、 $\gamma$ 特性に基づく視角依存性を解消することができる。また、補助容量配線の電圧の変化を利用してマルチ駆動を行うことで、余分な配線の数を増やさずにすむ。

[0037] 上記ゲートドライブ容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記補助容量の比（以下、この補助容量の比の値を $K$ とする。）は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して1.0%以下であることが好ましい。

## 発明の効果

[0038] 本発明の液晶表示装置によれば、最適対向電圧のばらつきが絵素間で調節されているので、焼きつきの発生を抑制することができる。

## 図面の簡単な説明

[0039] 図1 実施形態1の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。

図2 実施形態1におけるカラーフィルタがストライプ配列であるときの平面模式図である。

図3 実施形態1におけるカラーフィルタが田の字配列であるときの平面模式図である。

図4 実施形態1の液晶表示装置における等価回路図である。

[図5] 実施例 1 の 1 画素あたりのカラーフィルタの平面模式図である。

[図6] チャネル幅の大きさを調節した T F T の第一の例を示す平面模式図である。

[図7] チャネル幅の大きさを調節した T F T の第二の例を示す平面模式図である。

[図8] チャネル幅の大きさを調節した T F T の第二の例を示す平面模式図（拡大図）である。

[図9] チャネル幅の大きさを調節した T F T の第三の例を示す平面模式図である。

[図10] チャネル幅の大きさを調節した T F T の第三の例を示す平面模式図（拡大図）である。

[図11] 実施例 2 の 1 画素あたりのカラーフィルタの平面模式図である。

[図12] 実施例 3 の 1 画素あたりのカラーフィルタの平面模式図である。

[図13] 実施例 4 の 1 画素あたりのカラーフィルタの平面模式図である。

[図14] 実施例 5 の 1 画素あたりのカラーフィルタの平面模式図である。

[図15] 実施例 5 の 1 画素あたりのカラーフィルタの平面模式図である。

[図16] 実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

[図17] 実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

[図18] 実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

[図19] 実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

[図20] 実施例 7 の 1 画素あたりのカラーフィルタの平面模式図である。

[図21] 実施例 7 の 1 画素あたりのカラーフィルタの平面模式図である。

[図22] 実際に実施例 5 においてチャネル幅の大きさを調節した一例を示す T F T の平面模式図である。

[図23] チャネルサイズ比と画素電極面積比との関係を示すグラフである。

[図24] 実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

[図25] 実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領

域を示す平面模式図である。

[図26]実施形態1におけるゲートバスラインとド레인電極とが重なった領域を示す平面模式図である。

[図27]図24で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図24におけるTFTのd1を変更した形態である。

[図28]図24で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図24におけるTFTのd1を変更した形態である。

[図29]図24で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図24におけるTFTのd2を変更した形態である。

[図30]図24で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図24におけるTFTのd2を変更した形態である。

[図31]図25で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図25におけるTFTのd3を変更した形態である。

[図32]図25で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図25におけるTFTのd4を変更した形態である。

[図33]図25で示されるTFTの例において、ゲートバスラインとド레인電極との重なり面積の大きさを調節したTFTの一例であり、図25におけるTFTのd4を変更した形態である。

[図34]実施形態1におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、通常のゲートバスラインと画素電極とが重なった形態である。

[図35]実施形態1におけるゲートバスラインと画素電極とが重なった領域を

示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

[図36]実施形態1におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

[図37]ゲートドレイン重なり面積比と画素電極面積比との関係を示すグラフである。

[図38]フレーム期間と印加電圧の到達率との関係を示すグラフである。

[図39]応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。

[図40]「 $C_{pix}(\min) / C_{pix}(\max)$ 」で表される応答係数の好適な範囲を示すグラフである。

[図41]実施形態2の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。

[図42]実施形態2の液晶表示装置における等価回路図である。

[図43]マルチ画素駆動を行ったときの信号波形を示す図である。

[図44]実施形態2におけるCsバスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。

[図45]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図46]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図47]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図48]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図49]マルチ駆動を行った場合の、Cs振幅を示す波形図である。

[図50]実施形態3における画素電極及び配線の配置構成を示す平面模式図で

ある。

[図51]実施形態4における画素電極及び配線の配置構成を示す平面模式図である。

[図52]実施形態5における画素電極及び配線の配置構成を示す平面模式図である。

[図53]実施形態6において3色の絵素を用いた形態を示す断面模式図である。

[図54]実施形態6において4色の絵素を用いた形態を示す断面模式図である。

[図55]中間調背景に白ウインドウを表示したときの状態を示す模式図である。

[図56]白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。

[図57]隣りあって配置された2つの画素電極のドレイン電圧の信号波形を示す模式図である。

### 発明を実施するための形態

[0040] 以下に実施形態を掲げ、本発明について図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

#### [0041] 実施形態1

図1は、実施形態1の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。図1に示すように、実施形態1においては、一つの絵素に対して一つの画素電極が配置されている。また、複数の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

[0042] 実施形態1の液晶表示装置は、行方向（横方向）に伸びるゲートバスライン11、列方向（縦方向）に伸びるソースバスライン12を有している。また、ゲートバスライン11とソースバスライン12とのいずれにも接続されたTFT14を有している。TFT14は、画素電極15とも接続されている

。また、画素電極 15 の少なくとも一部で重なる  $C_s$  バスライン 13 を有しており、例えば、図 1 に示すように、画素電極 15 の中央を横切るように、行方向に伸びて形成されている。

[0043] 実施形態 1 においては、一つの絵素に対して一種のカラーフィルタが配置されている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、RGB、RGBOY、RGBW等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図 2 に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図 3 に示すような、4 つの色を有し、行方向及び列方向にそれぞれ 2 つずつ各色が配置される田の字配列が挙げられる。

[0044] 図 4 は、実施形態 1 の液晶表示装置における等価回路図である。実施形態 1 においては、絵素（サブピクセル）単位で回路パターンが形成されており、図 4 においては、2 絵素分の回路パターンが表されている。

[0045] 液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量  $C_{lc}$  が形成される。 $C_{lc}$  の値は、一对の電極によって液晶層に印加される実効電圧（V）に依存する。絶縁膜を間に介して対向配置された画素電極と  $C_s$  バスライン（補助容量配線）とによって補助容量  $C_{cs}$  が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン（走査線）とによってゲートドレイン容量  $C_{gd}$  が形成される。絶縁膜を間に介して対向配置された画素電極とソースバスライン（信号線）とによって、ソースドレイン容量  $C_{sd}$  が形成される。

[0046] TFT（薄膜トランジスタ）は、シリコン等を材料とする半導体層、並びに、ゲート電極、ソース電極及びドレイン電極の 3 つの電極を備える。画素電極は、TFT のドレイン電極と接続されている。TFT のゲート電極は、ゲートバスラインと接続されており、TFT のソース電極は、ソースバスラインと接続されている。

[0047] 所定のタイミングでゲートバスラインにパルス的に供給される走査信号が、所定のタイミング（線順次、一つとばし、2 ライン同時書き込み等）で各 T

F Tに印加される。そして、走査信号の入力により一定期間だけオン状態とされたT F Tに接続された画素電極に、ソースバスラインから供給される画像信号が印加される。

[0048] 絵素ごとに液晶層に書き込まれた所定レベルの画像信号は、画像信号が印加された画素電極と、この画素電極に対向する対向電極との間で一定期間保持される。画像信号が印加された後、保持された画像信号がリークすることがあるが、これを防ぐために、画素電極と対向電極との間に形成される液晶容量 $C_{lc}$ と並列に、補助容量 $C_{cs}$ が形成される。

[0049] 実施形態1においては、図1に示すように、各画素電極15の横の長さが異なっており、各画素電極15の縦の長さは同一であるため、各画素電極15の面積がそれぞれ異なっている。

[0050] 以下、具体的に、赤、緑及び青の3色のカラーフィルタ、及び、赤、緑、青及び黄の4色のカラーフィルタの配置形態（実施例1～6）の例を挙げて説明する。

[0051] 実施例1

図5は、実施例1の1画素あたりのカラーフィルタの平面模式図である。図5に示すように、実施例1においてカラーフィルタは、赤（R）、緑（G）及び青（B）の3色のカラーフィルタが配置されている。実施例1におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。

[0052] 画素電極の縦方向の長さは、赤、緑及び青の各色で同じとなるように形成されているのに対し、横方向の長さ（絵素ピッチ）は各色で異なっている。そのため、絵素ピッチの大きいものほど絵素面積は大きい。

[0053] 具体的には、緑の絵素のピッチ幅は、赤の絵素のピッチ幅より大きく、かつ青の絵素のピッチ幅より大きい。赤のピッチ幅と青のピッチ幅とは、同じである。したがって、緑の絵素の面積は、赤の絵素の面積より大きく、かつ青の絵素の面積より大きい。

[0054] 赤、緑及び青のピッチ幅を全て同じとせず、緑の比率を増やすことで、これ

らが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

[0055] 実施例 1 では、T F T のチャネル幅を利用して、 $\alpha = C g d / (C g d + C s d + C c s + C l c)$  の値の絵素間でのバランスを調整している。具体的には、より広い面積をもつ画素電極に対しては、より大きなチャネル幅をもつ T F T が配置されている。したがって、緑の絵素における T F T のチャネル幅は、赤の絵素における T F T のチャネル幅よりも、青の絵素における T F T のチャネル幅よりも大きい。

[0056] これにより、ゲートバスラインと画素電極とによって形成されるゲートドレイン容量 ( $C g d$ )、ソースバスラインと画素電極とによって形成されるソースドレイン容量 ( $C s d$ )、 $C s$  バスラインと画素電極とによって形成される補助容量 ( $C c s$ )、及び、画素電極と対向電極とによって形成される液晶容量 ( $C l c$ ) のバランスの調節を絵素ごとに容易に行うことができる。

[0057] 図 6 ～図 10 は、実施例 1 において T F T のチャネルの幅  $d$  ( $d 1 \sim d 8$ ) を絵素間で異ならせる手段の一例を示す平面模式図である。図 6 ～図 10 に示すように、T F T 14 は、ゲートバスライン 11 とソースバスライン 12 とのそれぞれと接続されている。T F T 14 は、シリコン等で形成された半導体層と、ソースバスライン 12 の一部から延伸されたソース電極 22 と、半導体層を介してソースバスライン 12 からの画像信号を画素電極に供給するドレイン電極 23 と、ゲートバスライン 11 のうち、半導体層と重畳する領域であるゲート電極とを、構成要素として備えている。

[0058] ドレイン電極 23 は、絵素の中央に向かって延伸されており、一定の広がりをもって形成されている。上記一定の広がりをもった部分 23 a 上の絶縁膜には、コンタクトホール 24 が形成されており、コンタクトホール 24 を通

じて、ドライン電極 23 と画素電極とは電氣的に接続されている。

[0059] ドライン電極 23 の広がりをもった部分 23a は、絶縁膜を介して下層に配置された Cs バスラインとの間で補助容量を形成することができる。

[0060] TFT 14 が備える半導体層は、ソース電極 22 とドライン電極 23 との双方と重畳しており、ソース電極 22 と重畳する領域がソース領域であり、ドライン電極 23 と重畳する領域がドライン領域である。また、ソース電極 22 とドライン電極 23 の双方と重畳せず、かつ平面的にみてソース電極 22 とドライン電極 23 との間に位置する領域がチャネル領域 21 である。したがって、半導体層 21 は、ソース領域、チャネル領域 21、及び、ドライン領域の 3 つの領域を有していることになる。

[0061] チャネル領域 21 は、ゲートバスライン 11 と重畳しており、ゲートバスライン 11 に走査信号が入力されたときのみ、画像信号をソース電極 22 からドライン電極 23 に供給することができる。チャネル領域 21 の長さ（ソース電極 22 とドライン電極 23 との間隔）は、適正な値がある程度決められているため、チャネル領域 21 の長さを各絵素で変更することは好ましくないが、チャネル領域 21 の幅 d を調節することは可能であり、チャネル領域 21 の長さに対するチャネル領域の幅 d を上げると、より TFT 14 の電気特性が向上する。したがって、実施例 1 においては、緑の絵素におけるチャネル幅 d を、赤及び青の絵素におけるチャネル幅 d よりも大きく形成している。

[0062] これにより、画素電極との間で形成されるゲートドライン容量 (Cgd) の値が変化するため、これを利用して各絵素における最適の対向電圧の値を変化させ、それぞれの値を近づけるように調節することができる。

[0063] 図 6 は、チャネル幅の大きさを調節した TFT の第一の例を示す平面模式図である。図 6 における TFT のチャネル領域 21 は、ドライン電極 23 とソース電極 22 との間に形成されており、d1 のチャネル幅を有している。d1 の大きさを絵素ごとに変えることで、α の大きさを調節することができる。

。

[0064] 図7及び図8は、チャネル幅の大きさを調節したTFTの第二の例を示す平面模式図である。図7におけるTFT14のチャネル幅d2は、ドレイン電極23とソース電極22との間のみならず、ドレイン電極23とソースバスライン12の一部との間にも形成されている。このときのTFT14のチャネル幅d2は、図8に示すように、ソースバスライン12と対向する部分d3と、ソース電極22と対向する部分d4とを足した長さとなる。d2の大きさを絵素ごとに変えることで、 $\alpha$ の大きさを調節することができる。

[0065] 図9及び図10は、チャネル幅の大きさを調節したTFTの第三の例を示す平面模式図である。図9におけるTFT14においては、ソースバスライン12の一部から延伸されたソース電極22が途中で枝分かれしており、ドレイン電極23の先端を囲うような形状を有している。このときのTFT14のチャネル幅d5は、図10に示すように、ゲートバスライン11に平行な部分d6、d8と、ソースバスライン12に平行な部分d7とを足した長さとなる。d5の大きさを絵素ごとに変えることで、 $\alpha$ の大きさを調節することができる。

[0066] 実施例1においては、絵素間で $\alpha$ の値が近いことが好ましい。具体的には、絵素間での $\alpha$ の値の比「 $(\alpha\text{の最大値} - \alpha\text{の最小値}) / \alpha\text{の最小値}$ 」で表される値は、10%以下であることが好ましい。絵素間で $\alpha$ がそろうことで、引き込み電圧である $\Delta V_d$ のばらつきが抑制され、絵素間での最適対向電圧がそろうことになる。そして、それにより焼き付きの発生の可能性を大きく低減することができる。 $\alpha$ は、 $\alpha = C_{gd} / C_{pix} (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。そのため、 $\alpha$ 値の絵素間でのバランスを調整するためには、これらのパラメータの調整が必要であり、その調整にはチャネル幅の調整が効果的である。

#### [0067] 実施例2

図11は、実施例2の1画素あたりのカラーフィルタの平面模式図である。図11に示すように、実施例2におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例2におい

てカラーフィルタは、赤（R）、緑（G）及び青（B）の3色が用いられている。色の配置順は特に限定されない。実施例2では、赤（R）のピッチ幅が、緑（G）のピッチ幅よりも青（B）のピッチ幅よりも狭い。緑（G）のピッチ幅と青（B）のピッチ幅とは同じである。

[0068] 赤、緑及び青のピッチ幅を全て同じとせず、赤の比率を減らすことで、これらが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。下記実施例3～実施例7についても同様のことがいえる。

#### [0069] 実施例3

図12は、実施例3の1画素あたりのカラーフィルタの平面模式図である。図12に示すように、実施例3におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例3においてカラーフィルタは、赤（R）、緑（G）及び青（B）の3色が用いられている。色の配置順は特に限定されない。実施例3では、赤（R）のピッチ幅が青（B）のピッチ幅よりも狭く、青（B）のピッチ幅が緑（G）のピッチ幅よりも狭い。

[0070] 赤、緑及び青のピッチ幅を全て同じとせず、赤の比率を減らし、かつ緑の比率を増やすことで、これらが同じ比率である場合と比べ、より高い透過率が得られる。

#### [0071] 実施例4

図13は、実施例4の1画素あたりのカラーフィルタの平面模式図である。図13に示すように、実施例4におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例4においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の4色が用いられている。色の配置順は特に限定されない。実施例4では、緑（

G) のピッチ幅と黄 (Y) のピッチ幅とは同じであり、赤 (R) のピッチ幅と青 (B) のピッチ幅とは同じである。緑 (G) 及び黄 (Y) のピッチ幅は、赤 (R) 及び青 (B) のピッチ幅よりも狭い。

[0072] 赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。

[0073] 実施例 5

図 1 4 及び図 1 5 は、実施例 5 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 4 に示すように、実施例 5 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 5 においてカラーフィルタは、赤 (R)、緑 (G)、青 (B)、及び、黄 (Y) の 4 色が用いられている。色の配置順は特に限定されない。実施例 5 では、緑 (G) のピッチ幅と黄 (Y) のピッチ幅とは同じである。赤 (R) のピッチ幅は、緑 (G) 及び黄 (Y) のいずれのピッチ幅よりも大きく、青 (B) のピッチ幅もまた、緑 (G) 及び黄 (Y) のいずれのピッチ幅よりも大きい。

[0074] 赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。

[0075] 赤のピッチ幅と青のピッチ幅との関係では、いずれが大きい形態も想定される。青のピッチ幅がより大きければ、図 1 4 のようになり、赤のピッチ幅がより大きければ、図 1 5 のようになる。

[0076] これらは、セルギャップを保持するスペーサの配置場所、表示領域内の Cs 配線の形成場所等により赤のピッチ幅と青のピッチ幅とを適宜設定することが好ましい。具体的には、スペーサとして、複数色のカラーフィルタを積層して形成する積層スペーサが用いられる場合、十分な高さを得るために、赤の絵素に積層スペーサを形成することがありうる。このときは、赤の比率を、青の比率よりも小さくすることが好ましい。また、例えば、ゲートバスラ

イン、ソーシバライソ等のメタル配線に銅（Cu）が用いられる場合、銅（Cu）による反射が赤みを帯びることになるため、青の絵素に積層スペースが形成されることがありうる。このときは、青の比率を、赤の比率よりも小さくすることが好ましい。

## [0077] 実施例 6

図 16～図 19 は、実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。図 16～図 19 に示すように、実施例 6 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 6 においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の 4 色が用いられている。色の配置順は特に限定されない。実施例 6 では、赤のピッチ幅は、緑及び黄のいずれのピッチ幅よりも大きく、青のピッチ幅もまた、緑及び黄のいずれのピッチ幅よりも大きい。緑のピッチ幅と黄のピッチ幅との関係、及び、赤のピッチ幅と青のピッチ幅との関係は、いずれが大きい形態も想定される。図 16 は、ピッチ幅が黄<緑<青<赤の形態であり、図 17 は、ピッチ幅が緑<黄<青<赤の形態であり、図 18 は、ピッチ幅が黄<緑<赤<青の形態であり、図 19 は、ピッチ幅が緑<黄<赤<青の形態である。

[0078] 赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。

[0079] 赤のピッチ幅と青のピッチ幅、及び、緑のピッチ幅と黄のピッチ幅の関係については、実施例 5 と同様、セルギャップを保持するスペースの配置場所、表示領域内の Cs 配線の形成場所等によりそれぞれのピッチ幅を適宜設定することが好ましい。具体的には、上述したとおりである。

## [0080] 実施例 7

図 20 及び図 21 は、実施例 7 の 1 画素あたりのカラーフィルタの平面模式図である。図 20 及び図 21 に示すように、実施例 7 におけるカラーフィルタは、赤、緑、青及び黄の 4 色絵素による田の字配列であり、縦方向及び横

方向のそれぞれに２つずつ形成された計４つのマスによって一つの絵素が構成される。色の配置順は特に限定されない。各絵素の面積は、実施例４～６のいずれのパターンも適用することができる。すなわち、実施例７は、ストライプ配列が田の字配列となったこと以外は、同様である。なお、田の字配列であれば、ストライプ配列の場合と異なり、画素が横方向に並ぶ絵素のみならず、縦方向に並ぶ絵素によっても構成される。したがって、図２０のように、縦方向のピッチ幅が異なる場合もあれば、図２１のように、横方向のピッチ幅が異なる場合も想定される。

- [0081] 赤、緑、青及び黄のピッチ幅を全て同じとせず、赤の比率をより低くすることで、これらが同じ比率である場合と比べ、より高い透過率が得られる。
- [0082] 以下に、実施例５の液晶表示装置において、実際にチャネル幅を調整することで $\alpha$ の値の調整を行った例を示す。図２２は、実際に実施例５においてチャネル幅の大きさを調節した一例を示すＴＦＴの平面模式図である。
- [0083] 図２２に示すように、ＴＦＴ１４は、ソースバスライン１２の一部から延伸されたソース電極２２と、ゲートバスライン１１の一部から延伸されたゲート電極２５と、画素電極と接続されたドレイン電極２３とを有している。また、ＴＦＴ１４は、ゲート電極２５と重なる位置に半導体層を有しており、半導体層の一部は、ソース電極２２及びドレイン電極２３のそれぞれの一部と重畳している。更に、半導体層の他の一部は、ソース電極２２及びドレイン電極２３のいずれにも重畳しておらず、このうち、平面的に見てソース電極２２とドレイン電極２３とに挟まれる領域がチャネル領域２１である。ここでは、半導体層のチャネル領域２１の幅は絵素間で異なって設定されるが、ソース電極２２とドレイン電極２３との間隔は、均一となるように設定されている。
- [0084] 図２２に示す例では、ドレイン電極２３はソースバスライン１２に平行な方向に延伸された直線状である。また、ソース電極２２は、平面的に見てゲートバスライン１１側と逆側を向いて開かれた開口を有し、ドレイン電極２３の先端を囲うような形状を有している。

[0085] ドライン電極 23 の幅は c であり、ドライン電極 23 とソース電極 22 との間隔のうち、ゲートバスライン 1 と平行な方向の長さは d である。ドライン電極 23 とソース電極 22 との間の距離のうち、ソースバスライン 1 と平行な方向の長さは e である。ソース電極 22 がドライン電極 23 と対向する部位のゲートバスライン 1 と平行な方向の長さは a である。ゲート電極 25 のソースバスライン 1 と平行な方向の長さからソース電極 22 のソースバスライン 1 と平行な方向の長さを差し引いた長さは b である。

[0086] 実施例 5 の液晶表示装置においては、異なる絵素ピッチをもつ 4 色の絵素において、絵素のピッチ幅を「青」>「赤」>「緑＝黄」とした場合に、それぞれの絵素間での a～e の値を下記表 1 のように調整することで、絵素間の  $\alpha$  のズレを、3.88% とすることができた。また、 $\Delta V_d$  は、赤の絵素で 1.838V、緑及び黄の絵素で 1.901V、青の絵素で 1.910V となっており、 $\Delta V_d$  の最大値と最小値との間の差は、72mV であった。

したがって、上記設計によれば、最適対向電圧の絵素間での調整が充分に行われ、焼き付きの発生が抑制された液晶表示装置を得ることができた。なお、ここでの各絵素のピッチ幅の比は、「赤」：「緑」：「黄」：「青」が 1.4 : 1 : 1 : 1.7 であった。

[表1] [0087]

|   | R 絵素 ( $\mu m$ ) | G 及び V 絵素 ( $\mu m$ ) | B 絵素 ( $\mu m$ ) |
|---|------------------|-----------------------|------------------|
| a | 28.0             | 19.0                  | 40.5             |
| b | 6.0              | 6.0                   | 6.0              |
| c | 5.0              | 5.0                   | 5.0              |
| d | 4.5              | 4.5                   | 4.5              |
| e | 4.5              | 4.5                   | 4.5              |

[0088] 下記表 2 は、本発明の液晶表示装置において、 $\Delta V_d$  の差を 100mV 以内と仮定したときの  $\alpha$  のズレの許容範囲を示す表である。 $\Delta V_d$  の差が 100mV 以下となれば焼き付きは改善されやすく、50mV 以下となればより確実に焼き付きが改善される。

[0089]

[表2]

| $\Delta V_d$ (V) | $V_{gpp}$ (V) | $\alpha$ | $\alpha$ のズレ(%) |
|------------------|---------------|----------|-----------------|
| 1.0              | 41            | 0.02439  | 10.0            |
| 1.1              | 41            | 0.02683  |                 |
| 1.5              | 41            | 0.03659  | 6.7             |
| 1.6              | 41            | 0.03902  |                 |
| 2.0              | 41            | 0.04878  | 5.0             |
| 2.1              | 41            | 0.05122  |                 |
| 3.0              | 41            | 0.07317  | 3.3             |
| 3.1              | 41            | 0.07561  |                 |

[0090] 上記表2に示すように、 $\Delta V_d$ を1.0Vとし、 $\Delta V_d$ の差を100mVで設定したときの $\alpha$ のズレは10.0%であった。 $\Delta V_d$ を1.5Vとし、 $\Delta V_d$ の差を100mVで設定したときの $\alpha$ のズレは6.7%であった。 $\Delta V_d$ を2.0Vとし、 $\Delta V_d$ の差を100mVで設定したときの $\alpha$ のズレは5.0%であった。 $\Delta V_d$ を3.0Vとし、 $\Delta V_d$ の差を100mVで設定したときの $\alpha$ のズレは3.3%であった。

[0091] 通常の液晶表示装置では、 $\Delta V_d$ が1.5～3.0Vの範囲内に設定され、この条件においては $\alpha$ のズレの範囲は7.0%以下であることが好ましいことが分かった。また、将来的には $\Delta V_d = 1$ V以下に設定される可能性が考えられ、このときには、 $\alpha$ のズレの範囲は10.0%以下であることが好ましいことが分かった。

[0092] なお、比較例として、通常の液晶表示装置において、絵素ピッチを各絵素で同じとし、かつチャネル幅を各絵素で同じとした場合について検討を行ったところ、 $\alpha$ のズレは30%であった。

[0093] また、本発明の液晶表示装置におけるチャネルサイズと画素電極面積との関係について検討を行ったところ、表3及び図23に示されるようなデータが得られた。図23は、チャネルサイズ比と画素電極面積比との関係を示すグラフである。

[0094]

[表3]

| チャンネルサイズ比 | 画素電極面積比 |
|-----------|---------|
| 0.491     | 0.6     |
| 0.618     | 0.7     |
| 0.745     | 0.8     |
| 0.873     | 0.9     |
| 1.000     | 1       |
| 1.127     | 1.1     |
| 1.255     | 1.2     |
| 1.382     | 1.3     |
| 1.509     | 1.4     |

[0095] 表3及び図23に示される直線に沿ってTFTチャンネルのa～eの値を変更することで、絵素間で $\alpha$ のバラツキが抑制され、焼きつきの少ない液晶表示装置を得ることができる。

[0096] また、図6～図8に示したTFTにおけるソース電極やド레인電極の長さの相違は、実際には、図24～図26に示すように、ゲートバスラインとド레인電極との間との重なり面積にも影響を与える。図24～図26は、実施形態1におけるゲートバスラインとド레인電極とが重なった領域を示す平面模式図である。ゲートバスライン11とド레인電極23との重なり面積が大きければ大きいほどゲートド레인容量( $C_{gd}$ )の値は変化するため、チャンネルの長さの調節に加え、ゲートバスライン11とド레인電極23との重なり面積も調節することによって、更に絵素どうしの全体のバランスを整えることが可能となる。

[0097] 上述したように、実施形態1では、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ の値の絵素間でのバランスを調整している。上記式からわかるように、 $\alpha$ の値の絵素間でのバランスを調整するためには、 $C_{gd}$ の調整が効果的である。

[0098] TFTにおけるド레인電極とゲートバスラインとの重なり面積の相違は、実際には、ゲートバスラインとド레인電極との間に形成されるゲートド레인容量( $C_{gd}$ )にも影響を与える。ゲートバスラインとド레인電極との重なり面積が大きければ大きいほどゲートド레인容量( $C_{gd}$ )の値は大きくなるため、ゲートバスラインとド레인電極との重なり面積を調節することによっても、絵素間での $\alpha$ のバランスを整えることが可能となる。

[0099] 図 27～図 30 は、図 24 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例である。図 27 及び図 28 は、図 24 における T F T の  $d_1$  を変更した形態である。図 27 においては、ドレイン電極 23 とゲートバスライン 11 とが重なる領域において平面的に一部に突出部が設けられている。図 28 においては、 $d_1$  の幅全体が広げられている。図 29 及び図 30 は、図 24 における T F T の  $d_2$  を変更した形態である。図 29 においては、 $d_2$  の長さが広げられている。図 30 においては、ドレイン電極 23 の形状はそのままであるが、ゲートバスライン 11 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 23 とゲートバスライン 11 とが重なる領域が広がっている。

[0100] 図 31～図 33 は、図 25 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例である。図 31 は、図 25 における T F T の  $d_3$  を変更した形態である。図 31 においては、 $d_3$  の幅全体が広げられている。図 32 及び図 33 は、図 25 における T F T の  $d_4$  を変更した形態である。図 32 においては、 $d_4$  の長さが広げられている。図 33 においては、ドレイン電極 23 の形状はそのままであるが、ゲートバスライン 11 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 23 とゲートバスライン 11 とが重なる領域が広がっている。

[0101] ゲートバスラインとドレイン電極との間に形成されるゲートドレイン容量 ( $C_{gd}$ ) は、ゲートバスラインと画素電極とが直接重なる領域においても形成される。ゲートバスラインと画素電極との重なり面積が大きければ大きいほどゲートドレイン容量 ( $C_{gd}$ ) の値は大きくなるため、ゲートバスラインと画素電極との重なり面積を調節することによっても、絵素間での  $\alpha$  のバランスを整えることが可能となる。

[0102] 図 34～図 36 は、実施形態 1 におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図である。図 34 は、通常のゲートバスラインと

画素電極とが重なった形態であり、画素電極 15 の端部は直線状であり、ゲートバスライン 11 が画素電極 15 の端部と平行に延伸されている。図 35 及び図 36 は、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。図 35 においては、画素電極 15 とゲートバスライン 11 とが重なる領域において画素電極 15 に対し一部に平面的に突出部が設けられている。したがって、結果として、画素電極 15 とゲートバスライン 11 とが重なる領域が広がっている。図 36 においては、画素電極 15 とゲートバスライン 11 とが重なる領域において画素電極 15 に対し一部に平面的にくぼみ部（切り欠け部）が設けられている。したがって、結果として、画素電極 15 とゲートバスライン 11 とが重なる領域が狭まっている。

- [0103] このようにして、ドレイン電極とゲートバスラインとが重なる面積、及び、画素電極とゲートバスラインとが重なる面積を調整することにより、画素電極との間で形成される各静電容量の大きさが絵素どうしで異なることとなり、各絵素にとって最適の対向電圧の値に、より近づけることができる。
- [0104] ゲートバスラインとドレイン電極との重なり面積を絵素間で異ならせる例において、異なる絵素ピッチをもつ 3 色の絵素において、実際にゲートバスラインとドレイン電極との重なり面積と、絵素間での  $\alpha$  のズレとの検討を行った結果を以下に示す。なお、下記検討においては、チャンネル幅の相違に基づく調整は含まれず、純粹にゲートドレイン面積のみでの検討を行っている。
- [0105] ピッチ幅が「赤」 > 「緑＝青」の場合に、それぞれの絵素間での  $a \sim e$  の値を下記表 4 のように調整することで、絵素間での  $\alpha$  のズレを、2.92%とすることができた。また、 $\Delta V_d$  は、赤の絵素で 1.194 V、緑及び青の絵素で 1.230 V となっており、 $\Delta V_d$  の最大値と最小値との間の差は、36 mV であった。したがって、上記設計によれば、最適対向電圧の絵素間での調整が充分に行われ、焼きつきの発生が抑制された液晶表示装置を得ることができた。なお、ここでの各絵素のピッチ幅の比は、「赤」：「緑」：「青」が 1：1：0.86 であった。

[0106]

[表4]

|   | R絵素( $\mu\text{m}$ ) | G及びB絵素( $\mu\text{m}$ ) |
|---|----------------------|-------------------------|
| a | 14.25                | 14.25                   |
| b | 14.0                 | 9.5                     |
| c | 4.5                  | 4.5                     |
| d | 4.0                  | 4.0                     |
| e | 4.0                  | 4.0                     |

[0107] ゲートドレイン重なり面積と画素電極面積との関係について更に検討を行ったところ、表5及び図37に示されるようなデータが得られた。図37は、ゲートドレイン重なり面積比と画素電極面積比との関係を示すグラフである。

[0108] [表5]

| Cgd面積比 | 画素電極面積比 |
|--------|---------|
| 0.878  | 0.9     |
| 0.902  | 0.92    |
| 0.927  | 0.94    |
| 0.951  | 0.96    |
| 0.976  | 0.98    |
| 1.000  | 1       |
| 1.024  | 1.02    |
| 1.049  | 1.04    |
| 1.073  | 1.06    |
| 1.098  | 1.08    |
| 1.122  | 1.1     |

[0109] 表5及び図37に示される直線に沿ってTFTチャネルのa～eの値を変更することで、絵素間で $\alpha$ のバラツキが抑制された焼き付きの少ない液晶表示装置を得ることができる。

[0110] チャネルサイズ比と画素電極面積比との間の関係によって大きく調節した上で、更に、Cgd面積比と画素電極面積比との間の関係によって調整を行うことで、より適切に絵素間での最適対向電圧のズレを減らすことができる。

[0111] 実施形態1においては、絵素間で「 $C_{pix}(min)/C_{pix}(max)$ 」(以下、応答係数ともいう。)をそろえることが好ましい。 $C_{pix}(min)$ は、黒表示を行っている際の画素容量であり、 $C_{pix}(max)$ は、白表示を行っている際の画素容量である。「 $C_{pix}(min)/C_{pix}(max)$ 」で表される応答係数は、液晶の応答特性の指標の一つであり、この値が絵素間で異なっていると、色によって応答が異なってしまうた

め、所望の色味が得られないことがある。

[0112] 「 $C_{pix}(min) / C_{pix}(max)$ 」は、上述までのTFTチャネル幅の調整、ゲートバスラインとドレイン電極との重なり面積の調整、画素電極とゲートバスラインとの重なり面積の調整、画素電極とCsバスラインとの重なり面積の調整等によって行うことができる。

[0113] 図38は、フレーム期間と印加電圧の到達率との関係を示すグラフである。図39は、応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。図38に示すように、現在の液晶表示装置では、1フレーム内では液晶が応答しないため、2段階を経て所望の透過率を得るように設計されている。例えば、図39に示すように、背景が黒色の中に白色の四角形を表示し、この四角形が右から左へと動いているような表示を行う場合、四角形の左端の絵素は、フレームごとに新しい応答をしているため、応答係数が小さい色のみが応答が遅く、他の色が強い状態になり、色味が変わってしまう。

[0114] これに対し、絵素間で応答係数の値を近づけることで、色味の変化を抑制することができる。図40は、「 $C_{pix}(min) / C_{pix}(max)$ 」で表される応答係数の好適な範囲を示すグラフである。到達率が0.9であるときの応答係数の値は0.78であり、到達率差が5%以内である0.78±0.04が応答係数の好ましい範囲である。

[0115] 実施形態2

図41は、実施形態2の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。図41に示すように、実施形態2においては、一つの絵素に対して二つの画素電極、（以下、それぞれを副画素電極ともいう。）が配置されている。また、複数個の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

[0116] 実施形態2の液晶表示装置は、行方向（横方向）に伸びるゲートバスライン11、及び、列方向（縦方向）に伸びるソースバスライン12を有している

。また、ゲートバスライン 11 とソースバスライン 12 とのいずれにも接続された第一の TFT 14 a 及び第二の TFT 14 b を有している。第一の TFT 14 a は第一の副画素電極 15 a と接続されており、第二の TFT 14 b は第二の副画素電極 15 b と接続されている。また、実施形態 2 の液晶表示装置は、第一の副画素電極 15 a の少なくとも一部で重なる第一の Cs バスライン 13 a、及び、第二の副画素電極 15 b の少なくとも一部で重なる第二の Cs バスライン 13 b を有しており、図 41 に示すように、各副画素電極 15 a、15 b の中央を横切るように、それぞれが行方向に伸びて形成されている。

[0117] 実施形態 2 においては、一つの絵素に対して一種のカラーフィルタが配置されている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、RGB、RGY、RGBW等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図 2 に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図 3 に示すような、4つの色を有し、行方向及び列方向にそれぞれ 2つずつ各色が配置される田の字配列が挙げられる。

[0118] 実施形態 2 において二つの副画素電極は、それぞれ異なる大きさの副画素容量を形成する。副画素容量を異ならせる方法としては、(1) 信号電圧をそれぞれ異なるソースバスラインから供給する方法、(2) Cs バスラインの電圧変化によって調節を行う方法が挙げられる。これら副画素電極に対しては、それぞれ一つずつ TFT が接続される。各 TFT は同一のゲートバスラインとつながっており、ゲートバスラインに走査信号が供給されるタイミングで、二つの副画素が一度に制御されることになる。

[0119] 図 42 は、実施形態 2 の液晶表示装置における等価回路図である。実施形態 2 においては、副画素単位で回路パターンが形成されており、図 42 においては、2つの副画素の回路パターンを示している。副画素電極のそれぞれは、液晶層との間で Clc1 及び Clc2 を形成する。また、副画素電極のそれぞれは、Cs バスラインとの間で Ccs1 及び Ccs2b を形成する。更

に、副画素電極のそれぞれは、各 T F T のドレイン電極と接続されており、各 T F T によって駆動が制御される。

[0120] 液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量  $C_{lc}$  が形成される。 $C_{lc}$  の値は、一对の電極によって液晶層に印加される実効電圧 (V) に依存する。絶縁膜を間に介して対向配置された画素電極と  $C_s$  バスライン (補助容量配線) とによって補助容量  $C_{cs}$  が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン (走査線) とによってゲートドレイン容量  $C_{gd}$  が形成される。絶縁膜を間に介して対向配置された画素電極とソースバスライン (信号線) とによって、ソースドレイン容量  $C_{sd}$  が形成される。

[0121] 実施形態 2 における T F T を用いた各副画素電極の駆動方式、及び、基本構成は、実施形態 1 と同様である。

[0122] 以下、 $C_s$  バスラインの電圧変化により、マルチ画素駆動を行う方法について詳述する。図 4 3 は、マルチ画素駆動を行ったときの信号波形を示す図である。

[0123] 時刻  $T_1$  のとき  $V_g$  の電圧が  $V_{gL}$  から  $V_{gH}$  に変化することにより、第一の T F T 1 4 a と第二の T F T 1 4 b が同時に導通状態 (オン状態) となり、第一及び第二の副画素電極 1 5 a、1 5 b のそれぞれにソースバスライン 1 2 から電圧  $V_s$  が伝達され、第一及び第二の副画素電極 1 5 a、1 5 b に充電される。同様に、第一及び第二の副画素電極 1 5 a、1 5 b のそれぞれと重畳する第一及び第二の  $C_s$  バスライン 1 3 a、1 3 b に対しても、ソースバスライン 1 2 からの充電がなされる。

[0124] 次に、時刻  $T_2$  のときゲートバスライン 1 1 の電圧  $V_g$  が  $V_{gH}$  から  $V_{gL}$  に変化することにより、第一の T F T 1 4 a と第二の T F T 1 4 b が同時に非導通状態 (OFF 状態) となり、第一及び第二の副画素電極 1 5 a、1 5 b、並びに、第一及び第二の  $C_s$  バスライン 1 3 a、1 3 b はすべてソースバスライン 1 2 と電氣的に絶縁される。なお、この直後、第一の T F T 1 4 a と第二の T F T 1 4 b の有する寄生容量等の影響による引き込み現象のた

めに、第一及び第二の副画素電極 15 a、15 b の電圧  $V_{lc1}$ 、 $V_{lc2}$  は略同一の電圧  $\Delta V_d$  だけ低下し、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

となる。また、このとき、第一及び第二の  $C_s$  バスライン 13 a、13 b の電圧  $V_{cs1}$ 、 $V_{cs2}$  は

$$V_{cs1} = V_{com} - V_{ad}$$

$$V_{cs2} = V_{com} + V_{ad}$$

である。

- [0125] 時刻  $T_3$  で、第一の  $C_s$  バスライン 13 a の電圧  $V_{cs1}$  が  $V_{com} - V_{ad}$  から  $V_{com} + V_{ad}$  に変化し、第二の  $C_s$  バスライン 13 b の電圧  $V_{cs2}$  が  $V_{com} + V_{ad}$  から  $V_{com} - V_{ad}$  に変化する。第一の  $C_s$  バスライン 13 a 及び第二の  $C_s$  バスライン 13 b のこの電圧変化に伴い、第一及び第二の副画素電極 15 a、15 b の電圧  $V_{lc1}$ 、 $V_{lc2}$  は

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

- [0126] 時刻  $T_4$  では、 $V_{cs1}$  が  $V_{com} + V_{ad}$  から  $V_{com} - V_{ad}$  へ、 $V_{cs2}$  が  $V_{com} - V_{ad}$  から  $V_{com} + V_{ad}$  へ、それぞれ変化し、 $V_{lc1}$ 、 $V_{lc2}$  もまた、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

から、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

へ変化する。

- [0127] 時刻  $T_5$  では、 $V_{cs1}$  が  $V_{com} - V_{ad}$  から  $V_{com} + V_{ad}$  へ、 $V_{cs2}$  が  $V_{com} + V_{ad}$  から  $V_{com} - V_{ad}$  へ、それぞれ変化し、 $V_{lc1}$

1、 $V_{lc2}$ もまた、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

から、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

- [0128]  $V_{cs1}$ 、 $V_{cs2}$ 、 $V_{lc1}$ 、及び、 $V_{lc2}$ は、水平書き込み時間1Hの整数倍の間隔ごとに上記T4、T5における変化を交互に繰り返す。上記T4、T5の繰り返し間隔を1Hの1倍とするか、2倍とするか、3倍とするか、又は、それ以上とするかについては、液晶表示装置の駆動方法（例えば、極性反転駆動）や表示状態（ちらつき、表示のざらつき感等）をみて適宜設定すればよい。この繰り返しは、次にT1に等価な時間になるまで継続される。したがって、それぞれの副画素電極の電圧 $V_{lca}$ 、 $V_{lcb}$ の実効的な値は、

$$V_{lca} = V_s - \Delta V_d + V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lcb} = V_s - \Delta V_d - V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

となる。

- [0129] よって、第一及び第二の副画素電極15a、15bのそれぞれによって液晶層に印加される実効電圧 $V_1$ 、 $V_2$ は、

$$V_1 = V_{lc1} - V_{com}$$

$$V_2 = V_{lc2} - V_{com}$$

すなわち、

$$V_1 = V_s - \Delta V_d + V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1}) - V_{com}$$

$$V_2 = V_s - \Delta V_d - V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2}) - V_{com}$$

となり、互いに異なる値となる。

- [0130] 以上のような前提の下、実施形態 2 における各絵素間での最適対向電圧の調整について、以下に詳述する。
- [0131] 複数の副画素電極の縦方向のトータルの長さは、赤、緑及び青の各色で同一となるように形成されているのに対し、横方向の長さは各色で異なっている。そのため、絵素ピッチの違いが絵素間の副画素電極のトータルの面積の違いにそのまま反映される。
- [0132] 実施形態 2 では、実施形態 1 と同様、TFT のチャンネルの幅を利用して、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$  の値の絵素間でのバランスを調整している。また、補助的に、ゲートドレイン重なり面積によっても調整を行っている。実施形態 2 における  $\alpha$  の調整方法は、実施形態 1 で示したものと同様の方法を用いることができる。
- [0133] 実施形態 2 においては、副画素間で K 値をそろえることが好ましい。K 値がそろえることで、各副画素電極によって形成される静電容量の大きさが均一化され、より適切な副画素間の調節がなされるので、より絵素間での  $\alpha$  の値がばらつく可能性を低減させることができる。 $K = C_{cs} / C_{pix} (C_{gd} + C_{sd} + C_{cs} + C_{lc})$  で表される。そのため、K 値の絵素間でのバランスを調整するためには、 $C_{cs}$  の調整が効果的である。
- [0134] 図 4 4 は、実施形態 2 における  $C_s$  バスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。図 4 4 に示すように、 $C_s$  バスライン 1 3 は一部に広がった領域を有しており、ドレイン電極 2 3 もまた、一部に広がった領域を有している。これらは絶縁膜を介して隔離されているが、平面的に見たときに互いに重畳しており、補助容量  $C_{cs}$  を形成する。 $C_{cs}$  の大きさは、これらが互いに重畳する面積に依存するため、それぞれの広がり領域の大きさを副画素ごとに調節し、重なり度合いを調整することで、適切な  $C_{cs}$  の値を形成することができる。なお、図 4 4 において、 $C_s$  バスライン 1 3 の広がり部分 2 3 a は、縦方向及び横方向のいずれの辺においても、ドレイン電極 2 3 の広がり部分のそれらよりも大きい。
- [0135] ドレイン電極 2 3 の広がり部分 2 3 a の縦方向の長さは d であり、横方向の

長さは  $f$  である。また、Cs バスライン 13 の広がり部分の縦方向の長さは  $e$  であり、横方向の長さは  $g$  である。

[0136] Cs バスライン 13 の広がり部分の縦方向の一辺と、ドレイン電極 23 の広がり部分 23 a の縦方向の一辺との間の距離は、片側につき、 $a$  の長さを有している。すなわち、ドレイン電極 23 の広がり部分 23 a は、横方向に関して、Cs バスライン 13 の広がり部分よりも  $a$  だけ内側に形成されている。したがって、 $g = f + 2a$  の等式が成り立つことになる。

[0137] Cs バスライン 13 の広がり部分の横方向の一辺と、ドレイン電極 23 の広がり部分 23 a の横方向の一辺との間の距離は、片側につき、 $b$  の長さを有している。すなわち、ドレイン電極 23 の広がり部分 23 a は、縦方向に関して、Cs バスライン 13 の広がり部分よりも  $b$  だけ内側に形成されている。したがって、 $e = d + 2b$  の等式が成り立つことになる。

[0138] このような場合において、異なる絵素ピッチをもつ 4 色の絵素において、「赤＝青」>「緑＝黄」の場合に、それぞれの絵素間での  $a \sim g$  の値を下記表 6 のように調整することで、絵素間での K 値 ( $\max - \min$ ) のズレは、0.10% とすることができた。なお、ここでの各絵素のピッチ幅の比は、「赤」：「青」：「緑」：「黄」が 1：1：1.4：1.4 であった。

[0139] [表6]

|   | R及びB絵素( $\mu\text{m}$ ) | G及びY絵素( $\mu\text{m}$ ) |
|---|-------------------------|-------------------------|
| a | 17.0                    | 14.0                    |
| b | 3.0                     | 2.0                     |
| c | 226.0                   | 154.25                  |
| d | 29.0                    | 36.0                    |
| e | 35.0                    | 40.0                    |
| f | 157.0                   | 91.25                   |
| g | 191.0                   | 119.25                  |

[0140] 図 4 5 ～ 図 4 8 は、画素電極と Cs バスラインとの重なり面積で Cs 容量を調節する際の一例を示す平面模式図である。図 4 5 は、画素電極 15 の上辺が Cs バスライン 13 の一部と重複する形態を示している。図 4 5 における  $a$  及び  $b$  の値を調整することで、Cs の値を調整することができる。図 4 6 は、画素電極 15 の中央を Cs バスライン 13 が横切る形態であり、Cs

バスライン 13 の幅方向の全体と重複する形態を示している。図 46 における c 及び d の値を調整することで、 $C_{cs}$  の値を調整することができる。図 47 は、画素電極 15 の上辺が  $C_s$  バスライン 13 と重畳し、かつ画素電極 15 の左辺に沿って延伸部が追加された形態を示している。図 47 における a ~ d の値を調整することで、 $C_{cs}$  の値を調整することができる。図 48 は、画素電極 15 の上辺が  $C_s$  バスライン 13 と重畳し、かつ画素電極 15 の中央を縦断するように延伸部が追加された形態を示している。図 48 における e ~ f の値を調整することで、 $C_{cs}$  の値を調整することができる。

[0141] このような調節を副画素間で行うことにより副画素間での  $C_{cs}$  の値が近づくことになり、適切な範囲内での K 値を得ることができる。

[0142] 図 49 は、マルチ駆動を行った場合の、 $C_s$  振幅を示す波形図である。図 49 中の  $\Delta V_{cs}$  は、 $\Delta V_{cs} = K \times V_{cs\ p-p}$  で表される値であり、 $\Delta V_{cs}$  による引き込みの大きさは、副画素間で均一であることが好ましく、具体的には、10 mV 以内となることが好ましい。これにより、副画素間の最適対向電圧を近づけることができる。 $V_{cs\ p-p}$  は実質的に固定値となるため、 $\Delta V_{cs}$  は K で調節することが好ましい。

[0143] 下記表 7 は、 $\Delta V_{cs}$  は 10 mV 以下と仮定したときの K の値のズレの許容範囲を示す表である。絵素の面積を異ならせない場合の通常の液晶表示装置では、K 値は、0.43 ~ 0.54 の範囲内に設定されているため、この範囲を目安として検討を行った。

[0144] [表 7]

| K     | K のズレ (%) | $V_{cs}$ | $\Delta V_{cs}$ | $\Delta V_{cs}$ のズレ (mV) |
|-------|-----------|----------|-----------------|--------------------------|
| 0.54  | 0.74      | 1.92     | 1.04            | 7.7                      |
| 0.544 |           | 1.92     | 1.04            |                          |
| 0.43  | 0.93      | 2.41     | 1.04            | 9.6                      |
| 0.434 |           | 2.41     | 1.04            |                          |

[0145] 上記表 7 に示すように、K を 0.54 とし、K のズレを 0.74 % で設定したとき、 $\Delta V_{cs}$  のズレは 7.7 mV に抑えることができた。また、K を 0.43 とし、K のズレを 0.93 % で設定したとき、 $\Delta V_{cs}$  のズレは 9.6 mV に抑えることができた。したがって、K の範囲の目安としては、1.

0%以下である。

[0146] 実施形態 3

実施形態 3 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。なお、実施形態 3 において、絵素の色の種類、数及び配置順は特に限定されない。

[0147] 図 50 は、実施形態 3 における画素電極及び配線の配置構成を示す平面模式図である。実施形態 3 の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、縦方向に延伸された 2 本のソースバスラインのいずれもが画素電極の端部と重なっている。一方、図 50 に示すように、他の画素電極 15 に対しては、縦方向に延伸された 2 本のソースバスライン 12 のうち、一方のソースバスライン 12 のみが画素電極 15 の端部と重なり、他方のソースバスライン 12 は、画素電極 15 の端部と重畳していない。

[0148] 例えば、絵素内に柱状スペーサを配置する、又は、ソースドレイン容量  $C_{sd}$  を小さくするといったような場合に、画素電極の面積を減らして、画素電極の一方の端部にのみソース配線と重ねる必要があるときには、このような形態が採用される。ある一つの絵素においてのみ画素電極の面積が減らされている場合、又は、ソース配線と画素電極との重なり具合が絵素ごとに異なっている場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

[0149] そこで、実施形態 3 においては、実施形態 1 及び実施形態 2 で示した手段と同様の手段により、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態 3 において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

[0150] 実施形態 4

実施形態 4 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成して

いる。なお、実施形態 4 において、絵素の色の種類、数及び配置順は特に限定されない。

[0151] 図 5 1 は、実施形態 4 における画素電極及び配線の配置構成を示す平面模式図である。実施形態 4 の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、縦方向に延伸された 2 本のソース配線のいずれもが画素電極の端部と重なっている。一方、図 5 1 に示すように、他の画素電極 15 に対しては、縦方向に延伸された 2 本のソースバスライン 12 のうち、一方のソースバスライン 12 が、画素電極 15 の端部と重なり、他方のソースバスライン 12 が、画素電極 15 の端部と重畳していない。また、重畳していない側のソースバスライン 12 の隣には、Cs バスライン 13 が縦方向に延伸されており、この Cs バスライン 13 が画素電極 15 の他方の端部と重なっている。

[0152] 例えば、絵素内に柱状スペーサを配置する、又は、ソースドレイン容量 Cs d を小さくするといったような場合に、画素電極の面積を減らして、画素電極の一方の端部にのみソース配線を重ね、画素電極の他方の端部にソース配線ではなく Cs 配線のみを重ねる必要があるときには、このような形態が採用される。ある一つの絵素においてのみ画素電極の面積が減らされている場合、又は、ソース配線及び Cs 配線の配置の画素電極との重なり具合が絵素ごとに異なっている場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

[0153] そこで、実施形態 4 においては、実施形態 1 及び実施形態 2 で示した手段と同様の手段により、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態 4 において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

[0154] 実施形態 5

実施形態 5 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。なお、実施形態 5 において、絵素の色の種類、数及び配置順は特に限

定されない。

[0155] 図52は、実施形態5における画素電極及び配線の配置構成を示す平面模式図である。実施形態5の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、画素電極の上端部にCs配線が重なるように横方向に延伸されており、かつCs配線は、直線状ではなく、一部に広がり領域を有している。一方、図52に示すように、他の画素電極15に対しては、画素電極15の上端部にCsバスライン13が重なるように横方向に延伸されており、かつCsバスライン13は、直線状ではなく、一部に広がり領域を有しているが、画素電極15の上辺が直線状ではなく、内側に窪んだ形状を有している。そのため、画素電極15とCsバスライン13との重なり面積が絵素間で異なっており、かつ画素電極15の面積も絵素ごとに異なっている。

[0156] 例えば、絵素内に柱状スペーサを配置する、又は、補助容量Ccsを小さくするといったような場合に、画素電極の面積を減らして、画素電極及びCs配線の配置構成を絵素ごとに異ならせる、又は、画素電極の面積が絵素ごとを異ならせる場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

[0157] そこで、実施形態5においては、実施形態1及び実施形態2で示した手段と同様の手段により、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態5において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

[0158] 実施形態6

図53及び図54は、実施形態6における液晶層の断面模式図である。実施形態6においては、赤、緑及び青の3色、又は、赤、緑、青及び黄の4色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。図53は、実施形態6において3色の絵素を用いた形態を示す断面模式図であり、図54は、実施形態6において4色の絵素を用いた形態を示す断面模式図である。

[0159] 図5 3及び図5 4に示すように、実施形態6の液晶表示装置が有する液晶層

1は、アクリル基板2及びアクリル基板3からなる一対の基板の間に配置されている。アクリル基板2は画素電極41を有しており、アクリル基板3は対向電極42を有している。また、

カラーアクリル基板3は、複色色のカラーアクリル31を有しており、3色又は4色で一つの画素を構成している。図5 3においては、赤31R、緑31G、及び、青31Bの3色のカラーアクリルが用いられた形態を示しており、図5 4においては、赤31R、緑31G、青31B、及び、黄31Yの4色のカラーアクリルが用いられた形態を示している。

[0160] 実施形態6において青の絵素にあたる液晶層1の厚み（セルギャップ）は、他の絵素にあたる液晶層1の厚み（セルギャップ）よりも薄く形成されている。これにより、液晶層1の厚みが全ての絵素で共通の場合と比べ、より高い視野角特性を得ることができる。

[0161] 実施形態6において、一対の基板が有する電極41、42によって液晶層1内に印加される電圧は、絵素によって異なる。これは、実施形態6において、青の絵素における液晶層1の厚みが、他の絵素における液晶層1の厚みよりも薄く設定されているためであり、青の絵素において形成される液晶容量は、他の絵素に比べて大きくなる。そのため、マルチギャップ構造を設けた場合、絵素間で最適対向電圧が異なることになる。

[0162] 実施形態6においては、TFTのチャネル幅を用いて絵素間での最適対向電圧の調節を行うとともに、セルギャップを絵素間で調節することで、更なる最適対向電圧の調節がなされている。これにより、更に絵素間で $\alpha$ のバウンスが抑制された焼きつきの少ない液晶表示パネルを得ることができる。

[0163] なお、本願は、2010年1月29日に出願された日本国特許出願2010-019562号を基礎として、パリ条約ないし移行する国における法規に基づき優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

## 符号の説明

- [0164] 1 : 液晶層
- 2 : アクティブマトリクス基板
  - 3 : カラーフィルタ基板
  - 1 1 : ゲートバスライン (走査線)
  - 1 2 : ソースバスライン (信号線)
  - 1 3 : C<sub>s</sub>バスライン (補助容量配線)
  - 1 3 a : 第一のC<sub>s</sub>バスライン
  - 1 3 b : 第二のC<sub>s</sub>バスライン
  - 1 4 : T F T (薄膜トランジスタ)
  - 1 4 a : 第一のT F T
  - 1 4 b : 第二のT F T
  - 1 5 : 画素電極
  - 1 5 a : 第一の副画素電極
  - 1 5 b : 第二の副画素電極
  - 2 1 : チャネル領域
  - 2 2 : ソース電極
  - 2 3 : ドレイン電極
  - 2 3 a : ドレイン電極の広がり部
  - 2 4 : コンタクトホール
  - 2 5 : ゲート電極
  - 3 1 : カラーフィルタ
  - 3 1 R : カラーフィルタ (赤)
  - 3 1 G : カラーフィルタ (緑)
  - 3 1 B : カラーフィルタ (青)
  - 3 1 Y : カラーフィルタ (黄)
  - 4 1 : 画素電極
  - 4 2 : 対向電極

## 請求の範囲

- [請求項1] 一対の基板と、該一対の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、該一対の基板の一方は、走査線と、信号線と、補助容量配線と、該走査線及び該信号線のそれぞれと接続された薄膜トランジスタと、該薄膜トランジスタと接続された画素電極とを備え、該一対の基板の他方は、対向電極を備え、該画素電極は、絵素ごとに配置され、該一つの画素内に配置された複数の画素電極のうち、より広い面積をもつ画素電極が、該一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されていることを特徴とする液晶表示装置。
- [請求項2] 前記より広い面積をもつ画素電極の走査線との重なり面積は、より狭い面積をもつ画素電極の走査線との重なり面積と異なっていることを特徴とする請求項1記載の液晶表示装置。
- [請求項3] 前記より広い面積をもつ画素電極の信号線との重なり面積は、より狭い面積をもつ画素電極の信号線との重なり面積と異なっていることを特徴とする請求項1又は2記載の液晶表示装置。
- [請求項4] 前記より広い面積をもつ画素電極の補助容量配線との重なり面積は、より狭い面積をもつ画素電極の補助容量配線との重なり面積と異なっていることを特徴とする請求項1～3のいずれかに記載の液晶表示装置。
- [請求項5] 前記より広い面積をもつ画素電極と重なっている液晶層の厚みは、より狭い面積をもつ画素電極と重なっている液晶層の厚みと異なっていることを特徴とする請求項1～4のいずれかに記載の液晶表示装置。
- [請求項6] 前記走査線と前記画素電極とは、ゲートドレイン容量を形成し、前記信号線と前記画素電極とは、ソースドレイン容量を形成し、

前記補助容量配線と前記画素電極とは、補助容量を形成し、  
前記画素電極と前記対向電極とは、液晶容量を形成し、  
該ゲートドレイン容量、該ソースドレイン容量、該補助容量、及び、  
該液晶容量の総和に対する、該ゲートドレイン容量の比は、前記複数  
色の絵素間で異なっており、  
前記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比  
のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートド  
レイン容量の比との差は、最も小さなゲートドレイン容量の比に対し  
て10%以下である

ことを特徴とする請求項1～5のいずれかに記載の液晶表示装置。

[請求項7]

前記一つの絵素内における、前記ゲートドレイン容量、前記ソースド  
レイン容量、前記補助容量、及び、前記液晶容量の総和の最大値に対  
する、前記ゲートドレイン容量、前記ソースドレイン容量、前記補助  
容量、及び、前記液晶容量の総和の最小値で算出される応答係数の値  
は、前記複数色の絵素間で異なっており、  
前記複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大  
きな応答係数と、最も小さな応答係数との差は、最も小さな応答係数  
に対して5%以下である

ことを特徴とする請求項1～6のいずれかに記載の液晶表示装置。

[請求項8]

前記画素電極は、一つの絵素内で複数に分割された副画素電極で構成  
され、  
前記薄膜トランジスタは、該副画素電極のそれぞれと接続され、  
前記補助容量配線は、該副画素電極のそれぞれと重畳し、  
前記液晶表示装置は、前記補助容量配線の電圧の極性を一定時間ごと  
に反転させる駆動回路を備える

ことを特徴とする請求項1～7のいずれかに記載の液晶表示装置。

[請求項9]

前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、  
及び、前記液晶容量の総和に対する、前記補助容量の比は、前記複数

色の絵素間で異なっており、  
前記複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して 1. 0 % 以下であることを特徴とする請求項 8 記載の液晶表示装置。