

明 細 書

発明の名称： ウェハ及びプローバ

技術分野

[0001] 実施形態は、ウェハ及びプローバに関する。

背景技術

[0002] ウェハとプローブカードとを電氣的に接続させるように構成されたプローバが知られている。ウェハ内には、複数のチップユニットが設けられる。プローブカードは、ウェハ内の複数のチップユニットを制御するように構成される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第8598902号明細書

特許文献2：米国特許第7777511号明細書

特許文献3：米国特許出願公開第2003/0183931号明細書

発明の概要

発明が解決しようとする課題

[0004] ウェハ及びプローブカード間の通信信頼性の劣化を抑制する。

課題を解決するための手段

[0005] 実施形態のウェハは、互いに重複しない第1領域及び第2領域を有する基板と、各々が上記基板上に設けられた第1チップユニット及び第2チップユニットと、各々が上記第1チップユニットと電氣的に接続された第1電極及び第2電極と、各々が上記第2チップユニットと電氣的に接続された第3電極及び第4電極と、を備える。上記第1電極及び上記第3電極は、上記第1領域に配置される。上記第2電極及び上記第4電極は、上記第2領域に配置される。上記第1領域は、上記第1チップユニット及び上記第2チップユニットが設けられた領域と独立した領域である。

図面の簡単な説明

- [0006] [図1]第1実施形態に係る情報処理システムの構成を示すブロック図。
- [図2]第1実施形態に係るホスト機器及びプローバの構成を示すブロック図。
- [図3]第1実施形態に係るメモリバスで用いられる信号及び電圧の一例を示すブロック図。
- [図4]第1実施形態に係るプローバの構成の一例を示す断面図。
- [図5]第1実施形態に係るストレージウェア及びプローブカードの構成の一例を示す断面図。
- [図6]第1実施形態に係るストレージウェアの複数のメモリチップユニット及び再配置前の複数の電極のレイアウトの一例を示す平面図。
- [図7]第1実施形態に係るストレージウェアの再配置後の複数の電極のレイアウトの一例を示す平面図。
- [図8]第1実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図。
- [図9]第1実施形態に係るプローバにおける圧力制御動作の一例を示すフローチャート。
- [図10]第1実施形態に係るプローバにおける2つの領域にかかる圧力の差異の一例を示す模式図。
- [図11]第1実施形態の第1変形例の第1例に係るプローバの構成の一例を示す断面図。
- [図12]第1実施形態の第1変形例の第2例に係るプローバの構成の一例を示す断面図。
- [図13]第1実施形態の第2変形例に係るプローバの構成の一例を示す模式図。
- [図14]第1実施形態の第2変形例の第1例に係るプローバの構成の一例を示す断面図。
- [図15]第1実施形態の第2変形例の第2例に係るプローバの構成の一例を示す断面図。

[図16]第1実施形態の第2変形例の第3例に係るプローブカードの構成の一例を示す断面図。

[図17]第1実施形態の第2変形例の第4例に係るプローブカードの構成の一例を示す断面図。

[図18]第1実施形態の第3変形例に係る再配置後の電極の構成の複数の例を示す断面図。

[図19]第1実施形態の第3変形例に係る再配置後の電極の構成の複数の例が有する特徴を示す図。

[図20]第2実施形態に係るストレージウェア及びプローブカードの構成の一例を示す断面図。

[図21]第2実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図。

[図22]第2実施形態の変形例に係るストレージウェア及びプローブカードの構成の一例を示す断面図。

[図23]第3実施形態に係るストレージウェア及びプローブカードの構成の一例を示す断面図。

[図24]第3実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図。

[図25]第3実施形態の変形例に係るストレージウェア及びプローブカードの構成の一例を示す断面図。

[図26]第4実施形態に係るストレージウェア及びプローブカードの構成の一例を示す断面図。

[図27]第4実施形態に係るストレージウェア及びプローブカードにおける放熱動作の一例を示す模式図。

発明を実施するための形態

[0007] 以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。また、共通する参照符号を有する複数の構成要素を区別する場合、

当該共通する参照符号に添え字を付して区別する。なお、複数の構成要素について特に区別を要さない場合、当該複数の構成要素には、共通する参照符号のみが付され、添え字は付さない。

[0008] 1. 第1実施形態

まず、第1実施形態について説明する。

[0009] 1. 1 構成

1. 1. 1 情報処理システム

第1実施形態に係る情報システムの構成について説明する。図1は、第1実施形態に係る情報処理システムの構成を示すブロック図である。図1に示すように、情報処理システム1は、ホスト機器2及びストレージシステム3を含む。

[0010] ホスト機器2は、ストレージシステム3を使用してデータを処理するデータ処理装置である。ホスト機器2は、例えば、データセンタ内のサーバである。

[0011] ストレージシステム3は、ホスト機器2に接続されるように構成された記憶装置である。ストレージシステム3は、例えば、メモリデバイスが設けられたウェハにアクセスするように構成されたSSD (solid state drive) である。ストレージシステム3は、ホスト機器2からの要求（コマンド）に応じてデータのプログラム処理及びリード処理を実行する。

[0012] 1. 1. 2 ストレージシステム

次に、第1実施形態に係るストレージシステムの内部構成について、引き続き図1を参照して説明する。

[0013] ストレージシステム3は、ウェハストック4、ウェハ搬送機5、プローバ6、複数のストレージウェハ10、及びプローブカード20を備える。

[0014] ウェハストック4は、プローバ6に設置されていない複数のストレージウェハ10を保管する。

[0015] ウェハ搬送機5は、ウェハストック4とプローバ6との間でストレージウェハ10を搬送する機能を有する。

[0016] プローバ6には、ストレージウェア10及びプローブカード20が設置される。プローバ6は、ストレージウェア10とプローブカード20との間を電氣的に接続させる機能を有する。また、プローバ6は、ストレージウェア10とプローブカード20との間を電氣的に接続させるための種々の制御処理を実行する。

[0017] ストレージウェア10は、データを記憶する機能を有するメモリデバイス（図示せず）が内部に設けられたウェアである。プローブカード20は、ストレージウェア10を制御するメモリコントローラ（図示せず）が表面上に設けられたカード基板である。プローバ6による制御処理により、ストレージウェア10内のメモリデバイスと、プローブカード20上のメモリコントローラとは、物理的かつ電氣的に接続される。

[0018] 1. 1. 3 プローバ

次に、第1実施形態に係るプローバの内部構成について説明する。

[0019] 1. 1. 3. 1 通信機能

第1実施形態に係るプローバの通信機能について、図2を参照して説明する。図2は、第1実施形態に係るホスト機器及びプローバの構成の一例を示すブロック図である。図2では、プローバ6内でストレージウェア10とプローブカード20とが物理的かつ電氣的に接続された場合の接続関係の一例が示される。図2に示すように、プローバ6は、インタフェース制御系7、駆動制御系8、及び温度制御系9を更に含む。ストレージウェア10は、複数のメモリチップユニット100を含む。プローブカード20は、複数のメモリコントローラチップ200を含む。

[0020] インタフェース制御系7は、主にプローバ6内のデータ伝送に関するインタフェースを制御する回路である。例えば、インタフェース制御系7は、ホスト機器2から受信した要求及びデータをプローブカード20に転送する。インタフェース制御系7は、プローブカード20から受信したデータをホスト機器2に転送する。インタフェース制御系7は、ホストバスを介してホスト機器2に接続される。ホストバスは、例えば、PCIe™ (Peripheral Co

mponent Interconnect express) に準拠する。また、ストレージウェア 10 とプローブカード 20 とを接触させる場合、インタフェース制御系 7 は、駆動制御系 8 及び温度制御系 9 に対する種々の制御を実行する。

[0021] 駆動制御系 8 は、ストレージウェア 10 とプローブカード 20 との間の相対的位置を 3 次元に自在に変位させることができるトルク機構と、トルク機構を制御する制御部と、を含む（いずれも図示せず）。そして、駆動制御系 8 は、トルク機構が制御部によって駆動されることにより、ストレージウェア 10 とプローブカード 20 とを接触させる機能を有する。

[0022] また、駆動制御系 8 は、圧力センサ PS を含む。圧力センサ PS は、ストレージウェア 10 とプローブカード 20 とが接触した際に生じる圧力の 2 次元分布を計測するように構成される。駆動制御系 8 の制御部は、圧力センサ PS によって計測される圧力の 2 次元分布が条件を満たすように、トルク機構の出力を制御する。駆動制御系 8 による圧力センサ PS を用いたトルク機構の圧力制御方法の詳細については、後述する。

[0023] 温度制御系 9 は、プローバ 6 内に設置されたストレージウェア 10 及びプローブカード 20 がさらされる温度環境を制御する。例えば、温度制御系 9 は、温度センサ（図示せず）によって計測される温度に基づき、ストレージウェア 10 及びプローブカード 20 の温度を一定範囲に保つように構成される。

[0024] 複数のメモリコントローラチップ 200 の各々は、SoC (System-on-a-Chip) のような集積回路で構成される。複数のメモリコントローラチップ 200 の各々は、例えば、FPGA (Field Programmable Gate Array) 機能を有する。複数のメモリコントローラチップ 200 の各々は、複数のメモリチップユニット 100 の組と電氣的に接続される。図 2 の例では、k 個のメモリチップユニット 100__1、…、及び 100__k が、1 つのメモリコントローラチップ 200 に並列に接続される（k は 2 以上の整数）。複数のメモリコントローラチップ 200 の各々は、インタフェース制御系 7 からの指示に基づき、k 個のメモリチップユニット 100__1 ~ 100__k を並列に制御

する。

[0025] 具体的には、例えば、メモリコントローラチップ200は、ホスト機器2からのライト要求に基づいて、ライトデータを書込み対象のメモリチップユニット100に書き込む。また、メモリコントローラチップ200は、ホスト機器2からのリード要求に基づいて、読出し対象のメモリチップユニット100からリードデータを読み出す。そして、メモリコントローラチップ200は、インタフェース制御系7を介して、リードデータをホスト機器2に送信する。

[0026] 複数のメモリチップユニット100の各々は、チップユニットである。チップユニットは、ウェハをダイシングした後のチップレベルでも機能し得るデバイスの単位である。なお、ストレージシステム3において、ストレージウェハ10は、ダイシングされずに、ウェハレベルで使用される。このため、複数のメモリチップユニット100の各々は、チップレベルに切り出されることなく、1つのストレージウェハ10上に設けられた状態でメモリデバイスとして機能する。複数のメモリチップユニット100は、互いに独立してデータのライト処理及びリード処理を実行するように構成される。複数のメモリチップユニット100の各々は、各々が不揮発にデータを記憶する複数のメモリセルと、複数のメモリセルを制御する制御回路と、を含む。複数のメモリチップユニット100の各々は、例えば、NAND型フラッシュメモリである。

[0027] なお、ストレージウェハ10とプローブカード20との間の電氣的接続は、メモリバスBUSを介して実現される。メモリバスBUSは、例えば、SDR (single data rate) インタフェース、トグルDDR (double data rate) インタフェース、又はONFI (Open NAND flash interface) に準拠する。図3は、第1実施形態に係るメモリバスで用いられる信号及び電圧の一例を示すブロック図である。

[0028] メモリバスBUSで用いられる信号は、例えば、チップイネーブル信号CEn、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信

号 A L E、ライトイネーブル信号 W E n、リードイネーブル信号 R E n、ライトプロテクト信号 W P n、レディ・ビジー信号 R B n、及び入出力信号 I / O を含む。本明細書において、信号の名称の末尾の n は、その信号が “L (Low)” レベルの場合にアサートされることを意味する。

- [0029] チップイネーブル信号 C E n は、メモリチップユニット 1 0 0 をイネーブルにするための信号である。
- [0030] コマンドラッチイネーブル信号 C L E は、メモリチップユニット 1 0 0 への入力信号 I / O がコマンドであることをメモリチップユニット 1 0 0 に通知する信号である。
- [0031] アドレスラッチイネーブル信号 A L E は、メモリチップユニット 1 0 0 への入力信号 I / O がアドレスであることをメモリチップユニット 1 0 0 に通知する信号である。
- [0032] ライトイネーブル信号 W E n は、入力信号 I / O をメモリチップユニット 1 0 0 に取り込ませるための信号である。
- [0033] リードイネーブル信号 R E n は、メモリチップユニット 1 0 0 から出力信号 I / O を読み出すための信号である。
- [0034] ライトプロテクト信号 W P n は、データの書き込み及び消去の禁止をメモリチップユニット 1 0 0 に指示するための信号である。
- [0035] レディ・ビジー信号 R B n は、メモリチップユニット 1 0 0 がレディ状態であるか、それともビジー状態であるかを示す信号である。レディ状態は、メモリチップユニット 1 0 0 がメモリコントローラチップ 2 0 0 からの命令を受信出来る状態である。ビジー状態は、メモリチップユニット 1 0 0 がメモリコントローラチップ 2 0 0 からの命令を受信出来ない状態である。レディ・ビジー信号 R B n は、“L” レベルがビジー状態を示す。
- [0036] 入出力信号 I / O は、例えば 8 ビットの信号である。入出力信号 I / O は、メモリチップユニット 1 0 0 とメモリコントローラチップ 2 0 0 との間で送受信されるデータの実体である。入出力信号 I / O は、コマンド、アドレス、並びにライトデータ及びリードデータ等のデータを含む。

[0037] また、メモリバスBUSを用いて、例えば、電圧VSS及びVCCがメモリチップユニット100に供給される。電圧VSSは、接地電圧である。電圧VCCは、電源電圧である。

[0038] なお、以下の説明では、チップイネーブル信号CEn、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号WE n、リードイネーブル信号RE n、ライトプロテクト信号WP n、レディ・ビジー信号RB n、及び入出力信号I/Oは、単に信号とも呼ぶ。また、電圧VSS及びVCCは、単に信号とも呼ぶ。

[0039] 1. 1. 3. 2 構造

次に、第1実施形態に係るプローバの構造について、図4を参照して説明する。図4は、第1実施形態に係るプローバの構成の一例を示す断面図である。図4では、ストレージウェハ10及びプローブカード20が設置された状態におけるプローバ6の断面図が示される。

[0040] 以下では、プローバ6へのストレージウェハ10の設置面をXY平面とする。XY平面に垂直な方向をZ方向とする。そして、Z方向に沿って、ストレージウェハ10からプローブカード20に向かう方向を上方向とも言う。

[0041] ストレージウェハ10のうち、プローブカード20に対向する面は、ストレージウェハ10の「上面」、又は「第1面」とも言う。ストレージウェハ10のうち、プローバ6への設置面は、ストレージウェハ10の「下面」、又は「第2面」とも言う。プローブカード20のうち、ストレージウェハ10の上面と対向する面は、プローブカード20の「下面」、又はストレージウェハ10との「対向面」とも言う。プローブカード20のうち、プローブカード20の下面の反対側の面は、プローブカード20の「上面」とも言う。

[0042] 図4に示すように、プローバ6は、ベース31と、複数のステージ32-1、32-2、及び32-3と、ウェハチャック33と、ヘッドステージ34と、補強板(Stiffener)35と、カードホルダ36と、固定具37と、支柱38と、テストヘッド39と、を備える。

- [0043] ベース 3 1 は、複数のステージ 3 2 - 1 ~ 3 2 - 3 及びウェハチャック 3 3 を支持する。具体的には、ベース 3 1 の上面には、X 変位機構を有するステージ 3 2 - 1 が設けられる。ステージ 3 2 - 1 の上面には、Y 変位機構を有するステージ 3 2 - 2 が設けられる。ステージ 3 2 - 2 の上面には、Z θ 変位機構を有するステージ 3 2 - 3 が設けられる。
- [0044] ステージ 3 2 - 1 ~ 3 2 - 3 は、駆動制御系 8 のトルク機構の一部である。ステージ 3 2 - 1 は、X 変位機構によって、ベース 3 1 に対して X 方向に自在に移動するように構成される。ステージ 3 2 - 2 は、Y 変位機構によって、ステージ 3 2 - 1 に対して Y 方向に自在に移動するように構成される。ステージ 3 2 - 3 は、Z θ 変位機構によって、ステージ 3 2 - 2 に対して、Z 方向に自在に移動し、かつ X Y 平面上において自在に回転するように構成される。すなわち、X 変位機構、Y 変位機構、及び Z θ 変位機構は、ストレージウェハ 1 0 をプローブカード 2 0 に対して自在に変位させることができる。
- [0045] また、Z θ 変位機構は、ストレージウェハ 1 0 及びプローブカード 2 0 が接触した際に生じる X Y 平面内の圧力分布を、任意の分布に制御することができる。すなわち、Z θ 変位機構は、互いに重複しない少なくとも 2 つの領域にかかる圧力が互いに異なるような圧力分布を形成するように構成される。
- [0046] ステージ 3 2 - 3 の上面上には、ウェハチャック 3 3 が設けられる。ウェハチャック 3 3 は、ストレージウェハ 1 0 が支持されるテーブルである。ウェハチャック 3 3 内には、例えば、温度センサ、加熱器、及び冷却器（いずれも図示せず）が含まれている。加熱器及び冷却器は、ストレージウェハ 1 0 の温度を上昇及び低下させるように構成される。温度制御系 9 は、温度センサからの情報に基づいて加熱器及び冷却器を駆動することにより、ウェハチャック 3 3 を介してストレージウェハ 1 0 の温度を所定の範囲に保つことができる。
- [0047] ヘッドステージ 3 4 は、支柱 3 8 によってウェハチャック 3 3 の上方に支

持される。ヘッドステージ34は、例えば、リング形状を有する。ヘッドステージ34のリングの内側の空間に、各々がリング形状の補強板35及びカードホルダ36が設けられる。補強板35は、プローブカード20の上面上に設けられて、カードホルダ36との間にプローブカード20を挟む。カードホルダ36は、カードホルダ36のリングの内側の空間において、プローブカード20を支持する。プローブカード20は、固定具37によって補強板35及びカードホルダ36に固定される。これにより、プローブカード20は、ウェハチャック33に対するXY平面内の位置が固定され、かつ熱膨張等に起因する変位が抑制される。

[0048] ヘッドステージ34及び補強板35の上面上には、テストヘッド39が設けられる。テストヘッド39は、例えば、プローブカード20と電氣的に接続されることにより、インタフェース制御系7として機能する。また、テストヘッド39は、内部に圧力センサPSが配置される。圧力センサPSは、ストレージウェハ10及びプローブカード20が接触した際に生じる圧力分布を計測するように構成される。圧力センサPSは、例えば、複数のセンサ素子を含む。複数のセンサ素子は、XY平面内に分散して配置される。

[0049] 以上のような構成により、駆動制御系8は、XY平面内で少なくとも2つの領域に異なる圧力をかけつつ、ストレージウェハ10とプローブカード20とを物理的に接触させることができる。

[0050] なお、ヘッドステージ34には、ストレージウェハ10上の代表位置を検出するためのカメラ（図示せず）が設けられてもよい。ストレージウェハ10上の代表位置としては、例えば、ウェハの外縁や、ウェハ上に設けられたアライメントマーク等がある。駆動制御系8は、カメラからの情報に基づき、基準位置をより正確に認識することができる。これにより、駆動制御系8は、ストレージウェハ10及びプローブカード20に対して、精密な位置合わせの制御を行うことができる。

[0051] 1. 1. 4 ストレージウェハ及びプローブカードの断面構造

次に、第1実施形態に係るストレージウェハ及びプローブカードの断面構

造について説明する。図5は、第1実施形態に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。

[0052] 図5に示すように、ストレージウェハ10は、基板11、素子層12、複数の電極13、絶縁体層14、複数の配線15、及び複数の電極16を含む。プローブカード20は、複数のメモリコントローラチップ200に加え、基板21、複数の配線22、及び複数の電極23を含む。

[0053] 基板11は、例えば、シリコンウェハである。基板11の上面上に、素子層12が設けられる。素子層12は、複数のメモリチップユニット100が設けられる層である。なお、図5の例では、素子層12内の複数のメモリチップユニット100については、図示が省略される。

[0054] 素子層12の上面上には、複数の電極13が設けられる。複数の電極13の各々は、対応するメモリチップユニット100の直上に設けられる。すなわち、複数の電極13の各々は、再配置前の電極である。複数の電極13の各々は、例えば、平板状のパッド電極である。互いに隣り合う2つの電極13は、間隔w1だけ離されるように配置される。複数の電極13は、例えば、アルミニウム（Al）を含む。

[0055] 素子層12の上面、及び複数の電極13の上面を覆うように、絶縁体層14が設けられる。絶縁体層14は、例えば、ポリイミドを含む。

[0056] 絶縁体層14の上面上に、複数の電極16が設けられる。複数の電極16は、対応する複数の電極13（対応するメモリチップユニット100）が設けられる領域とは独立した領域に配置される。すなわち、複数の電極16の各々は、再配置後の電極である。複数の電極16の各々は、例えば、平板状のパッド電極である。互いに隣り合う2つの電極16は、間隔w2だけ離されるように配置される。間隔w2は、間隔w1より長い。また、複数の電極16の各々の面積は、複数の電極13の各々の面積よりも大きい。複数の電極16は、例えば、ニッケル（Ni）及び／又は金（Au）を含む。

[0057] 絶縁体層14内において、複数の電極13と複数の電極16とを電氣的に接続する複数の配線15が設けられる。複数の配線15は、複数の電極13

を複数の電極 1 6 に再配置するための再配線である。図 5 の例では、図示される電極 1 3 と、図示されない電極 1 6 と、の間を電氣的に接続する配線 1 5 については、図示が省略される。複数の配線 1 5 は、例えば、銅 (C u) を含む。

[0058] 基板 2 1 は、例えばプリント基板を含む。基板 2 1 の上面上には、複数のメモリコントローラチップ 2 0 0 が設けられる。基板 2 1 の下面上には、複数の電極 2 3 が設けられる。複数の電極 2 3 は、複数の電極 1 6 に対応する位置に設けられる。複数の電極 2 3 の各々は、例えば、ピン形状を有するプローブ電極である。基板 2 1 内には、複数の配線 2 2 が設けられる。複数の配線 2 2 は、複数のメモリコントローラチップ 2 0 0 と、複数の電極 2 3 とを電氣的に接続する。

[0059] 1. 1. 5 ストレージウェアのレイアウト

次に、第 1 実施形態に係るストレージウェアのレイアウトについて説明する。図 6 は、第 1 実施形態に係るストレージウェアの複数のメモリチップユニット及び再配置前の複数の電極のレイアウトの一例を示す平面図である。図 7 は、第 1 実施形態に係るストレージウェアの再配置後の複数の電極のレイアウトの一例を示す平面図である。

[0060] まず、複数のメモリチップユニット 1 0 0 及び再配置前の複数の電極 1 3 のレイアウトについて、図 6 を参照して説明する。図 6 に示すように、複数のメモリチップユニット 1 0 0 は、X Y 平面内に、マトリクス状に配置される。

[0061] 平面視において、複数の電極 1 3 は、対応するメモリチップユニット 1 0 0 が設けられる領域内に配置される。図 6 の例では、1 つのメモリチップユニット 1 0 0 に対応する複数の電極 1 3 が、X 方向に並ぶ場合が示される。しかしながら、これに限らず、複数の電極 1 3 は、対応するメモリチップユニット 1 0 0 が設けられる領域内にマトリクス状に配置されてもよい。

[0062] 1 つのメモリチップユニット 1 0 0 に対応する複数の電極 1 3 は、複数の電極 1 3 A、及び複数の電極 1 3 B を含む。電極 1 3 A と電極 1 3 B とは、

電極 2 3 との十分な電氣的接続を得るために要する最小の圧力（圧力閾値）が異なる。例えば、電極 1 3 A の圧力閾値 $T_h A$ は、電極 1 3 B の圧力閾値 $T_h B$ より大きい。電極 1 3 A は、例えば、電圧を供給するために使用される電極である。電極 1 3 B は、例えば、信号を通信するために使用される電極である。

[0063] 次に、再配置後の複数の電極 1 6 のレイアウトについて、図 7 を参照して説明する。図 7 に示すように、平面視において、複数の電極 1 6 は、対応するメモリチップユニット 1 0 0 とは独立な領域に配置される。

[0064] 1 つのメモリチップユニット 1 0 0 に対応する複数の電極 1 6 は、複数の電極 1 6 A、及び複数の電極 1 6 B を含む。電極 1 6 A は、例えば、電圧を供給するために使用される電極である。電極 1 6 B は、例えば、信号を通信するために使用される電極である。このため、電極 1 6 A 及び 1 6 B はそれぞれ、電極 1 3 A 及び 1 3 B と同等の圧力閾値を有する。

[0065] 絶縁体層 1 4 の上面上において、複数の電極 1 6 A 及び 1 6 B はそれぞれ、領域 R A 及び R B に配置される。領域 R A 及び R B は、互いに重複しない領域である。図 7 の例では、領域 R A 及び R B は、例えば、ストレージウェハ 1 0 の上面において同心円状の領域である。すなわち、平面視において、領域 R B は、ストレージウェハ 1 0 の中心を含む。そして、領域 R A は、ストレージウェハ 1 0 の中心に対して領域 R B の外側に位置する。

[0066] なお、領域 R A 及び R B は、同心円状の領域でなくともよい。領域 R A 及び R B は、互いに重複しておらず、かつ複数のメモリチップユニット 1 0 0 が設けられる領域とは独立な領域であればよい。具体的には、例えば、領域 R A 及び R B はそれぞれ、ストレージウェハ 1 0 の上面における紙面左側の領域及び右側の領域であってもよい。また、領域 R A と領域 R B との間には、領域 R A 及び R B のいずれにも属さない境界領域が設けられてもよい。境界領域には、電極 1 6 A 及び 1 6 B が設けられなくてもよい。

[0067] メモリチップユニット 1 0 0 及びメモリコントローラチップ 2 0 0 は、上述したような複数の電極 1 3 及び複数の電極 1 6 を介して、電氣的に接続さ

れる。図8は、第1実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図である。

[0068] 図8に示すように、メモリチップユニット100は、当該メモリチップユニット100が設けられる領域に配置された複数の電極13A及び13Bと電氣的に接続される。複数の電極13A及び13Bは、絶縁体層14内をZ方向に延びる複数の配線15を介して、複数の電極16A及び16Bと電氣的に接続される。複数の電極16A及び16Bは、複数の電極13A及び13Bと異なり、対応するメモリチップユニット100が設けられる領域とは独立な領域に配置される。具体的には、複数の電極16A及び16Bはそれぞれ、互いに重複しない領域RA及びRBに配置される。そして、複数の電極16A及び16Bは、対応する複数の電極23及び複数の配線22を介して、プローブカード20上の対応するメモリコントローラチップ200と電氣的に接続するように構成される。

[0069] 以上のような構成により、互いに重複しない領域RA及びRBに、それぞれストレージウェア10上に設けられた全ての電極16Aと全ての電極16Bとを配置することができる。このため、全ての電極16Aにかかる圧力と、全ての電極16Bにかかる圧力とを個別に制御する問題を、領域Aにかかる圧力と、領域Bに係る圧力とを個別に制御する問題に帰着させることができる。

[0070] 1. 2 圧力制御動作

次に、第1実施形態に係るプローバにおける圧力制御動作について説明する。図9は、第1実施形態に係るプローバにおける圧力制御動作の一例を示すフローチャートである。図9では、ストレージウェア10とプローブカード20との間を物理的かつ電氣的に接続するための処理（タッチダウン処理）の際における、圧力制御動作を含む。

[0071] 図9に示すように、ストレージウェア10とプローブカード20との間を電氣的に接続させる旨の指示を受けると（開始）、駆動制御系8は、トルク機構を駆動させて、複数の電極16と複数の電極23との間の距離を変更す

る（S1）。

[0072] 駆動制御系8は、複数の電極16及び複数の電極23が接触したか否かを判定する（S2）。具体的には、例えば、駆動制御系8は、カメラ等から得られる情報に基づいてトルク機構の変位量を決定する。そして、駆動制御系8は、決定された変位量だけZ θ 変位機構を移動させることにより、複数の電極16及び複数の電極23が接触したと判定する。

[0073] Z θ 変位機構の変位量が決定された変位量に達しない場合（S2；no）、駆動制御系8は、引き続き複数の電極16と複数の電極23との間の距離を変更する（S1）。Z θ 変位機構の変位量が決定された変位量に達した場合（S2；yes）、駆動制御系8は、圧力センサPSから2次元圧力分布を取得する（S3）。

[0074] S3の処理の後、駆動制御系8は、取得した2次元圧力分布に基づき、領域RBにおける圧力PBが圧力閾値ThB未満であるか否かを判定する（S4）。領域RBにおける圧力PBが圧力閾値ThB以上である場合（S4；no）、駆動制御系8は、領域RBにかける圧力PBを減少させる（S5）。S5の処理の後、処理はS3に進む。これにより、領域RBにおける圧力PBが圧力閾値ThB未満となるまで、領域RBにかける圧力PBを減少させる。

[0075] 領域RBにおける圧力PBが圧力閾値ThB未満である場合（S4；yes）、駆動制御系8は、取得した2次元圧力分布に基づき、領域RAにおける圧力PAが圧力閾値ThA以上であるか否かを判定する（S6）。領域RAにおける圧力PAが圧力閾値ThA未満である場合（S6；no）、駆動制御系8は、領域RAにかける圧力PAを増加させる（S7）。S7の処理の後、処理はS3に進む。これにより、領域RBにおける圧力PBが圧力閾値ThB未満、かつ領域RAにおける圧力PAが圧力閾値ThA以上となるまで、領域RAにかける圧力PAを増加させる。

[0076] 領域RAにおける圧力PAが圧力閾値ThA以上である場合（S6；yes）、駆動制御系8は、領域RA及びRBにかける圧力PA及びPBを決定

する（S8）。

[0077] S8の処理が終わると、駆動制御系8は、電極16A及び電極16bの各々が、対応する電極23と電氣的に接続されたと判定する。これにより、圧力制御動作は終了となる（終了）。

[0078] 1. 3 第1実施形態に係る効果

第1実施形態によれば、ストレージウェア及びプローブカード間の通信信頼性の劣化を抑制することができる。本効果について、図10を用いて以下に説明する。図10は、第1実施形態に係るプローバにおける2つの領域にかかる圧力の差異の一例を示す模式図である。

[0079] 複数の電極16A及び16Bはそれぞれ、対応するメモリチップユニット100の設けられた領域とは独立し、かつ互いに重複しない領域RA及びRBに配置される。これにより、どのメモリチップユニット100に対応しているかに依らず、全ての電極16Aを領域RAに集約させると共に、全ての電極16Bを領域RBに集約させることができる。

[0080] 補足すると、複数の電極13A及び13Bはいずれも、対応するメモリチップユニット100が設けられる領域内に配置される。これにより、ウェアレベルで見ると、複数の電極13A及び13Bは、プローブカード20との接触面の全域に混在している。このため、複数の電極13A及び13Bのそれぞれに適切な圧力をかけることは困難である可能性がある。

[0081] 第1実施形態によれば、複数の電極13A及び13Bは、複数の配線15を介して複数の電極16A及び16Bに再配置される。これにより、図10に示すように、異なる圧力閾値を有する複数の電極16Aと、複数の電極16Bとを、互いに異なる領域RA及びRBに分けて配置することができる。このため、駆動制御系8の圧力制御性を高めることができる。

[0082] そして、駆動制御系8は、領域RA及びRBを含む領域の2次元圧力分布を取得するように構成された圧力センサPSを更に備える。駆動制御系8は、取得された2次元圧力分布に基づき、領域RA及びRBに対して、異なる圧力をかけるように構成される。これにより、複数の電極16A及び16B

に、互いに異なる圧力をかけることができる。具体的には、圧力閾値 $T_h B$ よりも高い圧力閾値 $T_h A$ を有する複数の電極16Aには、比較的大きな圧力 $P A$ をかけることができる。圧力閾値 $T_h A$ よりも低い圧力閾値 $T_h B$ を有する複数の電極16Bには、比較的小さな圧力 $P B$ をかけることができる。このため、電極23と接触させる際に、電極16Bに過度に大きな圧力がかかることによって、電極16Bが摩耗することを抑制できる。また、電極16Aに十分な信頼性が得られない程度に大きな圧力がかからないことによって、電極16Aを介する電圧の供給が停止することを抑制できる。したがって、ストレージウェア及びプローブカード間の通信信頼性の劣化を抑制することができる。

[0083] 1. 4 第1実施形態の変形例

なお、上述の第1実施形態は、種々の変形が可能である。以下に示す複数の変形例では、第1実施形態と同等の構成及び動作についてはその説明を省略し、第1実施形態と異なる構成及び動作について主に説明する。

[0084] 1. 4. 1 第1実施形態の第1変形例

上述の第1実施形態では、圧力センサ $P S$ がテストヘッド39内に設けられる場合について説明したが、これに限られない。例えば、圧力センサ $P S$ は、テストヘッド39以外の場所に設けられてもよい。以下では、圧力センサ $P S$ がテストヘッド39以外の場所に設けられる例を2例示す。

[0085] (第1例)

図11は、第1実施形態の第1変形例の第1例に係るプローバの構成の一例を示す断面図である。図11は、第1実施形態の図4に対応する。

[0086] 図11に示すように、圧力センサ $P S$ は、ウェハチャック33内に設けられてもよい。この場合、圧力センサ $P S$ は、ウェハチャック33内において、 $X Y$ 平面内の2次元圧力分布を計測するように構成される。

[0087] (第2例)

図12は、第1実施形態の第1変形例の第2例に係るプローバの構成の一例を示す断面図である。図12は、第1実施形態の図4に対応する。

- [0088] 図12に示すように、圧力センサPSは、プローブカード20内に設けられてもよい。この場合、圧力センサPSは、プローブカード20内において、XY平面内の2次元圧力分布を計測するように構成される。
- [0089] いずれの場合においても、圧力センサPSは、第1実施形態の場合と同様に、領域RA及びRBを含む領域の2次元圧力分布を計測することができる。これにより、駆動制御系8は、圧力センサPSからの2次元圧力分布に基づき、領域RA及びRBにそれぞれ適切な圧力をかけることができる。
- [0090] 1. 4. 2 第1実施形態の第2変形例
- 上述の第1実施形態及び第1実施形態の第1変形例では、複数の電極16A及び16Bにかかる圧力は、トルク機構によって制御される場合について説明した。しかしながら、複数の電極16A及び16Bにかかる圧力は、トルク機構以外の機構によって更に制御されてもよい。
- [0091] 図13は、第1実施形態の第2変形例に係るプローバの構成の一例を示す模式図である。
- [0092] 図13に示すように、プローバ6は、緩衝材CMを更に含む。緩衝材CMは、例えば、タッチダウン処理の際に発生する過荷重に応じて、Z方向に収縮する弾性体である。過荷重は、例えば、電極16及び電極23を破損させ得る荷重である。過荷重は、例えば、電極16と電極23とを接触させる際に、電極16と電極23と間の距離の判定誤差、及び電極16と電極23との間の距離の製造ばらつき等に起因して発生し得る。
- [0093] 緩衝材CMは、過荷重の発生箇所に集中する応力を、過荷重の発生箇所の周辺領域に解放させる機能を有する。例えば、緩衝材CMは、多孔質構造を有し得る。より具体的には、緩衝材CMは、ウレタンを含む。また、例えば、緩衝材CMは、バネ構造を有していてもよい。
- [0094] また、緩衝材CMは、緩衝材CMA及びCMBを含んでもよい。緩衝材CMA及びCMBはそれぞれ、領域RA及びRBに設けられる。緩衝材CMBは、例えば、緩衝材CMAよりも応力の解放度合いが高い。このように、圧力閾値の大きさに応じて適切な応力の解放度合いを有する緩衝材CMを設け

ることにより、電極 1 6 及び電極 2 3 の破損を抑制することができる。

[0095] なお、緩衝材 C M は、プローバ 6 内の種々の位置に設けられ得る。以下では、緩衝材 C M が設けられる場所の例を 4 例示す。

[0096] (第 1 例)

図 1 4 は、第 1 実施形態の第 2 変形例の第 1 例に係るプローバの構成の一例を示す断面図である。図 1 4 は、第 1 実施形態の図 4 に対応する。図 1 4 に示すように、緩衝材 C M は、テストヘッド 3 9 内に設けられてもよい。

[0097] なお、図 1 4 の例では、緩衝材 C M 及び圧力センサ P S が異なる層に設けられる場合が示されるが、これに限られない。例えば、同一の層に設けられる同一の材料が、緩衝材 C M 及び圧力センサ P S のいずれの機能を有していてもよい。

[0098] また、図 1 4 の例では、緩衝材 C M は、圧力センサ P S とプローブカード 2 0 との間に設けられる場合が示されるが、これに限られない。例えば、緩衝材 C M は、プローブカード 2 0 との間に圧力センサ P S を挟む位置に設けられてもよい。

[0099] また、図 1 4 の例では、緩衝材 C M と同様に、圧力センサ P S がテストヘッド 3 9 内に設けられる場合が示されるが、これに限られない。例えば、第 1 実施形態の第 1 変形例の第 1 例及び第 2 例において示したように、圧力センサ P S は、ウェハチャック 3 3 又はプローブカード 2 0 内に設けられてもよい。

[0100] (第 2 例)

図 1 5 は、第 1 実施形態の第 2 変形例の第 2 例に係るプローバの構成の一例を示す断面図である。図 1 5 は、第 1 実施形態の図 4 に対応する。図 1 5 に示すように、緩衝材 C M は、ウェハチャック 3 3 内に設けられてもよい。

[0101] なお、図 1 5 の例では、圧力センサ P S がテストヘッド 3 9 内に設けられる場合が示されるが、これに限られない。例えば、第 1 実施形態の第 1 変形例の第 1 例及び第 2 例において示したように、圧力センサ P S は、ウェハチャック 3 3 又はプローブカード 2 0 内に設けられてもよい。ウェハチャック

33内に圧力センサPSが設けられる場合、緩衝材CM及び圧力センサPSは、異なる層に設けられてもよいし、同一の層に設けられてもよい。また、ウェハチャック33内に圧力センサPSが設けられる場合、緩衝材CMは、ストレージウェハ10と圧力センサPSとの間に設けられてもよいし、ストレージウェハ10との間に圧力センサPSを挟む位置に設けられてもよい。

[0102] (第3例)

図16は、第1実施形態の第2変形例の第3例に係るプローブカードの構成の一例を示す断面図である。図16は、第1実施形態の図5におけるプローブカード20の一部に対応する。図16に示すように、緩衝材CMは、プローブカード20内に設けられてもよい。プローブカード20内に設けられる場合、緩衝材CMは、複数の部分CMcと、部分CMiと、を含む。

[0103] 緩衝材の部分CMiは、緩衝材の複数の部分CMcの側面を覆う絶縁体である。すなわち、緩衝材の部分CMiは、緩衝材の複数の部分CMcを互いに電氣的に絶縁する。緩衝材の部分CMiは、基板21の上部と下部との間に設けられる。

[0104] 緩衝材の複数の部分CMcは、緩衝材の部分CMiと同じ層において、複数の配線22に対応して設けられる導電体である。すなわち、緩衝材の複数の部分CMcの各々は、対応する配線22の上部と下部との間を電氣的に接続する。

[0105] なお、図16の例では、圧力センサPSがプローブカード20内に設けられない場合が示されるが、これに限られない。例えば、第1実施形態の第1変形例の第2例において示したように、圧力センサPSは、プローブカード20内に設けられてもよい。プローブカード20内に圧力センサPSが設けられる場合、緩衝材CM及び圧力センサPSは、異なる層に設けられてもよいし、同一の層に設けられてもよい。また、プローブカード20内に圧力センサPSが設けられる場合、緩衝材CMは、ストレージウェハ10と圧力センサPSとの間に設けられてもよいし、メモリコントローラチップ200と圧力センサPSとの間に設けられてもよい。

[0106] (第4例)

図17は、第1実施形態の第2変形例の第4例に係るプローブカードの構成の一例を示す断面図である。図17は、第1実施形態の図5におけるプローブカード20の一部に対応する。図17に示すように、緩衝材CMは、プローブカード20の基板21と電極23との間に設けられてもよい。基板21と電極23との間に設けられる場合、緩衝材CMは、複数の部分CMcを含む。

[0107] 緩衝材の複数の部分CMcはそれぞれ、複数の配線22に対応して設けられる導電体である。すなわち、緩衝材の複数の部分CMcの各々は、対応する配線22と対応する電極23との間を電氣的に接続する。

[0108] なお、図17の例では、圧力センサPSがプローブカード20内に設けられない場合が示されるが、これに限られない。例えば、第1実施形態の第1変形例の第2例において示したように、圧力センサPSは、プローブカード20内に設けられてもよい。プローブカード20内に圧力センサPSが設けられる場合、圧力センサPSは、緩衝材CMと異なる層（すなわち、基板21内）に設けられる。

[0109] 第1実施形態の第2変形例によれば、プローバ6は、緩衝材CMを更に備える。これにより、過荷重によって電極16及び23に集中する応力を、周辺領域に解放することができる。このため、電極16及び23の破損を抑制することができる。したがって、ストレージウェア及びプローブカード間の通信信頼性の劣化を抑制することができる。

[0110] 1. 4. 3 第1実施形態の第3変形例

上述の第1実施形態並びに第1実施形態の第1変形例及び第2変形例では、電極16がニッケル(Ni)及び／又は金(Au)の材料を含み、かつ平板状の構造を有する場合について説明したが、これに限られない。例えば、電極16は、ニッケル(Ni)及び金(Au)以外の材料を含んでもよい。また、電極16は、平板状の構造以外の構造であってもよい。以下では、電極16の材料及び構造に関する適用例を、図18及び図19を参照して示す

。図 18 は、第 1 実施形態の第 3 変形例に係る再配置後の電極の構成の複数の例を示す断面図である。図 19 は、第 1 実施形態の第 3 変形例に係る再配置後の電極の構成の複数の例が有する特徴を示す図である。

[0111] 図 18 (A) に示すように、電極 16 は、多孔質構造を有してもよい。図 18 (B) に示すように、電極 16 は、ワイヤ構造を有してもよい。図 18 (C) に示すように、電極 16 は、バネ構造を有してもよい。図 18 (D) に示すように、電極 16 は、ボール構造を有してもよい。

[0112] 多孔質構造、ワイヤ構造、バネ構造、又はボール構造を有する場合、電極 16 は、Z 方向からの荷重に対して、弾性変形するように構成される。具体的には、多孔質構造、バネ構造、又はボール構造を有する場合、電極 16 は、Z 方向からの荷重に対して、収縮することができる。ワイヤ構造を有する場合、電極 16 は、Z 方向からの荷重に対して、配線 15 との接続点を支点にして弾性的に曲がることことができる。これにより、図 19 に示すように、過荷重を受けた際、電極 16 が塑性変形することを抑制できる。また、弾性変形によって電極 16 の特定の点に集中する応力を周辺領域に解放できるため、電極 16 の摩耗を抑制できる。

[0113] また、電極 16 は、導電性カーボン、導電性ゴム、又は水銀 (Hg) を含んでもよい。導電性カーボン、導電性ゴム、又は水銀 (Hg) を含む場合、電極 16 は、上述したような構造に整形しやすい。このため、耐摩耗性及び耐塑性変形の観点で、他の材料より有利となる場合がある。加えて、導電性カーボン、導電性ゴム、又は水銀 (Hg) は、導電性を有し、接触抵抗が低く、かつ酸化しにくい特性を有する。このため、ストレージウェア 10 とプロブカード 20 との間を電氣的に接続する電極としての要件を満たし得る。なお、導電性ゴムを含む場合、電極 16 は、電極 23 が異なる種類の材料である場合にも腐食しにくく、かつ発塵しにくい特性を更に有する。このため、同一のストレージウェア 10 に対して複数回のタッチダウン処理が実行されるストレージシステム 3 において、電氣的特性を維持しやすい。

[0114] 第 1 実施形態の第 3 変形例によれば、電極 16 の構造には、平板以外の構

造が適用される。また、電極 16 の材料には、金 (Au) 及び／又はニッケル (Ni) 以外の材料が適用される。これにより、同一の電極 16 に対して複数回のタッチダウン処理が実行される場合でも、ストレージウェハ 10 とプローブカード 20 との間の通信信頼性の劣化を抑制することができる。

[0115] なお、上述の例では、電極 16 の構造及び材料が変更される場合について説明したが、これに限られない。例えば、電極 16 に代えて、電極 23 の構造を、多孔質構造、ワイヤ構造、バネ構造、又はボール構造にしてもよい。また、電極 23 の材料を、導電性カーボン、導電性ゴム、又は水銀 (Hg) を含む材料にしてもよい。この場合でも、電極 16 の構造及び材料を変更する場合と同等の効果を奏することができる。

[0116] 2. 第 2 実施形態

次に、第 2 実施形態について説明する。

[0117] 第 1 実施形態では、複数の電極 16 A 及び 16 B を、ストレージウェハ 10 の上面側の領域 R A 及び R B にそれぞれ配置する場合について説明した。第 2 実施形態では、複数の電極 16 A 及び 16 B を、ストレージウェハ 10 の下面側の領域と上面側の領域とにそれぞれ配置する点において、第 1 実施形態と異なる。以下の説明では、第 1 実施形態と同等の構成及び動作については説明を省略し、第 1 実施形態と異なる構成及び動作について主に説明する。

[0118] 2. 1 ストレージウェハ及びプローブカードの断面構造

図 20 は、第 2 実施形態に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。図 20 は、第 1 実施形態の図 5 に対応する。

[0119] 図 20 に示すように、ストレージウェハ 10 は、基板 11、素子層 12、複数の電極 13、複数の配線 15 U 及び 15 L、複数の電極 16 U 及び 16 L、並びに絶縁体層 17 を含む。プローブカード 20 は、複数のメモリコントローラチップ 200 に加え、基板 21、複数の配線 22 U、複数の電極 23 U、及び絶縁体層 24 U を含む。ウェハチャック 33 は、複数の配線 22

L、複数の電極 2 3 L、及び絶縁体層 2 4 L を含む。

[0120] 基板 1 1、素子層 1 2、及び複数の電極 1 3 の構成については、第 1 実施形態と同等であるため、説明を省略する。

[0121] 基板 1 1 の下面及び側面、素子層 1 2 の上面及び側面、並びに複数の電極 1 3 の上面を覆うように、絶縁体層 1 7 が設けられる。すなわち、絶縁体層 1 7 は、素子層 1 2 の上方に位置する上面と、基板 1 1 の下方に位置する下面と、を有する。絶縁体層 1 7 は、例えば、ポリイミドを含む。

[0122] 絶縁体層 1 7 の上面上には、複数の電極 1 6 U が設けられる。複数の電極 1 6 U は、対応する複数の電極 1 3（対応するメモリチップユニット 1 0 0）が設けられる領域とは独立した領域に配置される。複数の電極 1 6 U は、複数の電極 1 6 B に対応する。複数の電極 1 6 U は、例えば、信号通信用の電極である。複数の電極 1 6 U は、例えば、ニッケル（Ni）及び／又は金（Au）を含む。

[0123] 絶縁体層 1 7 の下面上には、複数の電極 1 6 L が設けられる。複数の電極 1 6 L は、対応する複数の電極 1 3 が設けられる領域とは独立した領域に配置される。複数の電極 1 6 L は、複数の電極 1 6 A に対応する。複数の電極 1 6 L は、例えば、電圧供給用の電極である。複数の電極 1 6 L は、例えば、ニッケル（Ni）及び／又は金（Au）を含む。

[0124] 絶縁体層 1 7 内において、複数の電極 1 6 U と、対応する複数の電極 1 3 と、を電氣的に接続する複数の配線 1 5 U が設けられる。複数の配線 1 5 U は、複数の電極 1 3 の一部を複数の電極 1 6 U に再配置するための再配線である。また、絶縁体層 1 7 内において、複数の電極 1 6 L と、対応する複数の電極 1 3 と、を電氣的に接続する複数の配線 1 5 L が設けられる。複数の配線 1 5 L は、複数の電極 1 3 の一部を複数の電極 1 6 L に再配置するための再配線である。図 20 の例では、図示される電極 1 3 と、図示されない電極 1 6 U 及び 1 6 L と、の間を電氣的に接続する配線 1 5 U 及び 1 5 L については、図示が省略される。複数の配線 1 5 U 及び 1 5 L は、例えば、銅（Cu）を含む。

[0125] 基板 2 1 の下面上には、複数の電極 1 6 U に対応する位置に複数の電極 2 3 U が設けられる。複数の電極 2 3 U は、ピン形状を有するプローブ電極である。基板 2 1 内には、複数の配線 2 2 U が設けられる。複数の配線 2 2 U は、複数のメモリコントローラチップ 2 0 0 と複数の電極 2 3 U とを電氣的に接続する。

[0126] また、基板 2 1 の下面上のうち複数の電極 1 6 U と干渉しない領域には、絶縁体層 2 4 U が設けられる。絶縁体層 2 4 U は、タッチダウン処理の際に、絶縁体層 1 7 の上面に接触するように構成される。これにより、絶縁体層 2 4 U は、複数の電極 2 3 U 及び 1 6 U への応力集中を分散させる機能を有する。絶縁体層 2 4 U は、例えば、酸化シリコン又はポリイミド等の絶縁体である。

[0127] ウェハチャック 3 3 の上面上には、複数の電極 1 6 L に対応する位置に複数の電極 2 3 L が設けられる。複数の電極 2 3 L は、ピン形状を有するプローブ電極である。ウェハチャック 3 3 内には、複数の配線 2 2 L が設けられる。複数の配線 2 2 L は、図示せぬ電圧源と、複数の電極 2 3 L とを電氣的に接続する。

[0128] また、ウェハチャック 3 3 の上面上のうち複数の電極 1 6 L と干渉しない領域には、絶縁体層 2 4 L が設けられる。絶縁体層 2 4 L は、タッチダウン処理の際に、絶縁体層 1 7 の下面に接触するように構成される。これにより、絶縁体層 2 4 L は、複数の電極 2 3 L 及び 1 6 L への応力集中を分散させる機能を有する。絶縁体層 2 4 L は、例えば、酸化シリコン又はポリイミド等の絶縁体である。

[0129] 2. 2 ストレージウェハのレイアウト

次に、第 2 実施形態に係るストレージウェハのレイアウトについて説明する。図 2 1 は、第 2 実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図である。

[0130] 図 2 1 に示すように、複数の電極 1 3 B は、絶縁体層 1 7 内を上方に延びる複数の配線 1 5 U を介して、複数の電極 1 6 U と電氣的に接続される。複

数の電極 1 3 A は、素子層 1 2 及び基板 1 1 を回り込むように絶縁体層 1 7 内を下方に延びる複数の配線 1 5 L を介して、複数の電極 1 6 L と電氣的に接続される。複数の電極 1 6 L 及び 1 6 U は、複数の電極 1 3 A 及び 1 3 B と異なり、対応するメモリチップユニット 1 0 0 が設けられる領域とは独立な領域に配置される。具体的には、複数の電極 1 6 L 及び 1 6 U はそれぞれ、ストレージウェハ 1 0 の下面側の領域及び上面側の領域に配置される。そして、複数の電極 1 6 L は、対応する複数の電極 2 3 L 及び複数の配線 2 2 L を介して、電圧源と電氣的に接続するように構成される。複数の電極 1 6 U は、対応する複数の電極 2 3 U 及び複数の配線 2 2 U を介して、プローブカード 2 0 上の対応するメモリコントローラチップ 2 0 0 と電氣的に接続するように構成される。

[0131] 以上のような構成により、複数の電極 1 3 A に対応する複数の電極 1 6 L と、複数の電極 1 3 B に対応する複数の電極 1 6 U とを、互いに重複しない 2 つの領域にそれぞれ配置することができる。

[0132] 2. 3 第 2 実施形態に係る効果

第 2 実施形態によれば、絶縁体層 1 7 は、基板 1 1 の下面及び側面、並びに素子層 1 2 の上面及び側面を覆う。複数の電極 1 3 A は、絶縁体層 1 7 内に設けられた複数の配線 1 5 L を介して、複数の電極 1 6 L と電氣的に接続される。複数の電極 1 3 B は、絶縁体層 1 7 内に設けられた複数の配線 1 5 U を介して、複数の電極 1 6 U と電氣的に接続される。複数の電極 1 6 U はストレージウェハ 1 0 の上面上に設けられる。複数の電極 1 6 U に対応する複数の電極 2 3 U は、プローブカード 2 0 の下面上に設けられる。複数の電極 1 6 L はストレージウェハ 1 0 の下面上に設けられる。複数の電極 1 6 L に対応する複数の電極 2 3 L は、ウェハチャック 3 3 の上面上に設けられる。これにより、異なる圧力閾値を有する複数の電極 1 6 U と、複数の電極 1 6 L とを、互いに異なる面に分けて配置することができる。このため、複数の電極 1 6 U にかかる圧力と、複数の電極 1 6 L にかかる圧力とを、容易に異ならせることができる。加えて、ストレージウェハ 1 0 の片面に全ての電

極 1 6 を配置する場合よりも、電極 1 6 が配置される面の面積を 2 倍程度に大きくなる。このため、電極 1 6 の面積を更に大きくすることができ、タッチダウン処理の負荷を軽減することができる。

[0133] また、ウェハチャック 3 3 は、複数の電極 2 3 L を複数の電極 2 3 U と接触させつつ、絶縁体層 2 4 L によってストレージウェハ 1 0 を支持する。プローブカード 2 0 は、複数の電極 2 3 U を複数の電極 2 3 L と接触させつつ、絶縁体層 2 4 U によってストレージウェハ 1 0 を支持する。これにより、プローバ 6 は、ストレージウェハ 1 0 とウェハチャック 3 3 及びプローブカード 2 0 の各々との接触面積を大きくすることができる。このため、ストレージウェハ 1 0 が応力集中によって破損することを抑制できる。

[0134] 2. 4 第 2 実施形態の変形例

なお、上述の第 2 実施形態では、ウェハチャック 3 3 の上面上にピン形状を有する電極 2 3 L が設けられることによって、ストレージウェハ 1 0 の両面でプロービングする場合について説明したが、これに限られない。例えば、電極 2 3 L は、ピン形状でなくてもよい。すなわち、電極 2 3 L は、プロービング以外の方法でストレージウェハ 1 0 の下面側と電氣的に接続してもよい。

[0135] 図 2 2 は、第 2 実施形態の変形例に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。図 2 2 は、第 2 実施形態の図 2 0 に対応する。図 2 2 に示すように、ストレージウェハ 1 0 の構成については、第 2 実施形態と同等であるため、説明を省略する。また、プローブカード 2 0 の構成については、絶縁体層 2 4 U を有しない点を除いて第 2 実施形態と同等である。

[0136] ウェハチャック 3 3 内には、図示せぬ電圧源と、複数の電極 2 3 L とを電氣的に接続する複数の配線 2 2 L が設けられる。ウェハチャック 3 3 の上面上には、複数の電極 1 6 L に対応する位置に複数の電極 2 3 L が設けられる。複数の電極 2 3 L は、電圧供給用の電極である。複数の電極 2 3 L は、例えば、金属板である。

[0137] なお、図 2 2 の例では、複数の電極 2 3 L が金属板である場合について説明したが、これに限られない。例えば、複数の電極 2 3 L は、ボール構造を有していてもよい。また、複数の電極 2 3 L は、複数の電極 1 6 L をそれぞれ物理的に挟むようなクリップ構造を有していてもよい。複数の電極 2 3 L がクリップ構造を有する場合、複数の電極 1 6 L は、複数の電極 2 3 L が把持しやすいように、ストレージウェハ 1 0 の外縁に突出する形状であってもよい。

[0138] このような構成により、ストレージウェハ 1 0 は、より大きな面積でウェハチャック 3 3 と接触することができる。このため、ウェハチャック 3 3 の上面上に絶縁体層 2 4 L を設けることなく、電極 2 3 L 及び 1 6 L に生じる過荷重を抑制できる。したがって、電極 2 3 L 及び 1 6 L の破損を抑制するための製造負荷を軽減することができる。

[0139] 3. 第 3 実施形態

次に、第 3 実施形態について説明する。

[0140] 第 3 実施形態は、ストレージウェハ 1 0 の下面側の領域及び上面側の領域のいずれにも電極を配置する点においては、第 2 実施形態と同等である。しかしながら、第 3 実施形態は、基板 1 1 及び素子層 1 2 の内部に設けられた配線を用いて、ストレージウェハ 1 0 の下面側の領域の電極とメモリチップユニット 1 0 0 との間を電氣的に接続する点において、第 2 実施形態と異なる。以下の説明では、第 2 実施形態と同等の構成及び動作については説明を省略し、第 2 実施形態と異なる構成及び動作について主に説明する。

[0141] 3. 1 ストレージウェハ及びプローブカードの断面構造

図 2 3 は、第 3 実施形態に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。図 2 3 は、第 2 実施形態の図 2 0 に対応する。

[0142] 図 2 3 に示すように、ストレージウェハ 1 0 は、基板 1 1、素子層 1 2、複数の電極 1 3 U 及び 1 3 L、並びに複数の配線 1 8 を含む。プローブカード 2 0 は、複数のメモリコントローラチップ 2 0 0 に加え、基板 2 1、複数

の配線 2 2 U、複数の電極 2 3 U、及び絶縁体層 2 4 Uを含む。ウェハチャック 3 3 は、複数の配線 2 2 L、複数の電極 2 3 L、及び絶縁体層 2 4 Lを含む。

[0143] 基板 1 1 及び素子層 1 2 の構成については、第 2 実施形態と同等であるため、説明を省略する。

[0144] 素子層 1 2 の上面上には、複数の電極 1 3 U が設けられる。複数の電極 1 3 U の各々は、対応するメモリチップユニット 1 0 0 の直上に設けられる。複数の電極 1 3 U は、複数の電極 1 3 A 及び 1 3 B に対応する。複数の電極 1 3 U は、例えば、アルミニウム (A l) を含む。

[0145] 基板 1 1 の下面上には、複数の電極 1 3 L が設けられる。複数の電極 1 3 L は、対応するメモリチップユニット 1 0 0 が設けられる領域とは独立した領域に配置される。複数の電極 1 3 L は、複数の電極 1 3 A に対応する。複数の電極 1 3 L は、例えば、ニッケル (N i) 及び／又は金 (A u) を含む。

[0146] 素子層 1 2 及び基板 1 1 内において、複数の電極 1 3 U のうち複数の電極 1 3 A に対応する部分と、複数の電極 1 3 L とを電氣的に接続する複数の配線 1 8 が設けられる。図 2 3 の例では、図示される電極 1 3 U と、図示されない電極 1 3 L と、の間を電氣的に接続する配線 1 8 については、図示が省略される。複数の配線 1 8 は、例えば、銅 (C u) を含む。

[0147] プローブカード 2 0 及びウェハチャック 3 3 については、第 2 実施形態と同等の構成を有するため、説明を省略する。

[0148] なお、図 2 3 の例では、複数の電極 1 3 U は、複数の電極 1 3 A 及び 1 3 B に対応する場合について説明したが、これに限られない。例えば、複数の電極 1 3 U は、少なくとも複数の電極 1 3 B に対応する部分を含んでいればよく、必ずしも複数の電極 1 3 A に対応する部分を含まなくてもよい。複数の電極 1 3 U が複数の電極 1 3 A に対応する部分を含まない場合、複数の配線 1 8 は、複数の電極 1 3 L と、メモリチップユニット 1 0 0 内の回路との間を電氣的に接続すればよい。

[0149] 3. 2 ストレージウェハのレイアウト

次に、第3実施形態に係るストレージウェハのレイアウトについて説明する。図24は、第3実施形態に係るメモリチップユニットとメモリコントローラチップとの間の電氣的接続経路を示す模式図である。

[0150] 図24に示すように、複数の電極13Aは、素子層12及び基板11内を下方に延びる複数の配線18を介して、複数の電極13Lと電氣的に接続される。複数の電極13Lは、複数の電極13Uと異なり、対応するメモリチップユニット100が設けられる領域とは独立な領域に配置される。具体的には、複数の電極13Lは、ストレージウェハ10の下面側の領域に配置される。そして、複数の電極13Lは、対応する複数の電極23L及び複数の配線22Lを介して、電圧源と電氣的に接続するように構成される。複数の電極13Bに対応する複数の電極13Uは、対応する複数の電極23U及び複数の配線22Uを介して、プローブカード20上の対応するメモリコントローラチップ200と電氣的に接続するように構成される。

[0151] 以上のような構成により、複数の電極13Aに対応する複数の電極13Uと、複数の電極13Bに対応する複数の電極13Lとを、互いに重複しない2つの領域にそれぞれ配置することができる。

[0152] 3. 3 第3実施形態に係る効果

第3実施形態によれば、複数の電極13Uは、複数の電極13A及び13Bに対応する。複数の電極13Uのうち複数の電極13Bに対応する部分は、基板11及び素子層12内に設けられた複数の配線18を介して、複数の電極13Lと電氣的に接続される。複数の電極13Lはストレージウェハ10の下面上に設けられる。複数の電極13Lに対応する複数の電極23Lは、ウェハチャック33の上面上に設けられる。これにより、異なる圧力閾値を有する複数の電極13Uと、複数の電極13Lとを、互いに異なる面に分けて配置することができる。このため、複数の電極13Uにかかる圧力と、複数の電極13Lにかかる圧力とを、容易に異ならせることができる。加えて、ストレージウェハ10の片面に全ての電極13を配置する場合よりも、

電極 1 3 が配置される面の面積を 2 倍程度に大きくなる。このため、電極 1 3（特に、電極 1 3 L）の面積を更に大きくすることができ、タッチダウン処理の負荷を軽減することができる。

[0153] また、ウェハチャック 3 3 は、複数の電極 2 3 L を複数の電極 2 3 U と接触させつつ、絶縁体層 2 4 L によってストレージウェハ 1 0 を支持する。プローブカード 2 0 は、複数の電極 2 3 U を複数の電極 2 3 L と接触させつつ、絶縁体層 2 4 U によってストレージウェハ 1 0 を支持する。これにより、プローバ 6 は、ストレージウェハ 1 0 とウェハチャック 3 3 及びプローブカード 2 0 の各々との接触面積を大きくすることができる。このため、ストレージウェハ 1 0 が応力集中によって破損することを抑制できる。

[0154] また、複数の配線 1 8 は、基板 1 1 及び素子層 1 2 内に設けられる。これにより、複数の配線 1 8 は、基板 1 1 及び素子層 1 2 の製造工程中に形成することができる。このため、複数の配線 1 8 を基板 1 1 及び素子層 1 2 と異なる工程で形成する場合よりも製造工程を簡略化することができる。

[0155] 3. 4 第 3 実施形態の変形例

なお、上述の第 3 実施形態では、ウェハチャック 3 3 の上面上にピン形状を有する電極 2 3 L が設けられることによって、ストレージウェハ 1 0 の両面でプロービングする場合について説明したが、これに限られない。例えば、電極 2 3 L は、ピン形状でなくてもよい。すなわち、電極 2 3 L は、プロービング以外の方法でストレージウェハ 1 0 の下面側と電氣的に接続してもよい。

[0156] 図 2 5 は、第 3 実施形態の変形例に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。図 2 5 は、第 3 実施形態の図 2 3 に対応する。図 2 5 に示すように、ストレージウェハ 1 0 の構成については、第 3 実施形態と同等であるため、説明を省略する。また、プローブカード 2 0 の構成については、絶縁体層 2 4 U を有しない点を除いて第 3 実施形態と同等である。

[0157] ウェハチャック 3 3 内には、図示せぬ電圧源と、複数の電極 2 3 L とを電

氣的に接続する複数の配線 2 2 L が設けられる。ウェハチャック 3 3 の上面上には、複数の電極 1 6 L に対応する位置に複数の電極 2 3 L が設けられる。複数の電極 2 3 L は、電圧供給用の電極である。複数の電極 2 3 L は、例えば、金属板である。

[0158] なお、図 2 5 の例では、複数の電極 2 3 L が金属板である場合について説明したが、これに限られない。例えば、複数の電極 2 3 L は、ボール構造を有していてもよい。また、複数の電極 2 3 L は、複数の電極 1 6 L をそれぞれ物理的に挟むようなクリップ構造を有していてもよい。複数の電極 2 3 L がクリップ構造を有する場合、複数の電極 1 6 L は、複数の電極 2 3 L が把持しやすいように、ストレージウェハ 1 0 の外縁に突出する形状であってもよい。

[0159] このような構成により、ストレージウェハ 1 0 は、より大きな面積でウェハチャック 3 3 と接触することができる。このため、ウェハチャック 3 3 の上面上に絶縁体層 2 4 L を設けることなく、電極 2 3 L 及び 1 6 L に生じる過荷重を抑制できる。したがって、電極 2 3 L 及び 1 6 L の破損を抑制するための製造負荷を軽減することができる。

[0160] 4. 第 4 実施形態

次に、第 4 実施形態について説明する。

[0161] 第 4 実施形態では、プローブカード 2 0 が、ストレージウェハ 1 0 の熱を放熱させる機能を更に有する場合について説明する。以下の説明では、第 1 実施形態と同等の構成及び動作については説明を省略し、第 1 実施形態と異なる構成及び動作について主に説明する。

[0162] 4. 1 ストレージウェハ及びプローブカードの断面構造

図 2 6 は、第 4 実施形態に係るプローバに設置されたストレージウェハ及びプローブカードの構成の一例を示す断面図である。図 2 6 は、第 1 実施形態の図 5 に対応する。

[0163] 図 2 6 に示すように、ストレージウェハ 1 0 の構成については、第 1 実施形態と同等であるため、説明を省略する。プローブカード 2 0 は、複数のメ

モリコントローラチップ200に加え、基板21、複数の配線22U、複数の電極23U、及び放熱機構25を含む。基板21、複数の配線22、及び複数の電極23の構成については、第1実施形態と同等であるため、説明を省略する。放熱機構25は、複数の第1部分と、第2部分と、複数の第1部分及び第2部分を接続する第3部分と、を含む。

[0164] 放熱機構25の複数の第1部分は、基板21の下面上のうち、複数の電極16と干渉しない領域に設けられる。放熱機構25の複数の第1部分は、タッチダウン処理の際に、絶縁体層14と接触するように構成される。これにより、放熱機構25の複数の第1部分は、複数の電極23及び16への応力集中を分散させつつ、ストレージウェア10の熱を吸収することができる。放熱機構25の第1部分には、絶縁体のうち、熱伝導率の高い材料が適用されることが好ましい。

[0165] 放熱機構25の第3部分は、基板21内において、放熱機構25の複数の第1部分と接続される。放熱機構25の第3部分は、放熱機構25の複数の第1部分が吸収した熱を、放熱機構25の第2部分へと伝える機能を有する。放熱機構25の第3部分は、放熱機構25の複数の第1部分と同等かそれ以上の熱伝導率を有することが好ましい。放熱機構25の第3部分は、放熱機構25の複数の第1部分と同じ材料であってもよい。放熱機構25の第3部分は、金属のような導電体であってもよい。なお、放熱機構25の第3部分が導電体の場合、複数の配線22は、放熱機構25の第3部分との間には、図示せぬ絶縁体が設けられる。

[0166] 放熱機構25の第2部分は、基板21の側方において、放熱機構25の第3部分と接続される。放熱機構25の第2部分は、放熱機構25の第3部分からの熱を、プロブカード20の外部へと放出する機能を有する。具体的には、放熱機構25の第2部分は、表面積が大きくなるように複数のひだ状の構造を有していてもよい。また、例えば、放熱機構25の第2部分は、ヒートシンク、ヒートパイプ、ラジエータ、又はペルチェ素子であってもよい。放熱機構25の第2部分は、放熱機構25の第3部分と同等かそれ以上の

熱伝導率を有することが好ましい。放熱機構 25 の第 2 部分は、放熱機構 25 の複数の第 3 部分と同じ材料であってもよい。放熱機構 25 の第 2 部分は、金属のような導電体であってもよい。

[0167] 4. 2 第 4 実施形態に係る効果

第 4 実施形態に係る効果について、図 27 を参照して説明する。図 27 は、第 4 実施形態に係るストレージシステムにおける放熱動作の一例を示す模式図である。

[0168] ストレージウェア 10 内のメモリセルの書込み特性及び読出し特性は、温度に応じて変化し得る。このため、ストレージウェア 10 内に記憶されるデータの信頼性向上の観点から、ストレージウェア 10 の温度は、一定に保たれることが好ましい。加えて、温度変化に伴う膨張及び収縮による電極同士の位置ずれを防止する観点から、ストレージウェア 10 及びプローブカード 20 を含むシステム全体としての温度は、均一に保たれることが好ましい。

[0169] 第 4 実施形態によれば、プローブカード 20 は、放熱機構 25 を含む。放熱機構 25 は、基板 21 の下面上のうち、複数の電極 16 と干渉しない領域に設けられた複数の第 1 部分と、基板 21 の側方に設けられた第 2 部分と、基板 21 内に設けられた第 1 部分と第 2 部分とを接続する第 3 部分と、を含む。また、図 27 に示すように、放熱機構 25 の第 1 部分は、タッチダウン処理の際に、ストレージウェア 10 の上面と接するように構成される。これにより、ストレージウェア 10 において発生した熱を、ウェアチャック 33 を介して外部に放出しつつ、放熱機構 25 を介してプローブカード 20 の側方にも放出することができる。このため、稼働中のストレージウェア 10 の温度上昇を抑制するだけでなく、ストレージウェア 10 及びプローブカード 20 を含むシステム全体としての温度を均一に保つことができる。

[0170] 5. その他

なお、上述の第 1 実施形態乃至第 4 実施形態、並びに各種変形例では、駆動制御系 8 が、固定されたプローブカード 20 に対してストレージウェア 10 を移動させるように構成されている場合について説明したが、これに限ら

れない。例えば、駆動制御系8は、固定されたストレージウェハ10に対してプローブカード20を移動させるように構成されていてもよい。また、駆動制御系8は、ストレージウェハ10及びプローブカード20のいずれも移動させるように構成されていてもよい。

[0171] また、上述の第1実施形態乃至第4実施形態、並びに各種変形例では、メモリチップユニット100がNAND型フラッシュメモリである場合について説明したが、これに限られない。例えば、メモリチップユニット100は、NAND型フラッシュメモリ以外の不揮発性メモリであってもよい。例えば、メモリチップユニット100は、NOR型フラッシュメモリやEEPROM™ (Electrically Erasable Programmable Read Only Memory) であってもよい。

[0172] また、上述の第1実施形態乃至第4実施形態、並びに各種変形例では、プロバ6には、複数のメモリチップユニットを含むストレージウェハが設置される場合について説明したが、これに限られない。例えば、プロバ6には、各々がメモリ以外の機能を有する複数のチップユニットを含むウェハが設置されてもよい。

[0173] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 互いに重複しない第1領域及び第2領域を有する基板と、
各々が前記基板上に設けられた第1チップユニット及び第2チップユニットと、
各々が前記第1チップユニットと電氣的に接続された第1電極及び第2電極と、
各々が前記第2チップユニットと電氣的に接続された第3電極及び第4電極と、
を備え、
前記第1電極及び前記第3電極は、前記第1領域に配置され、
前記第2電極及び前記第4電極は、前記第2領域に配置され、
前記第1領域は、前記第1チップユニット及び前記第2チップユニットが設けられた領域と独立した領域である、
ウェハ。
- [請求項2] 前記第1電極と前記第1チップユニットとの間を電氣的に接続する第5電極と、
前記第2電極と前記第1チップユニットとの間を電氣的に接続する第6電極と、
前記第3電極と前記第2チップユニットとの間を電氣的に接続する第7電極と、
前記第4電極と前記第2チップユニットとの間を電氣的に接続する第8電極と、
を更に備えた、
請求項1記載のウェハ。
- [請求項3] 前記第1領域及び前記第2領域は、前記基板の第1面側から見た領域内にある、
請求項2記載のウェハ。
- [請求項4] 前記第1電極、前記第2電極、前記第3電極、及び前記第4電極と

、前記第 5 電極、前記第 6 電極、前記第 7 電極、及び前記第 8 電極との間に設けられた第 1 絶縁体層を更に備え、

前記第 1 絶縁体層は、ポリイミドを含む、
請求項 3 記載のウェハ。

[請求項 5]

前記第 1 領域は、前記基板の第 1 面側から見た領域内にあり、
前記第 2 領域は、前記基板の前記第 1 面と対向する第 2 面側から見た領域内にあり、
請求項 2 記載のウェハ。

[請求項 6]

前記第 1 電極及び前記第 3 電極と前記基板との間に設けられた第 1 部分と、前記第 2 電極及び前記第 4 電極と、前記第 5 電極、前記第 6 電極、前記第 7 電極、及び前記第 8 電極との間に設けられた第 2 部分と、前記基板の側面上に設けられ前記第 1 部分と前記第 2 部分とを接続する第 3 部分と、を含む第 2 絶縁体層を更に備え、
前記第 2 絶縁体層は、ポリイミドを含む、
請求項 5 記載のウェハ。

[請求項 7]

前記第 1 電極、前記第 2 電極、前記第 3 電極、及び前記第 4 電極は、導電性カーボン、導電性ゴム、又は水銀を含む、
請求項 1 記載のウェハ。

[請求項 8]

前記第 1 電極、前記第 2 電極、前記第 3 電極、及び前記第 4 電極は、平板構造、ワイヤ構造、ボール構造、バネ構造、又は多孔質構造を有する、
請求項 1 記載のウェハ。

[請求項 9]

前記第 1 電極及び前記第 3 電極は、電力が供給されるように構成され、
前記第 2 電極及び前記第 4 電極は、信号を通信するように構成される、
請求項 1 記載のウェハ。

[請求項 10]

ウェハを支持するように構成された支持体と、

第1領域に配置された第1電極と第2領域に配置された第2電極とを含み、前記支持体に支持された前記ウェハに対して前記支持体と反対側に位置するプローブカードと、

前記第1電極及び前記第2電極を、前記支持体に支持された前記ウェハに接触させるように構成されたトルク機構と、

前記第1領域における第1圧力と、前記第2領域における第2圧力を含む圧力分布を測定するように構成された圧力センサと、

制御部と、

を備え、

前記制御部は、前記支持体に支持された前記ウェハに前記第1電極及び前記第2電極を接触させる動作において、前記圧力分布に基づき、前記第1圧力及び前記第2圧力が互いに異なる圧力となるように前記トルク機構を駆動するように構成された、

プローバ。

[請求項11] 前記ウェハと前記プローブカードとの接触面において、前記第1領域は、前記第2領域の外側に位置し、

前記第1圧力は、前記第2圧力より高い、

請求項10記載のプローバ。

[請求項12] 前記第1領域に対応する第1緩衝材と、

前記第2領域に対応し、前記第1緩衝材と異なる第2緩衝材と、
を更に備えた、

請求項10記載のプローバ。

[請求項13] 前記第1緩衝材及び前記第2緩衝材は、多孔質構造又はバネ構造を有する、

請求項12記載のプローバ。

[請求項14] 前記第1緩衝材及び前記第2緩衝材は、前記支持体内に設けられた、

請求項12記載のプローバ。

- [請求項15] 前記第1緩衝材及び前記第2緩衝材は、前記プローブカード内に設けられた、
請求項12記載のプローバ。
- [請求項16] 前記第1緩衝材及び前記第2緩衝材は、前記プローブカードに対して前記支持体と反対側に設けられた、
請求項12記載のプローバ。
- [請求項17] 前記プローブカードの下面上のうち、前記第1電極及び前記第2電極を除く領域に設けられた第1部分と、前記プローブカードの側方に設けられた第2部分と、前記プローブカード内に設けられて前記第1部分と前記第2部分との間を接続する第3部分と、を含む放熱機構を更に備え、
前記放熱機構の前記第1部分は、前記第1電極及び前記第2電極と前記ウェハとを接触させる際に、前記ウェハに接触するように構成された、
請求項12記載のプローバ。
- [請求項18] 第1電極を含み、前記第1電極をウェハと接触させつつ前記ウェハを支持するように構成された支持体と、
第2電極を含み、前記支持体に支持された前記ウェハに対して前記支持体と反対側に位置するプローブカードと、
前記第2電極を、前記支持体に支持された前記ウェハに接触させるように構成されたトルク機構と、
を備えたプローバ。
- [請求項19] 前記第1電極及び前記第2電極は、ピン形状を有し、
前記支持体の上面上のうち前記第1電極を除く領域に設けられた第1絶縁体と、
前記プローブカードの下面上のうち前記第2電極を除く領域に設けられた第2絶縁体と、
を更に備えた、

請求項 18 記載のプローバ。

[請求項20] 前記第 1 電極は、平板構造、クリップ構造、又はボール構造を有する、
請求項 18 記載のプローバ。