

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)



(10) 国際公開番号

WO 2022/064548 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) *G11C 5/06* (2006.01)
- (21) 国際出願番号: PCT/JP2020/035698
- (22) 国際出願日: 2020年9月23日(23.09.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).
- (72) 発明者: 菅原 昭雄 (SUGAHARA, Akio); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 平嶋 康伯

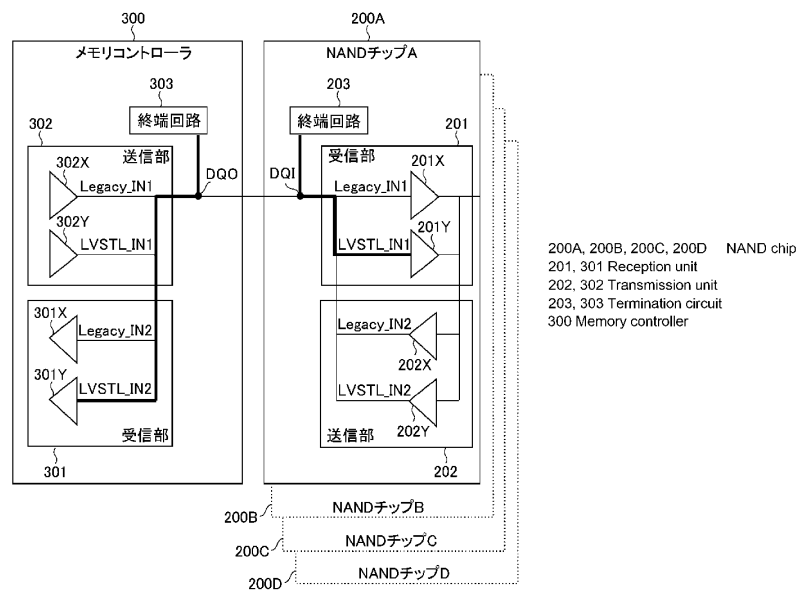
(HIRASHIMA, Yasuhiro); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 常盤 直哉(TOKIWA, Naoya); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

(74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND MEMORY SYSTEM

(54) 発明の名称: 半導体記憶装置及びメモリシステム



(57) Abstract: A semiconductor storage device of an embodiment comprises a first pin, a first receiving circuit, and a first termination circuit. The first pin receives a first signal and a second signal having an amplitude smaller than an amplitude of the first signal. The first receiving circuit is connected to the first pin, and outputs a third signal, on the basis of the comparison between the first signal and a first voltage. Further, the first receiving circuit outputs a fourth signal having an amplitude smaller than an amplitude of the third signal, on the basis of the comparison between the second signal and

[続葉有]

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

a second voltage. The first termination circuit is connected to the first pin, and is disabled when the first pin receives the first signal and enabled when the first pin receives the second signal.

(57) 要約: 実施形態の半導体記憶装置は、第1ピンと、第1受信回路と、第1終端回路とを備える。第1ピンは第1信号及び第1信号よりも小さい振幅を有する第2信号を受信する。第1受信回路は、第1ピンに接続され、第1信号と第1電圧との比較に基づいて、第3信号を出力する。また、第1受信回路は、第2信号と第2電圧との比較に基づいて、第3信号よりも小さい振幅を有する第4信号を出力する。第1終端回路は、第1ピンに接続され、第1ピンが第1信号を受信する場合はディセーブル状態になり、第2信号を受信する場合はイネーブル状態になる。