

PROCEDE DE FABRICATION D'UN CAPTEUR D'IMAGE

Domaine technique

L'invention concerne un procédé de fabrication d'un capteur d'image.

5

Etat de la technique

La fabrication d'un capteur d'image par intégration tridimensionnelle (3D) implique un empilement successif de différentes couches comprenant notamment des photodiodes définissant chacune un pixel du capteur d'image, des composants du circuit de lecture des pixels et des interconnexions entre lesdits composants et les pixels.

10

On pourra se référer par exemple à [Mansoorian 2009] pour la description d'un capteur d'image formé par intégration 3D.

La figure 1 est une vue schématique en coupe d'un capteur d'image.

Ledit capteur comprend successivement :

15

- un substrat de base 10,

- une couche active comprenant une pluralité de pixels 11 ; chaque pixel comprend une région dopée 12 adaptée pour collecter les charges électriques générées dans chaque pixel ; les pixels sont séparés les uns des autres par des tranchées électriquement isolantes 13,

20

- une ou des couches diélectriques ou électriquement isolantes 14, par exemple du nitrure de silicium ou de l'oxyde de silicium,

- une couche de silicium 22, qui comprend des composants 25 du circuit de lecture des pixels.

25

Des interconnexions 26 s'étendent au travers de la couche 14 pour relier électriquement les composants 25 et les pixels 11.

30

Toutefois, un procédé d'intégration 3D présente des contraintes importantes. Ainsi, dans une approche conventionnelle de collage et de consommation d'un substrat sacrificiel, le procédé supporte le coût de la consommation d'un tel substrat. Dans une approche comportant un transfert de couche, par exemple par le procédé SmartCut™, le budget thermique des étapes successives doit être contrôlé pour ne pas endommager les zones actives ou les composants précédemment formés. D'une façon générale, et suivant les références disponibles dans la littérature, un budget thermique trop élevé est susceptible d'engendrer une diffusion anormale des régions dopées configurées pour collecter les charges électriques photo-générées dans le pixel, ce qui peut affecter les performances dudit capteur. De même, des connexions métalliques entre des éléments du capteur sont susceptibles d'être endommagées par un budget thermique trop élevé.

35

Cependant, la mise en œuvre d'étapes à faible budget thermique peut être pénalisante notamment en termes de durée et/ou de coût du procédé.

Résumé de l'invention

Un but de l'invention est de concevoir un procédé de fabrication d'un capteur d'image selon une technologie d'intégration 3D, dont le contrôle d'épaisseur de la
5 couche reportée soit compatible avec un substrat de type FDSOI, qui soit rapidement industrialisable et peu onéreux tout en évitant la diffusion des dopants présents dans les régions de collecte des charges électriques et dans la couche dopée de silicium amorphe.

Un substrat SOI (acronyme du terme anglo-saxon « Semiconductor On
10 Insulator ») est un substrat comprenant une couche semi-conductrice, par exemple en silicium, sur un substrat, une couche électriquement isolante étant intercalée entre la couche semi-conductrice et le substrat. Dans un substrat FDSOI (acronyme du terme anglo-saxon « Fully Depleted Semiconductor On Insulator »), la couche semi-conductrice présente une épaisseur suffisamment fine pour permettre une déplétion
15 complète du canal de conduction d'un transistor formé dans ladite couche. Une telle couche présente typiquement une épaisseur de quelques dizaines de nanomètres.

A cet effet, l'invention propose un procédé de fabrication d'un capteur d'image, comprenant :

- la fourniture d'un substrat receveur comprenant un substrat de base et une
20 couche active comprenant des pixels, chaque pixel comprenant une région dopée de collecte des charges électriques générées dans le pixel, ledit substrat receveur étant dépourvu d'interconnexions métalliques,
- la fourniture d'un substrat donneur comprenant une zone de fragilisation délimitant une couche semi-conductrice monocristalline,
- 25 - le collage du substrat donneur sur le substrat receveur,
- le détachement du substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice sur le substrat receveur,
- la mise en œuvre d'un traitement de finition de la couche semi-conductrice transférée, ledit traitement de finition comprenant (i) un amincissement de la couche
30 transférée par oxydation sacrificielle suivie d'une gravure chimique et (ii) un lissage de la couche semi-conductrice transférée au moyen d'au moins un recuit rapide.

Par « recuit rapide », on entend dans le présent texte un traitement thermique présentant une montée en température à une vitesse supérieure à 10°C par seconde, de préférence de l'ordre de 50°C par seconde voire davantage.

35 Le fait que le substrat receveur comprenne uniquement des zones dopées mais aucune interconnexion métallique rend acceptable certains traitements thermiques permettant de lisser la couche semi-conductrice transférée, lesdits traitements thermiques devant toutefois présenter un budget thermique suffisamment modéré pour

ne pas engendrer de diffusion des dopants présents dans le substrat receveur. Un recuit rapide tel que mis en œuvre dans la présente invention répond à cette contrainte.

Par ailleurs, la gravure chimique contrôlée procure l'uniformité d'épaisseur requise pour l'application visée. Cette uniformité d'épaisseur est similaire à celle des substrats FDSOI, pour lesquels le critère d'uniformité peut s'exprimer, d'une part, par la variabilité de l'épaisseur de la couche transférée au sein d'un même substrat ou plaque, ladite variabilité intra-plaque étant typiquement inférieure ou égale à 10 Å, et, d'autre part, par la variabilité de l'épaisseur moyenne de la couche transférée entre différentes plaques, ladite variabilité de plaque à plaque étant typiquement de l'ordre de ± 2 Å au maximum.

De manière particulièrement avantageuse, chaque recuit rapide est contrôlé pour éviter une diffusion des dopants des régions dopées des pixels.

A cet effet, chaque recuit rapide peut être mis en œuvre à une température comprise entre 1100 et 1250°C pendant une durée comprise entre 15 et 60 s.

Dans certains modes de réalisation, l'oxydation sacrificielle et la gravure chimique sont contrôlées pour amincir la couche semi-conductrice monocristalline transférée jusqu'à une épaisseur comprise entre 10 et 100 nm.

La gravure chimique d'amincissement de la couche semi-conductrice monocristalline transférée peut être mise en œuvre au moyen d'une gravure humide, d'une gravure sèche par plasma, d'une gravure sèche par faisceau ionique, ou d'une gravure sèche par faisceau d'ions en agrégats.

Dans certains modes de réalisation, le procédé comprend en outre, après la finition de la couche semi-conductrice monocristalline transférée, la formation de composants d'un circuit de lecture des pixels dans ou sur ladite couche semi-conductrice transférée.

Dans certains modes de réalisation, le procédé comprend en outre, après la finition de la couche semi-conductrice monocristalline transférée, la formation d'interconnexions entre les pixels et lesdits composants du circuit de lecture des pixels.

Dans certains modes de réalisation, le procédé comprend la formation de la couche de fragilisation par implantation d'espèces atomiques dans le substrat donneur.

Dans certains modes de réalisation, le traitement de finition comprend successivement :

(i) un premier recuit rapide,

(ii) un retrait de défauts liés à l'implantation par oxydation sacrificielle de la couche transférée,

(iii) un second recuit rapide, et

(iv) l'amincissement de la couche transférée.

Dans certains modes de réalisation, le substrat donneur comprend en outre, sur la couche semi-conductrice monocristalline, une couche d'oxyde de silicium, préférentiellement déposée à partir d'orthosilicate de tétraéthyle (TEOS).

Le substrat donneur peut en outre comprendre une ou plusieurs couches
5 électriquement isolantes ou semi-conductrices (ou un empilement de ces deux types de couches) sur la couche d'oxyde de silicium. Dans le cas d'une couche semi-conductrice, celle-ci peut être cristalline ou amorphe, dopée (N+ ou P+) ou non dopée.

Dans certains modes de réalisation, la couche d'oxyde de silicium, respectivement la couche ou l'empilement de couches disposé sur la couche d'oxyde de silicium, est
10 déposée sur le substrat donneur avant l'implantation.

Dans certains modes de réalisation, le substrat receveur comprend en outre une ou plusieurs couches électriquement isolantes ou semi-conductrices (ou un empilement de ces deux types de couches) sur la couche active. Préférentiellement au moins une couche électriquement isolante est une couche d'oxyde de silicium et la couche semi-
15 conductrice peut être cristalline ou amorphe, dopée (N+ ou P+) ou non dopée.

De manière particulièrement avantageuse, chaque recuit rapide présente une vitesse de montée en température supérieure à 10°C par seconde, de préférence supérieure ou égale à 50°C par seconde.

De préférence, le lissage ne comprend aucun traitement thermique présentant une
20 vitesse de montée en température inférieure à 10°C par seconde.

Dans certains modes de réalisation, le lissage est mis en œuvre individuellement pour chaque structure comprenant la couche semi-conductrice et le substrat receveur.

Brève description des dessins

25 D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre, en référence aux dessins annexés, sur lesquels :

- la figure 1 est une vue schématique en coupe d'un capteur d'image ;

- la figure 2 est une vue schématique en coupe d'un substrat receveur et d'un substrat donneur utilisés dans un procédé de fabrication d'un capteur d'image selon un
30 mode de réalisation de l'invention ;

- la figure 3 est une vue schématique en coupe du substrat receveur et du substrat donneur de la figure 2 après détachement du substrat donneur selon la zone de fragilisation ;

- la figure 4 est une vue schématique en coupe du capteur d'image formé à partir
35 des substrats donneur et receveur de la figure 3, après finition de la couche semi-conductrice transférée et formation du circuit de lecture des pixels et des interconnexions ;

- la figure 5 est un profil SIMS de la concentration en phosphore au sein d'une structure SOI comprenant une couche dopée en phosphore à l'issue d'un recuit rapide tel que mis en œuvre dans la présente invention et d'un traitement thermique tel que mis en œuvre lors de la fabrication d'un substrat FDSOI.

5 Les signes de référence identiques d'une figure à l'autre désignent des éléments identiques ou remplissant une même fonction.

Pour des raisons de lisibilité des figures, les différents éléments n'ont pas nécessairement été représentés à l'échelle.

10 Description détaillée de modes de réalisation

L'invention propose de fabriquer un capteur d'image par transfert d'une couche mince d'un substrat donneur sur un substrat receveur.

Le substrat receveur comprend un substrat de base et une couche active comprenant une pluralité de pixels.

15 Le substrat de base est généralement un substrat semi-conducteur, par exemple de silicium. Ledit substrat de base a notamment une fonction de support mécanique du capteur d'image.

La couche active est une couche semi-conductrice monocristalline, par exemple de silicium ou de silicium-germanium.

20 Les pixels sont séparés les uns des autres par des tranchées électriquement isolantes. Ces tranchées sont connues sous l'acronyme DTI du terme anglo-saxon « Deep Trench Isolation » ou CDTI du terme anglo-saxon « Capacitor Deep Trench Isolation ».

25 Chaque pixel comprend une région dopée adaptée pour collecter les charges électriques générées dans chaque pixel.

De manière particulièrement avantageuse, le substrat receveur ne comprend aucune interconnexion métallique entre ses composants.

30 La fabrication d'un tel substrat receveur est à la portée de l'homme du métier. Le procédé de fabrication du substrat receveur ne sera donc pas décrit en détail dans le présent texte.

Le substrat donneur comprend une zone de fragilisation qui délimite une couche mince semi-conductrice monocristalline. Dans certains modes de réalisation, le substrat donneur peut être un substrat massif, constitué d'un seul matériau semi-conducteur monocristallin. De manière alternative, le substrat donneur peut être un substrat composite constitué d'au moins deux couches de matériaux différents, comprenant au moins une couche semi-conductrice monocristalline. La couche mince monocristalline peut être une couche de silicium, ou d'un autre matériau semi-conducteur.

La zone de fragilisation est avantageusement formée par implantation d'espèces atomiques, telles que de l'hydrogène et/ou de l'hélium, dans le substrat donneur. La détermination de la dose et de l'énergie d'implantation pour former la zone de fragilisation à une profondeur donnée du substrat donneur est à la portée de l'homme du métier. Pendant l'implantation, la surface du substrat donneur peut éventuellement être protégée par une couche diélectrique, telle qu'une couche d'oxyde de silicium (SiO₂). Ladite couche peut ensuite être retirée, par exemple par gravure sélective.

Le substrat donneur est ensuite collé sur le substrat receveur. Dans certains modes de réalisation, le collage peut être réalisé par l'intermédiaire d'une couche diélectrique, telle qu'une couche d'oxyde de silicium.

Une fracture du substrat donneur est initiée au niveau de la zone de fragilisation, conduisant au détachement du substrat donneur le long de la zone de fragilisation. A l'issue de ce détachement, la couche mince semi-conductrice a été transférée sur le substrat receveur.

Ce procédé est bien connu sous le nom de procédé Smart Cut™.

Le produit final comprenant le substrat receveur et la couche mince semi-conductrice sera qualifié de plaque (ou « wafer » en anglais) dans le présent texte.

La couche mince semi-conductrice transférée présentant une certaine rugosité, un traitement de finition est mis en œuvre sur la plaque afin de lisser ladite couche tout en assurant l'uniformité d'épaisseur requise.

Pour ne pas provoquer la diffusion des dopants de la couche active, l'ensemble de ce traitement de finition est mis en œuvre avec un budget thermique modéré, inférieur à celui mis en œuvre habituelle pour fabriquer des substrats FDSOI. Cependant, dans la mesure où le substrat receveur ne comprend pas de métal, il n'est pas nécessaire de recourir à un traitement à basse température, tel que décrit par exemple dans [Schwarzenbach 2019], qui présente l'inconvénient d'être long et complexe.

L'épaisseur cible pour la couche semi-conductrice transférée est comprise entre 10 nm et 100 nm, avec une variation maximale de $\pm 5 \text{ \AA}$ par rapport à la valeur cible, au sein de chaque plaque et entre les différentes plaques fabriquées par le procédé. Ce critère d'uniformité est généralement requis pour la fabrication des substrats FDSOI, mais ne peut pas être obtenu pour le capteur d'image visé avec le traitement habituel de finition des substrats FDSOI qui présente un budget thermique trop élevé. En effet, le traitement de finition des substrats FDSOI comprend typiquement un procédé dit « batch anneal », qui est un procédé de lissage long, à haute température, avantageusement réalisé dans un four permettant de traiter une pluralité de substrats en même temps (d'où le terme de « batch »). Un tel « batch anneal » est typiquement mis en œuvre à une température comprise entre 1150 et 1200°C, pendant une durée de plusieurs minutes, généralement supérieure à 15 minutes. De plus, la montée en température

dans le four est relativement lente, avec une rampe de l'ordre de quelques °C par minute, ce qui contribue à augmenter le budget thermique subi par le substrat. Ce lissage permet d'amener la couche semi-conductrice transférée à un niveau de rugosité de surface compatible avec la fabrication des transistors. Cependant, il a été démontré qu'un tel « batch anneal » avait pour effet de dégrader l'uniformité de l'épaisseur de la couche semi-conductrice transférée au sein d'une même plaque.

Concrètement, le traitement de finition mis en œuvre dans l'invention comprend d'une part un amincissement de la couche transférée par oxydation sacrificielle suivie d'une gravure chimique et d'autre part un lissage au moyen d'un ou de plusieurs recuit(s) rapide(s) qui procurent un budget thermique plus faible que celui d'un « batch anneal », ledit budget thermique étant adapté pour préserver l'intégrité des pixels.

En ce qui concerne l'amincissement, le traitement comprend tout d'abord une oxydation de la couche transférée de sorte à former une fine couche d'oxyde à la surface de ladite couche. Cet oxyde est de préférence formé par oxydation thermique du matériau de la couche semi-conductrice, lors de laquelle la couche semi-conductrice transférée est soumise à un traitement thermique dans une atmosphère oxydante comprenant de l'oxygène et/ou de la vapeur d'eau, qui a pour effet de consommer une partie superficielle de ladite couche. En ajustant les conditions de cette oxydation thermique (notamment sa durée, son atmosphère (sèche ou humide), sa pression et sa température), on peut ajuster l'épaisseur de la couche transférée consommée, et par conséquent la mesure dans laquelle ladite couche est amincie. Ladite oxydation est mise en œuvre à une température inférieure à 1000°C et préférentiellement inférieure ou égale à 950°C pour ne pas engendrer de diffusion des dopants au sein de la plaque. La durée de l'oxydation est choisie en fonction de l'épaisseur d'oxyde à former, qui dépend de l'épaisseur initiale de la couche transférée et de l'épaisseur cible de ladite couche. Une telle oxydation peut être mise en œuvre simultanément sur un ou plusieurs lots de plaques.

On effectue ensuite une mesure de l'épaisseur de la couche transférée recouverte de la couche d'oxyde en un certain nombre de points répartis sur la surface de la plaque. Ainsi, une mesure par ellipsométrie ou par réflectométrie fournit l'épaisseur de la couche semi-conductrice.

Pour définir le traitement à appliquer à la couche semi-conductrice transférée pour uniformiser son épaisseur, on utilise une cartographie d'épaisseur de ladite couche obtenue par ellipsométrie ou par réflectométrie. A partir des épaisseurs mesurées en différents points de la plaque, on peut également déterminer l'épaisseur moyenne de la couche semi-conductrice.

Cette cartographie d'épaisseur et/ou cette épaisseur moyenne permettent de déterminer une ou des régions de la couche transférée présentant des surépaisseurs

par rapport à une épaisseur cible et devant par conséquent faire l'objet d'un amincissement afin d'améliorer l'uniformité de l'épaisseur de la couche semi-conductrice transférée.

5 Selon les cas, on s'intéresse à l'uniformité dite « intra-plaque » (c'est-à-dire sur la surface d'une même structure, ladite structure se présentant généralement sous la forme d'une plaque circulaire) et/ou à l'uniformité dite « de plaque à plaque » (c'est-à-dire entre l'ensemble des structures appartenant à l'ensemble des lots de production).

10 Dans le cas de l'uniformité intra-plaque, on compare en chaque point l'épaisseur mesurée avec l'épaisseur cible du produit final souhaité, ladite épaisseur cible étant inférieure ou égale à l'épaisseur moyenne. Dans ce cas, la ou les régions à amincir sont donc la ou les régions dans lesquelles l'épaisseur de la couche semi-conductrice est supérieure à l'épaisseur cible, la ou les surépaisseurs correspondant à la différence entre l'épaisseur mesurée et l'épaisseur cible. Il s'agit donc là d'une ou de surépaisseurs « locales » de la plaque.

15 Dans le cas de l'uniformité de plaque à plaque, on compare la moyenne des épaisseurs de la couche semi-conductrice mesurées aux différents points de mesure avec une épaisseur moyenne cible. Dans ce cas, une plaque à amincir est une plaque pour laquelle l'épaisseur moyenne de la couche semi-conductrice est supérieure à l'épaisseur moyenne cible, la surépaisseur correspondant à la différence entre ces deux épaisseurs moyennes. Il s'agit donc là d'une surépaisseur « globale » de la plaque.

Naturellement, on peut combiner ces impératifs d'uniformité.

20 Pour amincir ces régions de manière localisée au sein d'une plaque et/ou amincir la plaque de manière globale, on met tout d'abord en œuvre une gravure sélective de la couche d'oxyde sacrificiel. On utilise à cet effet un agent de gravure adapté pour graver l'oxyde sacrificiel sans attaquer le matériau semi-conducteur de la couche. Typiquement, si la couche d'oxyde sacrificiel est en oxyde de silicium et la couche transférée en silicium, on utilise comme agent de gravure une solution d'acide fluorhydrique (HF). Naturellement, l'homme du métier pourra sélectionner tout autre agent de gravure approprié en fonction des matériaux respectifs de la couche d'oxyde sacrificiel et de la couche semi-conductrice.

30 Une fois la couche d'oxyde sacrificiel retirée, on met en œuvre une gravure chimique de la couche semi-conductrice elle-même.

Dans certains modes de réalisation, la gravure est une gravure humide, c'est-à-dire dans laquelle on expose la couche semi-conductrice transférée à une solution de gravure. L'exposition peut être réalisée par immersion de la plaque dans ladite solution, ou bien en projetant la solution de gravure sur la surface de la plaque au moyen d'une buse, ce qui permet de localiser la gravure à des régions devant être amincies par rapport à d'autres régions de la plaque.

Cette gravure peut être mise en œuvre à température ambiante, c'est-à-dire de l'ordre de 20 à 25°C, ou à une température plus élevée mais généralement inférieure à 80°C.

Dans d'autres modes de réalisation, la gravure peut être une gravure sèche par plasma, une gravure sèche par faisceau ionique (« Reactive Ion Etching » selon la terminologie anglo-saxonne), gravure sèche par faisceau d'ions en agrégats (GCIB, acronyme du terme anglo-saxon « Gas Cluster Ion Beam »). Ces étapes n'impliquent pas un budget thermique significatif.

Les paramètres de mise en œuvre de ces différents types de gravures permettent d'amincir la couche semi-conductrice transférée de manière globale et/ou localisée.

Un tel procédé d'amincissement / uniformisation d'un substrat FDSOI, qui permet de remédier à la dégradation de l'uniformité d'épaisseur de la couche semi-conductrice transférée engendrée par le lissage par « batch anneal », est décrit dans le brevet FR 2 991 099 au nom de la demanderesse.

En ce qui concerne le lissage, il est réalisé, dans la présente invention, au moyen d'un ou deux recuit(s) rapide(s) à haute température (RTA, acronyme du terme anglo-saxon Rapid Thermal Annealing). Chaque recuit est typiquement mis en œuvre à une température comprise entre 1100 et 1250°C pendant une durée comprise entre 15 et 60 s, qui permet une réorganisation des atomes à la surface de la couche semi-conductrice transférée et ainsi de la lisser. Par opposition au « batch anneal », chaque recuit rapide est mis en œuvre avec une montée en température rapide, de l'ordre de quelques dizaines de °C par seconde. Par ailleurs, alors qu'un « batch anneal » est mis en œuvre simultanément sur une pluralité de plaques, un recuit rapide est mis en œuvre individuellement sur chaque plaque.

Le budget thermique mis en œuvre lors de ce(s) recuit(s) est suffisamment faible pour éviter une diffusion des dopants au sein de la plaque.

De préférence, le procédé comprend deux recuits rapides, afin d'obtenir un état de surface optimal de la couche transférée.

Ainsi, contrairement au procédé connu de fabrication des substrats FDSOI, le lissage mis en œuvre dans la présente invention ne comprend aucun « batch anneal ». De manière plus générale, ledit lissage ne comprend aucun traitement thermique lent, c'est-à-dire présentant une vitesse de montée en température inférieure à 10°C par seconde. L'intégrité des pixels est donc préservée pendant le lissage.

Selon un mode de réalisation préféré, le procédé comprend deux étapes d'oxydation sacrificielle, mises en œuvre respectivement entre le premier et le second recuit rapide et après le second recuit rapide lorsque deux recuits rapides sont mis en œuvre. La première oxydation sacrificielle permet avantageusement de retirer les défauts liés à l'implantation de fragilisation en oxydant une région superficielle de la

couche transférée et en retirant ladite région oxydée, tandis que la seconde oxydation sacrificielle, qui est suivie d'une gravure chimique de la couche transférée, permet d'amincir uniformément la couche transférée à l'épaisseur cible. Les recuits rapides sont de préférence mis en œuvre avant l'amincissement de la couche transférée, afin de
5 préserver la stabilité de ladite couche. Il serait envisageable de s'affranchir du premier recuit rapide mais au prix d'une dégradation de la rugosité.

Après la finition de la couche semi-conductrice transférée, il est possible de fabriquer dans ou sur cette couche des composants du circuit de lecture des pixels.

Lesdits composants sont par ailleurs connectés électriquement aux pixels par des
10 interconnexions. Lesdites interconnexions peuvent être métalliques mais, dans la mesure où elles sont formées après le traitement de finition de la couche semi-conductrice transférée, elles ne risquent pas d'être endommagées par celui-ci.

Pour la réalisation du capteur d'image, il peut être utile d'intercaler une ou plusieurs couches additionnelles semi-conductrices et/ou électriquement isolantes entre
15 la couche active et la couche semi-conductrice comprenant les composants du circuit de lecture.

L'intégration de ces couches additionnelles dans le capteur d'image peut être réalisée de différentes manières.

Selon un mode de réalisation, lesdites couches additionnelles peuvent être
20 formées sur la couche active du substrat receveur, avant le collage du substrat donneur. Ces couches peuvent être formées par exemple par dépôt. Quel que soit le procédé de formation choisi, il n'implique pas un budget thermique susceptible de faire diffuser les dopants de la couche active.

Selon un autre mode de réalisation, au moins une desdites couches additionnelles
25 peut être formée par dépôt sur la couche active du substrat receveur et au moins une autre desdites couches additionnelles est formée par dépôt sur la couche semi-conductrice monocristalline du substrat donneur, avant le collage desdits substrats. Comme indiqué précédemment, le dépôt de chaque couche additionnelle sur la couche active du substrat receveur doit être réalisé avec un budget thermique suffisamment
30 faible pour ne pas générer de diffusion des dopants.

Selon encore un autre mode de réalisation, lesdites couches additionnelles sont formées sur le substrat donneur. De préférence, lesdites couches sont formées par dépôt avant l'implantation des espèces atomiques permettant de former la zone de fragilisation. Ainsi, le budget thermique de ces dépôts ne risque pas de provoquer une
35 fracture prématurée du substrat donneur le long de la zone de fragilisation. Si lesdites couches additionnelles sont déposées après la formation de la zone de fragilisation, le budget thermique appliqué devra être limité afin d'éviter une telle fracture prématurée.

La figure 2 est une vue en coupe schématique du substrat donneur et du substrat receveur avant leur collage dans une forme d'exécution de l'invention.

Le substrat receveur 1 comprend successivement :

- un substrat de base 10,
- 5 - une couche active comprenant une pluralité de pixels 11, chaque pixel comprenant une région dopée 12 adaptée pour collecter les charges électriques générées dans chaque pixel ; les pixels sont séparés les uns des autres par des tranchées électriquement isolantes 13,
- 10 - une première couche additionnelle 15, par exemple semi-conductrice, et
- une seconde couche additionnelle 16, par exemple électriquement isolante

Le substrat donneur 2 comprend une zone de fragilisation 200 délimitant une couche mince semi-conductrice 201.

Comme indiqué plus haut, la couche 16, et éventuellement la couche 15, pourraient être formées sur le substrat donneur 2 au lieu du substrat receveur 1. Dans
15 ce cas, chaque couche concernée est destinée à être transférée sur le substrat receveur avec la couche 201.

En référence à la figure 3, on colle le substrat donneur sur le substrat receveur, puis on détache le substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice 201 sur le substrat receveur 1.

20 Comme représenté schématiquement, la surface S de la couche 201 à l'issue du détachement est rugueuse.

On met donc en œuvre le traitement de finition décrit plus haut.

Une fois que la couche semi-conductrice monocristalline transférée a été amincie de manière uniforme à l'épaisseur cible, on forme dans ou sur ladite couche des
25 composants 25 du circuit de lecture (cf. figure 4). On forme également des interconnexions 26 entre les composants 25 et les pixels 11.

La figure 5 est un profil SIMS (acronyme du terme anglo-saxon « Secondary ion mass spectrometry », c'est-à-dire spectrométrie de masse aux ions secondaires) de la concentration en phosphore au sein d'une structure SOI comprenant successivement à
30 partir de sa surface une couche de silicium monocristallin non dopé de 42 nm d'épaisseur, une couche d'oxyde de silicium de 190 nm d'épaisseur, une couche de silicium dopée en phosphore s'étendant jusqu'à une profondeur de 3500 nm, et un substrat de base en silicium non intentionnellement dopé, à l'issue de deux recuits rapides à 1200°C pendant 30 secondes, tels que mis en œuvre dans la présente
35 invention (courbe a) et d'un traitement thermique (« batch anneal ») à 1200°C pendant 5 minutes, tel que mis en œuvre lors de la fabrication d'un substrat FDSOI (courbe b). L'axe des abscisses indique la profondeur (en nm) à partir de la surface de la structure SOI, l'axe des ordonnées indique la concentration en phosphore (en at/cm²).

La transition nette (pente sensiblement verticale) entre la couche dopée et le substrat de base visible sur la courbe a montre qu'il n'y a sensiblement pas eu de diffusion des dopants lors des recuits rapides. En revanche, la transition plus progressive visible sur la courbe b traduit un phénomène de diffusion des dopants de la

5 couche dopée vers le substrat de base.

Ces courbes montrent donc l'effet protecteur du(des) recuit(s) rapide(s) par rapport au traitement thermique classique vis-à-vis des régions dopées.

Références

10 [Mansoorian 2009] : Mansoorian, B., and D. Shaver, with Suntharalingam, V. et al., Lin Ping Ang. "A 4-side Tileable Back Illuminated 3D-integrated Mpixel CMOS Image Sensor." Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International. 2009. 38-39,39a.

[Schwarzenbach 2019] : W. Schwarzenbach et al, "Low Temperature SmartCut™

15 enables High Density 3D SoC Applications", Proc. ICICDT Conf., 17-19 June 2019

FR 2 991 099