

脑电信号采集和处理装置及方法

本申请要求于 2023 年 09 月 26 日提交中国国家知识产权局、申请号为 202311255915.2、申请名称为“脑电信号采集和处理装置及方法”的中国专利申请的
5 优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及信号处理技术领域，更具体涉及一种脑电信号采集和处理装置及方法。
10

背景技术

最主要的神经电生理信号包括在头皮表面采集到的 EEG (Electroencephalography, 脑电) 信号、EMG (Electromyography, 肌电) 信号、在大脑中采集到的局部场电位以及直接对应于神经活动的尖峰信号 (spike 信号)。这些信号都有着不同的特性，比如
15 说不同的幅度、频段，而采集它们的电极也有着很多不一样的性质，比如不一样的阻抗，不一样的电极极化电压也会形成不同的偏置等。

目前高精度模数转换器 (ADC) 的发展使得现在这些神经生理信号的采集一般都由模拟前端 (analog front-end) 芯片实现。很多高精度模拟前端 (或称为模拟集成前端) 芯片外部时钟的推荐时钟是 2.048Mhz，此时对应的采样率为 250Hz。

申请人在实现本申请的过程中发现，在一些应用中需要进行多种生理信号的同步采集 (如多通道同步采集) 和处理。例如，不仅要采集脑电信号，还需要采集 EDA (Electrodermal Activity, 皮肤电活动) 信号、PPG (Photo Plethysmo Graphy, 光电容积脉搏波) 信号、眼动、心率和/或 fNIRS (functional near-infrared spectroscopy, 功能性近红外光谱) 信号等生理信号。而对这些生理信号的采集通常采用的是 8Hz、16Hz、
20 64Hz、128Hz 或 256Hz 等的采样率，因此对这些信号的处理需要采用 256Hz 或 256Hz 的整数倍的采样率的数据处理单元 (主控芯片)。然而，256Hz 或 256Hz 的整数倍的采样率的主控芯片并不能与 250Hz 采样率的模拟前端芯片配合使用。这是因为，主控芯片 MCU 所需要的采样率为 256Hz 或 256Hz 的整数倍的采样率，当使用 250Hz 采样率的模拟前端芯片与所选的主控芯片配合采集时，只能实现 250Hz 以及 250Hz 的整数
25 倍的脑电信号的采样率，使得主控芯片难以进行数据处理。如果强制使用 256Hz 采样率进行采集，则会存在模拟前端芯片与主控单元时钟不匹配的现象，从而会出现生理信号数据采集异常的现象。因此，导致脑电信号不能与其他生理信号由同一主控芯片时钟同步地被处理。

因此，如何解决数据采集与数据处理的时钟不同步及协同处理，是一个亟待解决的问题。
30 35

申请内容

有鉴于此，本申请提出了一种脑电信号采集和处理装置以及分频电路，以实现模拟前端芯片与 256Hz 采样率的主控芯片的配合采集和时间同步。

本申请的一个方面，提供了一种脑电信号采集和处理装置，该装置包括：

模拟前端处理电路，包括模拟前端芯片，该模拟前端芯片用于以外部时钟的第一
5 时钟频率的时钟信号作为时钟输入，以与第一时钟频率相匹配的第一采样率进行脑电信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字信号传输至控制单元；其中，所述模拟前端芯片的默认采样率为与第一采样率不同的第二采样率；

分频电路，该分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟
10 的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号，其中 N 为 2 的偶数倍，且 $N=f_l/f_g$ ， f_l 表示所述第一时钟频率， f_g 表示所述目标时钟频率；以及

所述控制单元，用于以所述分频电路分频后得到的目标时钟频率的时钟信号作为时钟输入，对来自所述模拟前端芯片的脑电数字信号进行数据处理。

在本申请的一些实施例中，该装置还包括：供电电路，用于向所述模拟前端芯片
15 和主控芯片进行供电，所述供电电路包括主供电模块和分供电模块，所述主供电模块包括模拟电路供电电路和数字电路供电电路；所述模拟电路供电电路包括低压差稳压器，用于为所述脑电信号采集装置的模拟电路提供第一电压进行供电；所述数字电路供电电路包括降压电路，用于为所述脑电信号采集装置的数字电路提供第一电压进行供电；所述分电路模块从所述模拟电路供电电路提供的电压中分出第二电压为所述模
20 拟前端芯片供电。

在本申请一些实施例中，所述第一时钟频率的范围为 1.5M~2.25MHz，所述第一采样率为 F，满足： $F=f_l/2/k$ ，其中，k 选自 64，128，256，512，1024，2048 或 4096。

在本申请一些实施例中，所述第一时钟频率为 2.097MHz，N 为 64，所述第一采样率为 256Hz 或 256Hz 的倍数，所述目标时钟频率为 32.768KHz。

在本申请一些实施例中，所述分频电路包括：第一分频子电路，连接所述第一时
25 钟频率的外部时钟，用于将所述外部时钟的时钟晶振进行 M 倍分频，其中 M 为 2 的偶数倍；以及第二分频子电路，其用于将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍分频，以获得目标时钟频率的时钟信号，其中，L 为 2 的偶数倍且， $L=N/M$ 。

在本申请一些实施例中，所述分频电路包括：第一分频子电路，连接所述第一时
30 钟频率的外部时钟，用于将所述外部时钟的时钟晶振进行 4 倍分频；第二分频子电路，其用于将所述第一分频电路 4 倍分频后的信号进一步进行 4 倍分频；以及第三分频子电路，其用于将所述第二分频电路 4 倍分频后的信号进一步进行 4 倍分频，以获得 32.768KHz 的时钟信号。

在本申请一些实施例中，所述模拟前端处理电路还包括：静电防护电路，该静电
35 防护电路设置在脑电信号输入端，用于静电防护。

在本申请一些实施例中，所述模拟前端处理电路还包括：低通滤波电路，该低通滤波电路设置在脑电信号输入端，用于滤除高频电磁波和高频串扰。

在本申请一些实施例中，所述模拟前端芯片包括多通道脑电信号 MUX 切换模块，用于对脑电信号进行轮询采集。

在本申请一些实施例中，所述第一电压的范围为 1.8~3.6V，优选为 3.0V；所述第二电压表示为 AVDD：AVDD=AVDD+-AVDD-，其中，AVDD+、AVDD-分别表示模拟前端芯片高电压和低电压，AVDD 的范围为 4.75~5.25V。

本申请的另一方面，还提供了一种脑电信号采集和处理方法，该方法包括以下步骤：

由模拟前端芯片以外部时钟的第一时钟频率的时钟信号作为时钟输入，以与第一时钟频率相匹配的第一采样率进行脑电信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字信号传输至控制单元；其中，所述模拟前端芯片的默认采样率为与第一采样率不同的第二采样率；

通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号，其中 N 为 2 的偶数倍，且 $N=f_l/f_g$ ， f_l 表示所述第一时钟频率， f_g 表示所述目标时钟频率；以及

由所述控制单元以所述分频电路分频后得到的目标时钟频率的时钟信号作为时钟输入，对来自所述模拟前端芯片的脑电数字信号进行数据处理。

在本申请一些实施例中，所述通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号包括：连接第一时钟频率的外部时钟，将所述外部时钟的时钟晶振进行 M 倍分频，其中其中 M 为 2 的偶数倍；以及将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍分频，以获得所述目标时钟频率的时钟信号，其中，L 为 2 的偶数倍且， $L=N/M$ 。

在本申请一些实施例中，所述通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号包括：连接所述第一时钟频率的外部时钟，用于将外部时钟的时钟晶振进行第一次 4 倍分频；将第一次 4 倍分频后的信号进一步进行第二次 4 倍分频；以及将第二次 4 倍分频后的信号进一步进行第三次 4 倍分频，以获得所述目标时钟频率的时钟信号。

本申请的脑电信号采集和处理装置及方法，能够实现模拟前端芯片与主控芯片的配合采集，从而可以由选定的采样率（如 256Hz）的同一主控芯片实现对包括脑电信号在内的多种生理信号的同步处理，大大扩展了生理信号的应用场景。

本申请的附加优点、目的，以及特征将在下面的描述中将部分地加以阐述，且将对于本领域普通技术人员在研究下文后部分地变得明显，或者可以根据本申请的实践而获知。本申请的目的和其它优点可以通过在说明书以及附图中具体指出的结构实现到并获得。

本领域技术人员将会理解的是，能够用本申请实现的目的和优点不限于以上具体所述，并且根据以下详细说明将更清楚地理解本申请能够实现的上述和其他目的。

附图说明

此处所说明的附图用来提供对本申请的进一步理解，构成本申请的一部分，并不构成对本申请的限定。

- 图 1 为本申请一实施例中脑电信号采集和处理装置的示意图。
- 图 2 为本申请另一实施例中脑电信号采集和处理装置的示意图。
- 图 3 为外部时钟电路的示意图。
- 图 4 为本申请一实施例中分频电路的示意图。
- 5 图 5 为本申请一实施例中脑电信号采集和处理方法的流程示意图。
- 图 6 为本申请一实施例中模拟前端处理电路的结构示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚明白，下面结合实施方式和附图，
10 对本申请做进一步详细说明。在此，本申请的示意性实施方式及其说明用于解释本申请，但并不作为对本申请的限定。

在此，还需要说明的是，为了避免因不必要的细节而模糊了本申请，在附图中仅仅示出了与根据本申请的方案密切相关的结构和/或处理步骤，而省略了与本申请关系不大的其他细节。

15 应该强调，术语“包括/包含”在本文使用时指特征、要素、步骤或组件的存在，但并不排除一个或多个其它特征、要素、步骤或组件的存在或附加。

如前所述，当使用 250Hz 采样率的模拟前端芯片与 256Hz 采样率的主控芯片 (MCU) 配合采集时，只能实现 250Hz 以及 250Hz 的整数倍的脑电信号的采样率，使得主控芯片难以进行数据处理。如果模拟前端芯片强制使用 256Hz 采样率进行采集，则会存在
20 模拟前端芯片与主控单元时钟不匹配的现象，从而会出现生理信号数据采集异常的现象。因此，导致脑电信号不能与其他生理信号由同一主控芯片时钟同步地被处理。

此外，对于默认或固定的采样率为既不是 250Hz 或其倍数，也不是 256Hz 或其倍数的模拟前端芯片来说，要转换为采用 256Hz 的采样率进行采样，也存在同样的问题。

针对该技术问题，本申请提出了一种改进的脑电信号采集和处理装置，该装置通过
25 改变外部输入时钟将模拟集成前端固定的 250Hz 采样率（或不同于 256Hz 及其倍数的其他采样率）转换为自定义的 256Hz 采样率，能够实现模拟前端芯片与主控芯片的配合采集，从而可以由 256Hz 采样率的主控芯片实现对包括脑电信号在内的多种生理信号的同步处理，从而可以将多种生理信号用于被试生理状态的协同判别，大大扩展了生理信号的应用场景。

30 模拟前端芯片允许输入外部时钟，以 250Hz 采样率的一款模拟前端芯片为例，外部时钟允许的输入范围为 1.5MHz~2.25MHz，推荐的外部时钟输入为 2.048Mhz (250Hz 的采样率基于 (2.048MHz/2/4096) 得到)。在该允许的范围，本申请不采用推荐的外部时钟输入 2.048Mhz，而选择采用 2.097MHz 的时钟，2.097MHz 时钟是 32.768KHz 的整数倍，而 32.768KHz 正好是主控芯片的时钟，由此，将模拟前端芯片的外部输入时钟
35 修改为 2.097MHz，可以将固定采样率为 250Hz 的模拟集成前端，转变为采样率为 256Hz。但是，在通过将外部输入时钟改变为 2.097MHz 来实现模拟集成前端利用 256Hz 的采样率进行采样的同时，造成了一个缺陷，就是会出现由于频偏导致的模拟集成前端和主控芯片之间时钟不同步的问题，也即，模拟集成前端和主控芯片之间还会出现由于时钟不同步而导致时钟偏差。对此，本申请进一步地，为了消除时钟偏差，保证

模拟集成前端与主控芯片之间的时钟同步，不仅将 2.097MHz 作为模拟集成前端的时钟输入，还设计了分频电路，将 2.097MHz 进行 64 分频分出 32.768KHz，作为主控芯片的时钟输入，替换原本主控芯片的 32.768KHz 的时钟，从而实现时钟来源的统一，进而实现时钟同步。这样，可以在实现模拟集成前端采用 256Hz 采样率进行脑电信号采集的同时，达到模拟集成前端与主控芯片时钟同步的目的。

对于默认或固定的采样率为既不是 250Hz 或其倍数，也不是 256Hz 或其倍数的其他模拟前端芯片来说，本申请同样要转换为采用自定义的采样率（如 256Hz）进行采样，同样选择将模拟前端芯片的外部时钟的时钟频率由固定或默认的时钟频率变为与目标采样率相匹配的时钟频率，从而可以按照与外部输入的时钟频率相匹配的第一采样率进行脑电信号采集，得到脑电模拟信号。相应地，为了实现模拟集成前端与主控芯片时钟同步，利用分频电路将外部输入的时钟频率进行分频来得到与主控芯片一致的目标时钟频率并输入给主控芯片。

图 1 所示为本申请一实施例中脑电信号采集和处理装置的结构示意图，如图 1 所示，该脑电信号采集和处理装置包括：模拟前端处理电路、分频电路和主控芯片（MCU）。

模拟前端处理电路包括模拟前端芯片，该模拟前端芯片用于以外部时钟的第一时钟频率的时钟信号作为时钟输入，以与第一时钟频率相匹配的第一采样率进行脑电信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字信号传输至控制单元；其中，模拟前端芯片的默认采样率为与第一采样率不同的第二采样率。

在本申请实施例中，第一时钟频率 f_1 的范围为 1.5M~2.25MHz，与第一时钟频率相匹配的第一采样率 F 为： $F=f_1/2/k$ ，其中， k 选自 64，128，256，512，1024，2048 和 4096。作为示例，第一时钟频率为 2.097MHz，第一采样率为 256Hz 或 256Hz 的倍数，第二采样率为 250Hz 或 250Hz 的倍数。此时，模拟前端芯片用于以外部时钟的 2.097MHz 的时钟信号作为时钟输入，进行脑电信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字信号传输至控制单元（即主控芯片 MCU）。

分频电路连接第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号，其中 N 为 2 的偶数倍，且 $N=f_1/f_g$ ， f_1 表示第一时钟频率， f_g 表示目标时钟频率。

在第一时钟频率为 2.097MHz，第一采样率为 256Hz 或 256Hz 的倍数的情况下，目标时钟频率为 32.768KHz， N 为 64，此时，分频电路连接 2.097MHz 外部时钟，用于将 2.097MHz 的时钟晶振进行 64 倍分频，得到 32.768KHz 的时钟信号。

主控芯片 MCU 用于以所述分频电路分频后得到的目标时钟频率的时钟信号作为时钟输入，对来自模拟前端芯片的脑电数字信号进行数据处理。

在本申请另一些实施例中，脑电信号采集和处理装置还包括供电电路，用于向所述模拟前端芯片和主控芯片进行供电。

供电电路可提供第一电压的数字电路供电、第一电压和第二电压的模拟电路供电，用于分别向脑电信号采集和处理装置中包括模拟前端芯片和主控芯片在内的器件中的数字电路和模拟电路分别提供所需的电压。其中，所述第一电压的范围为 1.8~3.6V，优选为 3.0V；所述第二电压可表示为 $AVDD$ ： $AVDD=AVDD+-AVDD-$ ，其中 $AVDD+$ 、

AVDD-分别表示模拟前端芯片高电压和低电压，AVDD 的范围为 4.75~5.25V，优选为 5V。作为示例，供电电路可包括主供电模块和分供电模块。主供电模块包括电源管理芯片，电源管理芯片包括模拟电路供电电路和数字电路供电电路，其中模拟电路供电电路包括低压差稳压器（LDO），用于为脑电信号采集装置的模拟电路提供 3.0V 的供电电压；数字电路供电电路包括降压电路（BUCK 电路），用于为脑电信号采集装置的数字电路提供 3.0V 的供电电压。

分电路模块可从模拟电路供电电路提供的电压中分出土 2.5V 为模拟前端芯片提供 ±2.5V 的供电电压，即 AVDD+ 为 +2.5V，AVDD- 为 -2.5V。例如，提供的 3.0V 的模拟电路供电电压先通过升压输出 5V，5V 通过降压芯片输出 2.5V 的供电电压；通过将 5V 转换为 -5V，再通过 -5V 转换为 -2.5V 得到 -2.5V 的供电电压。

由于供电电路可以采用能够实现 3.0V 的数字电路供电、3.0V 和 ±2.5V 的模拟电路供电的现有电路实现，在此不再赘述。

在本申请一些实施例中，如图 6 所示，模拟前端处理电路除了包括模拟前端芯片之外，还可包括 ESD（Electrostatic Protection，静电防护）电路，该 ESD 电路设置在脑电信号输入端，用于每个采集通道的静电防护。设备在收到雷击浪涌与 ESD 静电放电或者其他瞬间电压时，可对电路进行一个防护效果，让设备免受瞬态雷击浪涌与 ESD 静电的损害。

在本申请一些实施例中，如图 6 所示，模拟前端处理电路还可包括低通滤波电路，该低通滤波电路设置在脑电信号输入端，用于：

（1）每个采集通道的滤除高频电磁波，当导线上有传导电流时，电流的频率越高，越容易行程辐射，从而产生较强对的辐射干扰。因此滤除这些高频噪声，会有效减小电缆辐射。

（2）每个采集通道的滤除高频串扰。导线或电缆之间，由于存在分布电容和互感，会产生互相得到串扰，这些干扰主要以高频为主，故而低通滤波可以去除这些干扰。

在本申请一些实施例中，模拟前端芯片内部包括：

多通道脑电信号 MUX 切换模块（如 8 通道或 16 通道等，本申请并不限于此）、可编程增益模块、模拟数字信号转换模块和右腿驱动模块（右腿驱动电路）等。

模拟前端芯片测量的脑电信号可以是 8 导脑电信号或 16 导脑电信号。8 导脑电信号或 16 导脑电信号进入模拟前端芯片之后，不是同时进行数据采集，而是通过 MUX 切换模块进行轮循采集数据，可编程增益模块可以对脑电信号进行 1 倍，2 倍，4 倍，6 倍，8 倍，12 倍或 24 倍等的放大，放大之后的模拟信号，经过模拟数字信号转换模块，将模拟信号转换为数字信号，然后通过 SPI 协议与主控芯片 MCU 通讯，将数字信号传送给 MCU。此外，右腿驱动模块用于减少共模干扰。脑电信号经放大之后，由可编程增益模块引出共模成分，再送入右腿驱动模块，再回流人体，由此来减少干扰。由于多通道脑电信号 MUX 切换模块、可编程增益模块、模拟数字信号转换模块和右腿驱动模块是现有模拟前端芯片内部的模块，在此不再赘述。

在本申请一些实施例中，所述分频电路可包括 2 个、3 个或更多个分频子电路。例如，分频电路可包括：

第一分频子电路，连接第一时钟频率的外部时钟，用于将外部时钟的时钟晶振进

行 M 倍分频，其中 M 为 2 的偶数倍；以及

第二分频子电路，其用于将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍分频，以获得目标时钟频率的时钟信号，其中，L 为 2 的偶数倍且， $L=N/M$ 。

在 $N=64$ 的情况下，在 64 倍分频电路包括 2 个分频子电路的情况下，该 64 分频电路可包括：

第一分频子电路，连接所述 2.097MHz 外部时钟，用于将 2.097MHz 的时钟晶振进行 M 倍分频，其中 M 为 2 的偶数倍，优选地，M 为 4、8 或 16。

第二分频子电路，其用于将第一分频电路 M 倍分频后的信号进一步进行 L 倍分频，以获得 32.768KHz 的时钟信号，其中， $L=64/M$ 。

也即，可以先对 2.097Mhz 晶振进行 16 倍分频，然后再对已经进行了 16 倍分频的基础上再进行 4 倍分频，一共实现 64 倍分频，最后输出 32.768KHz 作为 MCU 的输入时钟，该输入时钟为与模拟集成前端同源头的输入时钟；也可以先对 2.097Mhz 晶振进行 8 倍分频，然后再对已经进行了 8 倍分频的基础上再进行 8 倍分频，一共实现 64 倍分频，最后输出 32.768KHz 作为与模拟集成前端同源头的输入时钟；还可以先对 2.097Mhz 晶振进行 4 倍分频，然后再对已经进行了 4 倍分频的基础上再进行 16 倍分频，一共实现 64 倍分频，最后输出 32.768KHz 作为与模拟集成前端同源头的输入时钟。

在 64 倍分频电路包括 3 个分频子电路的情况下，该 64 分频电路可包括：

第一分频子电路，连接所述 2.097MHz 外部时钟，用于将 2.097MHz 的时钟晶振进行 4 倍分频；

第二分频子电路，其用于将所述第一分频电路 4 倍分频后的信号进一步进行 4 倍分频；以及

第三分频子电路，其用于将所述第二分频电路 4 倍分频后的信号进一步进行 4 倍分频，以获得 32.768KHz 的时钟信号。

也即，第一分频子电路、第二分频子电路和第三分频子电路为相同的 4 被分频电路。

在本申请的一些其他实施例中，也可以包含更多个分频子电路，分频倍数为 2~16 分频，在此不再一一列举。

图 3 所示为本申请一实施例中外时钟电路的示意图。图 4 为申请一实施例中分频电路的示意图。如图 3 所示，时钟电路 X1 的引脚 3 输出一个 2.097MHz 的时钟，一个方向输出给模拟前端芯片，作为模拟前端芯片的时钟源，另一个方向输出给第一分频子电路（芯片 U6，为 16 倍分频电路）的引脚 2，作为分频电路的主输入，然后经过芯片 U6 被 16 倍分频之后，从引脚 11 输出被 16 倍分频后的时钟，然后从第二分频子电路（芯片 U8，为 4 倍分频电路）的引脚 3 输入，通过芯片 U8 进行 4 倍分频之后，从引脚 11 输出想要的 32.768KHz 的时钟，将该时钟给到主控芯片 MCU，作为 MCU 的时钟信号，由此不仅实现了模拟前端芯片能够以 256Hz 进行脑电信号采集，还能够实现模拟前端芯片与主控芯片的时钟同步。

在本申请一些实施例中，主控芯片 MCU 选用的是集成蓝牙和有线为一体的芯片，模拟前端芯片的 ADC 将数据（数字信号）通过 SPI 协议传送至 MCU 后，MCU 对数

据进行处理，并进一步通过蓝牙协议或者有线传输方式，将处理后的数据传送至上位机。

主控芯片 MCU 主要包括：

指示灯电路控制模块，可用于控制充电指示灯和蓝牙指示灯等；

5 模拟集成前端 EEG 信号数据接收与处理模块，用于接收并处理来自模拟集成前端 EEG 数字信号；

电源电路控制模块，用于进行电量监测和充电检测，并进行相应的充电控制；

Lead off 切换控制（脱落检测控制）模块，用于多通道阻抗连接程度的轮循检测；

EEG 信号切换控制模块，用于多通道脑电信号的轮循检测；

10 两导 BIO 信号接收与处理模块，用于生理信号检测。

主控芯片 MCU 可以选用现有 MCU 芯片来实现，也可以采用自研的能够实现类似功能的芯片。

上述可知，本申请使用硬件的方式，可以将固定采样率为 250Hz 的模拟集成前端，转变为采样率为 256Hz，并通过分频电路解决改变采样率而导致的时钟不同步的问题，

15 从而可以由 256Hz 采样率的同一主控芯片实现对包括脑电信号在内的多种生理信号的同步处理，大大扩展了生理信号的应用场景。

与上述装置相应地，本申请还提供了一种脑电信号采集和处理方法，如图 5 所示，该方法包括以下步骤：

步骤 S110，由模拟前端芯片以外部时钟的第一时钟频率的时钟信号作为时钟输入，

20 以与第一时钟频率相匹配的第一采样率进行脑电信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字信号传输至控制单元；其中，所述模拟前端芯片的默认采样率为与第一采样率不同的第二采样率。

在前面的示例中，第一时钟频率为 2.097MHz，第一采样率为 256Hz 或 256Hz 的倍数，第二采样率为 250Hz。

25 步骤 S120，通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号，其中 N 为 2 的偶数倍，且 $N=f_1/f_g$ ， f_1 表示所述第一时钟频率， f_g 表示所述目标时钟频率。

在前面的示例中，目标时钟频率为 32.768KHz，N 为 64。

30 步骤 S130，由所述控制单元以所述分频电路分频后得到的目标时钟频率的时钟信号作为时钟输入，对来自所述模拟前端芯片的脑电数字信号进行数据处理。

作为一示例，所述通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号包括：连接第一时钟频率的外部时钟，将所述外部时钟的时钟晶振进行 M 倍分频，其中其中 M 为 2 的偶数倍；以及将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍分频，

35 以获得 32.768KHz 的时钟信号，其中，L 为 2 的偶数倍且， $L=N/M$ 。

作为另一示例，在第一时钟频率为 2.097MHz，N 为 64，所述第一采样率为 256Hz 或 256Hz 的倍数，目标时钟频率为 32.768KHz 的情况下，所述通过分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号包括：连接 2.097MHz 外部时钟，用于将 2.097MHz

的时钟晶振进行第一次 4 倍分频；将第一次 4 倍分频后的信号进一步进行第二次 4 倍分频；以及将第二次 4 倍分频后的信号进一步进行第三次 4 倍分频，以获得 32.768KHz 的时钟信号。

5 本领域普通技术人员应该可以明白，结合本文中所公开的实施方式描述的各示例性的组成部分、系统和方法，能够以硬件、软件或者二者的结合来实现。具体究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。当以硬件方式实现时，其可以例如是电子电路、专用集成电路（ASIC）、适当的固件、插件、功能卡等等。当以软件方式实现时，本申请的元素是
10 被用于执行所需任务的程序或者代码段。程序或者代码段可以存储在机器可读介质中，或者通过载波中携带的数据信号在传输介质或者通信链路上传送。

需要明确的是，本申请并不局限于上文所描述并在图中示出的特定配置和处理。为了简明起见，这里省略了对已知方法的详细描述。在上述实施例中，描述和示出了若干具体的步骤作为示例。但是，本申请的方法过程并不限于所描述和示出的具体步骤，本领域的技术人员可以在领会本申请的精神后，作出各种改变、修改和添加，或者改变步骤之间的顺序。

本申请中，针对一个实施方式描述和/或例示的特征，可以在一个或更多个其它实施方式中以相同方式或以类似方式使用，和/或与其他实施方式的特征相结合或代替其他实施方式的特征。

20 以上所述仅为本申请的优选实施例，并不用于限制本申请，对于本领域的技术人员来说，本申请实施例可以有各种更改和变化。凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1. 一种脑电信号采集和处理装置，其特征在于，该装置包括：
模拟前端处理电路，包括模拟前端芯片，该模拟前端芯片用于以外部时钟的第一
时钟频率的时钟信号作为时钟输入，以与第一时钟频率相匹配的第一采样率进行脑电
5 信号采集，得到脑电模拟信号，将脑电模拟信号转换为脑电数字信号，并将脑电数字
信号传输至控制单元；其中，所述模拟前端芯片的默认采样率为与第一采样率不同的
第二采样率；
分频电路，该分频电路连接所述第一时钟频率的外部时钟，用于将所述外部时钟
的的时钟晶振进行 N 倍分频，得到时钟频率为目标时钟频率的时钟信号，其中 N 为 2
10 的偶数倍，且 $N=f_l/f_g$ ， f_l 表示所述第一时钟频率， f_g 表示所述目标时钟频率；以及
所述控制单元，用于以所述分频电路分频后得到的目标时钟频率的时钟信号作为
时钟输入，对来自所述模拟前端芯片的脑电数字信号进行数据处理。
2. 根据权利要求 1 所述的装置，其特征在于，该装置还包括：
供电电路，用于向所述模拟前端芯片和主控芯片进行供电，所述供电电路包括主
15 供电模块和分供电模块，所述主供电模块包括模拟电路供电电路和数字电路供电电路；
所述模拟电路供电电路包括低压差稳压器，用于为所述脑电信号采集装置的模拟电路
提供第一电压进行供电；所述数字电路供电电路包括降压电路，用于为所述脑电信号
采集装置的数字电路提供第一电压进行供电；
所述分电路模块从所述模拟电路供电电路提供的第一电压中分出第二电压为所述
20 模拟前端芯片供电。
3. 根据权利要求 1 所述的装置，其特征在于，所述第一时钟频率的范围为
 $1.5\text{M}\sim 2.25\text{MHz}$ ，所述第一采样率为 F，满足： $F=f_l/2/k$ ，其中，k 选自 64，128，256，
512，1024，2048 或 4096。
4. 根据权利要求 1 至 3 中任意一项所述的装置，其特征在于，所述分频电路包括：
25 第一分频子电路，连接所述第一时钟频率的外部时钟，用于将所述外部时钟的时
钟晶振进行 M 倍分频，其中 M 为 2 的偶数倍；以及
第二分频子电路，其用于将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍
分频，以获得目标时钟频率的时钟信号，其中，L 为 2 的偶数倍且， $L=N/M$ 。
5. 根据权利要求 3 所述的装置，其特征在于，N 为 64，所述分频电路包括：
30 第一分频子电路，连接所述第一时钟频率的外部时钟，用于将所述外部时钟的时
钟晶振进行 4 倍分频；
第二分频子电路，其用于将所述第一分频电路 4 倍分频后的信号进一步进行 4 倍
分频；以及
第三分频子电路，其用于将所述第二分频电路 4 倍分频后的信号进一步进行 4 倍
35 分频，以获得目标时钟频率的时钟信号。
6. 根据权利要求 1 所述的装置，其特征在于，所述模拟前端处理电路还包括：
静电防护电路，该静电防护电路设置在脑电信号输入端，用于静电防护；以及
低通滤波电路，该低通滤波电路设置在脑电信号输入端，用于滤除高频电磁波和
高频串扰。

7. 根据权利要求 2 所述的装置, 其特征在于, 所述模拟前端芯片包括多通道脑电信号 MUX 切换模块, 用于对脑电信号进行轮询采集;

所述第一电压的范围为 1.8~3.6V;

所述第二电压表示为 AVDD: $AVDD=AVDD+-AVDD-$, 其中 AVDD+、AVDD- 分别表示模拟前端芯片高电压和低电压, AVDD 的范围为 4.75~5.25V。

8. 一种脑电信号采集和处理方法, 其特征在于, 该方法包括以下步骤:

由模拟前端芯片以外部时钟的第一时钟频率的时钟信号作为时钟输入, 以与第一时钟频率相匹配的第一采样率进行脑电信号采集, 得到脑电模拟信号, 将脑电模拟信号转换为脑电数字信号, 并将脑电数字信号传输至控制单元; 其中, 所述模拟前端芯片的默认采样率为与第一采样率不同的第二采样率;

通过分频电路连接所述第一时钟频率的外部时钟, 用于将所述外部时钟的的时钟晶振进行 N 倍分频, 得到时钟频率为目标时钟频率的时钟信号, 其中 N 为 2 的偶数倍, 且 $N=f_l/f_g$, f_l 表示所述第一时钟频率, f_g 表示所述目标时钟频率; 以及

由所述控制单元以所述分频电路分频后得到的目标时钟频率的时钟信号作为时钟输入, 对来自所述模拟前端芯片的脑电数字信号进行数据处理。

9. 根据权利要求 8 所述的方法, 其特征在于, 所述通过分频电路连接所述第一时钟频率的外部时钟, 用于将所述外部时钟的的时钟晶振进行 N 倍分频, 得到时钟频率为目标时钟频率的时钟信号包括:

连接第一时钟频率的外部时钟, 将所述外部时钟的时钟晶振进行 M 倍分频, 其中 M 为 2 的偶数倍; 以及

将所述第一分频电路 M 倍分频后的信号进一步进行 L 倍分频, 以获得所述目标时钟频率的时钟信号, 其中, L 为 2 的偶数倍且, $L=N/M$ 。

10. 根据权利要求 8 所述的方法, 其特征在于, 所述第一时钟频率的范围为 1.5M~2.25MHz, N 为 64, 所述第一采样率为 F, 满足: $F=f_l/2/k$, 其中, k 选自 64, 128, 256, 512, 1024, 2048 或 4096;

通过分频电路连接所述第一时钟频率的外部时钟, 用于将所述外部时钟的的时钟晶振进行 N 倍分频, 得到时钟频率为目标时钟频率的时钟信号包括:

连接所述第一时钟频率的外部时钟, 用于将外部时钟的时钟晶振进行第一次 4 倍分频;

将第一次 4 倍分频后的信号进一步进行第二次 4 倍分频; 以及

将第二次 4 倍分频后的信号进一步进行第三次 4 倍分频, 以获得所述目标时钟频率的时钟信号。