

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2022/151817 A1

(43) 国际公布日
2022 年 7 月 21 日 (21.07.2022)

(51) 国际专利分类号:
G06F 9/302 (2006.01) **G06F 9/30** (2006.01)

(21) 国际申请号: PCT/CN2021/129450

(22) 国际申请日: 2021 年 11 月 9 日 (09.11.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110062056.X 2021 年 1 月 18 日 (18.01.2021) CN

(71) 申请人: 广东赛昉科技有限公司 (GUANGDONG STARFIVE TECH LTD.) [CN/CN]; 中国广东省佛山市顺德区大良街道云路社区昊阳路 2 号 A 区 S201 室, Guangdong 528399 (CN)。

(72) 发明人: 刘权胜 (LIU, Quansheng); 中国广东省佛山市顺德区大良街道云路社区昊阳路 2 号 A 区 S201 室, Guangdong 528399 (CN)。余红斌 (YU, Hongbin); 中国广东省佛山市顺德区大良街道云路社区昊阳路 2 号 A 区 S201 室, Guangdong 528399 (CN)。刘磊 (LIU, Lei); 中国广东省佛山市顺德区大良街道云路社区昊阳路 2 号 A 区 S201 室, Guangdong 528399 (CN)。

(74) 代理人: 上海汉盛律师事务所 (SHANGHAI HANSHENG LAW OFFICES); 中国上海市浦东新区杨高南路 729 号陆家嘴世纪金融广场 1 号楼 2201 室研发部, Shanghai 200127 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: METHOD AND SYSTEM FOR IMPLEMENTING REMAINDER INSTRUCTION OF RISC-V INSTRUCTION SET

(54) 发明名称: 一种 RISC-V 指令集余数指令的实现方法及系统

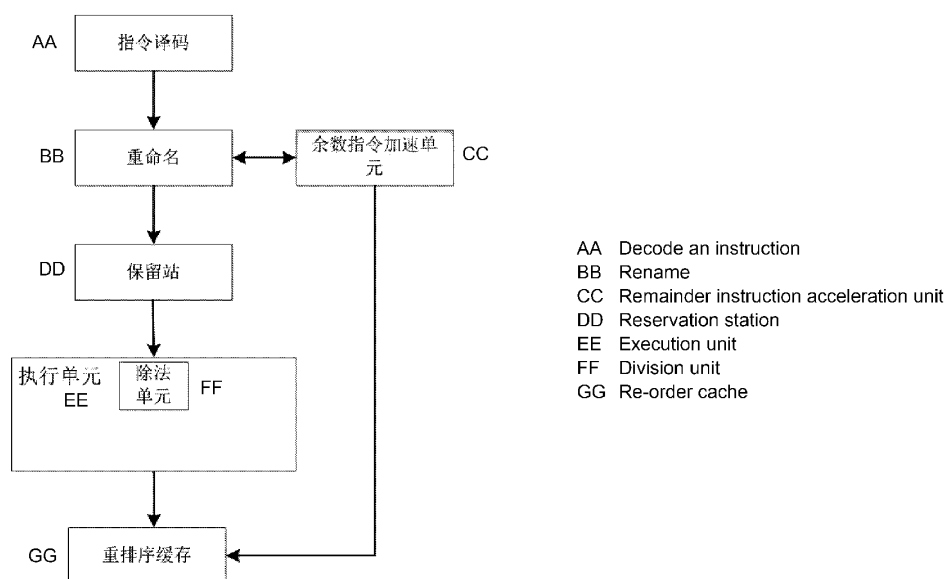


图 1

(57) Abstract: A method and system for implementing a remainder instruction of an RISC-V instruction set. The method comprises: performing out-of-order execution on a CPU, and an instruction entering an instruction decoding unit from an instruction fetch unit, so as to decode the instruction; performing renaming of a destination register on the decoded instruction at a renaming unit, and also optimizing a remainder instruction; if the remainder instruction does not meet an optimization condition, the renamed instruction entering a reservation station and then entering an execution unit for execution; and submitting the executed instruction by means of a re-order

[见续页]

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

cache, and releasing a division instruction coding cache resource allocated in a renaming stage. In a renaming stage, the function of a remainder instruction is implemented by means of adding a remainder instruction acceleration unit, and when a division instruction and the remainder instruction appear in a pair, a destination register of the remainder instruction is mapped to a physical register where the division instruction writes a remainder, such that a remainder produced by the division instruction is fetched. The execution efficiency of the remainder instruction is high.

(57) 摘要: 一种RISC-V指令集余数指令的实现方法及系统, 方法包括: 对CPU乱序执行, 指令从取指单元进入指令译码单元, 进行指令译码; 译码完成后的指令在重命名单元进行目的寄存器的重命名, 同时对余数指令进行优化; 若余数指令不满足优化条件时, 重命名之后的指令进入保留站后, 进入执行单元执行; 执行完成后的指令通过重排序缓存提交, 并释放在重命名阶段分配的除法指令编码缓存资源。在重命名阶段通过增加余数指令加速单元实现余数指令的功能, 当除法和余数指令配对出现时, 通过余数指令的目的寄存器映射到除法指令写余数的物理寄存器, 取到除法指令产生的余数, 余数指令执行效率高。