발명의 설명

발명의 명칭: 식각 조성물 및 이를 이용한 반도체 소자의 제조방법

기술분야

[1] 본 발명은 식각 조성물 및 이를 이용한 반도체 소자의 제조 방법에 관한 것으로, 특히 질화막을 식각하기 위한 식각 조성물 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

[2]

배경기술

[3] 최근 정보 통신 장치의 다기능화에 따라 메모리 소자를 포함하는 반도체 소자의 대용량화 및 고집적화가 요구되고 있다. 고집적화를 위한 메모리 셀크기의 축소에 따라, 메모리 소자의 동작 및 전기적 연결을 위해 메모리 소자에 포함되는 동작 회로들 및 배선 구조도 복잡해지고 있다. 고도로 다운-스케일링(downscaling)된 반도체 소자의 제조 공정에서 대표적인 절연막인 산화막 및 질화막이 각각 단독으로, 또는 교대로 적층되어 사용될 수 있으며, 복잡하고 미세화된 구조, 예를 들면 3 차원 구조의 전자 소자를 구성하기 위하여 다양한 형상의 패턴으로 이루어지는 질화막의 선택적 식각 공정이 요구될 수 있다. 특히, 질화막의 식각 공정중에 불필요한 파티클 발생 또는 산화막 표면에서 부산물들이 원하지 않게 이상 성장되는 현상 등과 같은 문제점을 야기하지 않으면서 질화막의 충분한 식각 선택비를 확보할 수 있는 식각 조성물이 요구된다.

[4] 집적회로(반도체) 소자에 있어서, 실리콘 산화막(SiO2) 등의 산화막과 실리콘 질화막(SiNx) 등의 질화막은 대표적인 절연막으로 각각 단독, 또는 1층 이상의 막들이 교대로 적층된 구조를 갖는다. 이러한 산화막과 질화막은 금속 배선 등의 도전성 패턴을 형성하기 위한 하드마스크로도 이용된다.

[5] 상기 질화막을 제거하기 위한 습식 식각 공정에서는 일반적으로 인산(phosphoric acid)과 탈이온수(deionized water)가 혼합된 식각 조성물이 사용되고 있다. 이때, 상기 탈이온수는 식각율 감소 및 산화막에 대한 식각선택성의 변화를 방지하기 위해 첨가되고 있으나, 습식 식각 공정을 통한 질화막 제거시 탈이온수 양의 미세한 변화에 의해 불량이 발생하고, 이로 인해 질화막을 요구되는 수준으로 식각하는데 한계가 있다는 문제가 있었다.

[6] 또한, 최근 로직(logic) 반도체의 경우, 수평방식에서 집적도를 끌어올리기 위해 수직구조로 3차원 적층 구조의 소자를 형성하는 것이 주목받고 있는 상황이며, 이 경우, 실리콘-게르마늄(Ge) 과 같이, 게르마늄 함유막을 포함하고 있다.

[7] 따라서, 로직 반도체의 식각 공정의 경우, 공정조건 내에서 게르마늄 함유막의 식각 속도는 낮게 유지하면서, 실리콘 질화막의 식각 속도는 높이는 식각 조성물이 요구되는 상황이며, 특히 식각 공정은 130℃ 내지 170℃ 범위의 고온에서 공정을 수행하는 경우가 있는데, 이 경우에도 게르마늄 함유막 대비 질화막의 높은

식각 선택비를 가지기 위해서는, 소정 범위의 첨가 물질의 선정이 매우 중요한 과제로 연구가 지속되고 있다.

[8] 또한, 질화막 식각액에 첨가물질이 포함되는 경우, 식각액 자체에 H_2 등의 기체의 의한 버블(Bubble)이 발생하여 실리콘 웨이퍼 표면에 흡착하여 질화막의 선택적 식각을 방해하는 부작용이 발생하는 등 문제가 있었으나, 이를 해결하기 위한 부가적인 수단에 대한 필요가 존재하였다.

[9]

발명의 내용

기술적 과제

[10] 본 발명은 전술한 문제를 해결하고자 안출된 것으로서, 본 발명의 일 실시예는 식각액의 버블이 발생하는 것 등과 같은 문제점을 야기하지 않으면서 게르마늄 함유막 대비 질화막의 충분한 식각 선택비를 확보할 수 있는 식각 조성물을 제공한다.

[11] 또한, 본 발명의 다른 일 실시예는 복잡하고 미세화된, 특히 3차원 적층 구조를 가지는 전자 소자를 구현하기 위한 다양한 형상의 질화막을 식각하는 동안 소정의 온도 범위에서 최적화된 게르마늄 함유막 대비 질화막의 충분한 식각 선택비를 확보하여, 질화막 식각 공정의 안정성 및 신뢰성을 확보할 수 있고, 반도체 소자 제조 공정의 생산성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공한다.

[12] 또한, 본 발명의 다른 일 실시예는 집적회로 소자의 제조방법을 제공한다.

[13] 또한, 본 발명의 다른 일 실시예는 집적회로 소자를 제공한다.

[14] 본 발명이 이루고자 하는 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

[15]

과제 해결 수단

[16] 전술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 측면은,

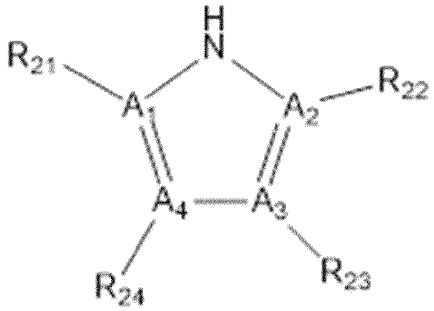
[17] 무기산; 제1 식각 억제제; 및 잔량의 용매를 포함하고, 상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로환 구조를 포함하는, 식각 조성물을 제공한다.

[18] 제2 식각 억제제;를 더 포함하고, 상기 제1 식각 억제제는 게르마늄 함유막의 식각을 억제하고, 상기 제2 식각 억제제는 실리콘 산화막의 식각을 억제할 수 있다.

[19] 상기 제1 식각 억제제는 하기 화학식 1 또는 화학식 2로 표시될 수 있다.

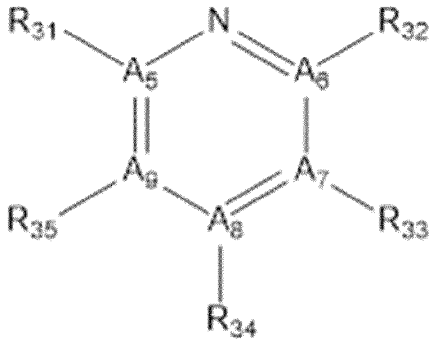
[20] [화학식 1]

[21]



[22] [화학식 2]

[23]



[24] 상기 화학식 1 또는 화학식 2에서, 상기 A_1 내지 A_9는 각각 독립적으로 탄소 또는 질소이고, 상기 R_{21} 내지 R_{24} 및 R_{31} 내지 R_{35}는 각각 독립적으로 수소, 할로겐, 아미노기, 아미드기, 히드록시기, 싸이올기(-SH 또는 =S), $-NO_2$, $-NHCOR_{41}$(R_{41}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{42}$(R_{42}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-OCOR_{43}$(R_{43}은 탄소수 1 내지 10의 치환

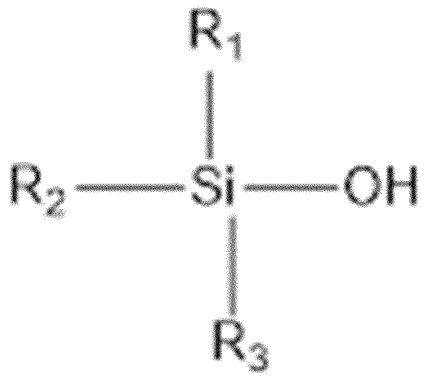
또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기, 및 탄소수 5 내지 20의 치환 또는 비치환된 헤테로아릴기로 이루어진 군으로부터 선택되는 어느 하나이고, 상기 화학식 1에서 A_1 내지 A_4가 모두 탄소일 때, 상기 R_{21} 내지 R_{24} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{51}$(R_{51}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{52}$(R_{52}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기이고, 또는 상기 화학식 2에서 A_5 내지 A_9가 모두 탄소일 때, 상기 R_{31} 내지 R_{35} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{61}$(R_{61}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{62}$(R_{62}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기일 수 있다.

[25] 상기 제1 식각 억제제는 니코틴아미드(Nicotinamine), 피리미딘(Pyrimidine), 또는 이미다졸(imidazole)일 수 있다.

[26] 상기 제2 식각 억제제는 하기 화학식 3 내지 화학식 5 중 선택된 어느 하나로 표시되는 것일 수 있다.

[27] [화학식 3]

[28]

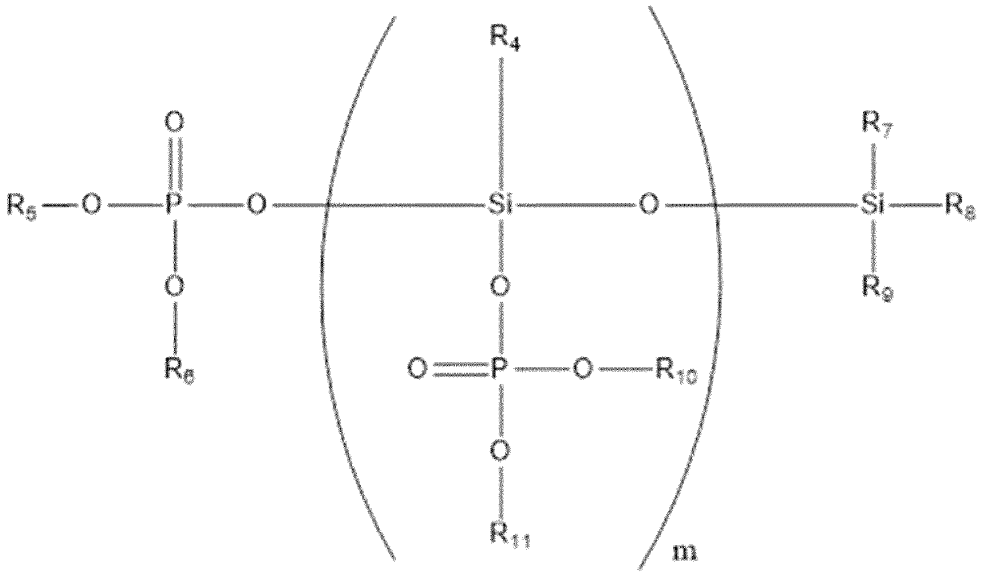


[29] 상기 화학식 3에서, 상기 R_1은 탄소수 1 내지 20의 치환 또는 비치환된 아미노알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된

아세틸옥시기 및 탄소수 1 내지 20의 치환 또는 비치환된 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3는 히드록시기일 수 있다.

[30] [화학식 4]

[31]

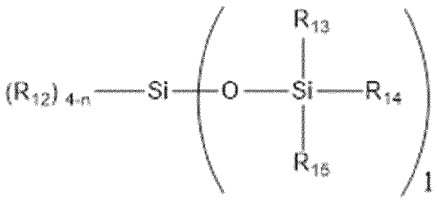


[32] 상기 화학식 4에서, R_4는 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄

소수 1 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기 및 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며, R_5 내지 R_{11}는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄소수 2 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환된 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기, 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며, m은 1 내지 10의 정수이고, 상기 m이 2 이상일 때, 복수의 각각의 R_4, R_{10}, 및 R_{11}은 모두 동일하거나 적어도 일부는 상이할 수 있다.

[33] [화학식 5]

[34]



[35] 상기 화학식 5에서, R_{12}는 수소, 알킬기, 아미노 알킬기 또는 아미노 알콕시기이고, R_{13}, R_{14} 및 R_{15} 중에서 적어도 하나는 아미노 알킬기 또는 아미노 알콕시기이고, 1은 2 또는 3일 수 있다.

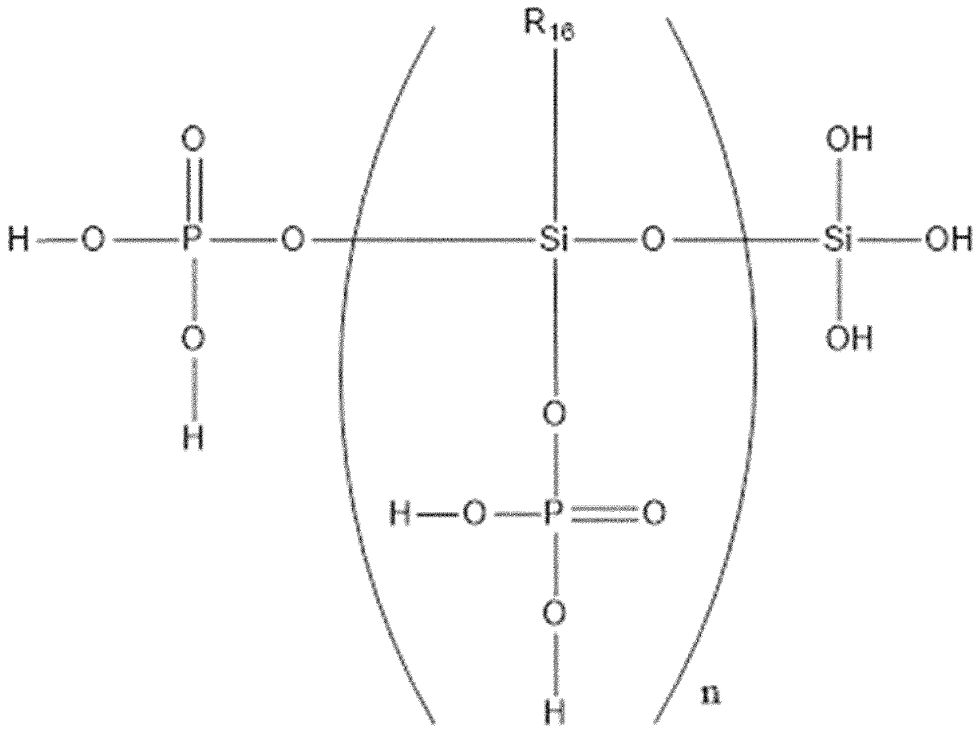
[36] 상기 제2 식각 억제제는 상기 화학식 4로 표시되고, 상기 화학식 4에서, R_4는 치환 또는 비치환된 탄소수 1 내지 3의 알킬기, 치환 또는 비치환된 탄소수 1 내지

3의 알콕시기, 치환 또는 비치환된 탄소수 1 내지 3의 알케닐기, 및 치환 또는 비치환된 탄소수 1 내지 4의 아미노알킬기로 이루어지는 군으로부터 선택되고, R_5, R_6, R_{10} 및 R_{11}은 각각 독립적으로 수소, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며, R_7 내지 R_9는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며, m은 1 내지 5의 정수일 수 있다.

[37] 상기 제2 식각 억제제는 하기 화학식 6으로 표시되는 것일 수 있다:

[38] [화학식 6]

[39]


R16
O
H
O
P
O
O
H
Si
O
Si
OH
OH
OH
O
H
O
P
O
O
H
n

[40] 상기 화학식 6에서, 상기 R_{16}은 메틸기, 에틸기, 또는 프로필기이고, 상기 n은 1 내지 5의 정수이며, 상기 n이 2 이상일 때, 복수의 R_{16}은 모두 동일하거나 적어도 일부는 상이할 수 있다.

[41] 상기 식각 조성물은 상기 식각 조성물 전체에 대하여 상기 무기산 7 내지 85 중량%, 상기 제1 식각 억제제 0.1 내지 10 중량%, 상기 제2 식각 억제제 0.1 내지 10 중량%, 및 나머지 함량의 용매를 포함할 수 있다.

[42] 상기 식각 조성물 전체 중량 대비, 상기 제1 식각 억제제는 0.1 초과 2 중량%일 수 있다.

[43] 상기 식각 조성물 전체 중량 대비, 상기 제2 식각 억제제는 0.1 초과 3 중량%일 수 있다.

[44] 상기 무기산이 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상을 포함할 수 있다.

[45] 상기 식각 조성물은 암모늄계 화합물을 더 포함할 수 있다.

[46] 상기 암모늄계 화합물은 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 설페이트, 암모늄 포메이트, 및 금속 아민 착염 중에서 적어도 하나를 포함할 수 있다.

[47] 상기 식각 조성물의 실리콘 질화막/게르마늄 함유 물질막의 식각 선택비는 50 이상인 것을 특징으로 하는 것일 수 있다.

[48] 상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.9 cm 이하인 것을 특징으로 하는 것일 수 있다.

[49] 상기 식각 조성물은 실리콘 산화막, 실리콘 질화막, 및 게르마늄 함유막을 포함하는 집적회로 소자에 대해, 게르마늄 함유막의 식각을 억제하고, 실리콘 산화막 및 실리콘 질화막은 식각하는 것일 수 있다.

[50] 상기 식각 조성물은 실리콘 산화막, 실리콘 질화막, 및 게르마늄 함유막을 포함하는 집적회로 소자에 대해, 게르마늄 함유막 및 실리콘 산화막의 식각을 억제하고, 실리콘 질화막은 식각하는 것일 수 있다.

[51]

[52] 본 발명의 다른 일 측면은,

[53] 기판 상에 복수의 절연막 및 복수의 희생막이 적층하여 구조체를 형성하는 단계; 및 상기 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;를 포함하는 집적회로 소자의 제조방법을 제공한다.

[54] 상기 희생막은 실리콘 질화물을 포함하고, 상기 절연막은 게르마늄-함유 물질 또는 실리콘 산화물을 포함할 수 있다.

[55] 상기 식각 공정에서. 상기 희생막은 상기 절연막보다 높은 식각률을 갖는 것을 특징으로 하는 것일 수 있다.

[56] 상기 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;에서, 상기 공간 영역은 상기 절연막 사이에 형성되는 게이트 영역 및 상기 게이트 영역과 연결되는 트렌치를 포함하는 것을 특징으로 하는 것일 수 있다.

[57] 상기 적층 구조체를 관통하는 오프닝들을 형성하는 것; 및 상기 오프닝들 내에 상기 트렌치와 이격된 집적회로 패턴을 형성하는 것을 더 포함하고, 상기 집적회로 패턴을 형성하는 것은 상기 트렌치를 형성하기 이전에 수행될 수 있다.

[58]

[59] 본 발명의 다른 일 측면은,

[60] 절연막 및 희생막이 적층되어 형성되는 구조체; 상기 구조체에서 희생막이 식각 조성물에 의해 식각되어 형성되는 공간부; 및 상기 공간부에 도전재료 또는 절연재료가 증착되어 형성되는 증착부;를 포함하고, 상기 식각 조성물은 무기산, 제1 식각 억제제, 제2 식각 억제제 및 잔량의 용매를 포함하고, 상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로 환 구조를 포함하는 집적회로 소자를 제공한다.

[61]

발명의 효과

[62] 본 발명의 일 실시예에 따르면 질화막의 식각 선택비가 높아 게르마늄 함유막의 식각속도가 조절됨에 따라 유효 산화막 높이(EFH)를 용이하게 조절할 수 있다. 또한, 본 발명의 식각 조성물은 질화막 제거시에 게르마늄 함유막의 막질 손상, 게르마늄 함유막의 식각으로 인한 전기적 특성 저하 및 파티클 발생 등이 방지되어 반도체 소자의 신뢰성을 향상시킬 수 있다.

[63] 또한, 질화막을 식각할 때 질화막과 게르마늄 함유막 또는 산화막이 교대로 적층되거나 혼재되어 있는 경우에도 질화막과 게르마늄 함유막 또는 산화막과의 비교적 높은 식각 선택비를 가지고 질화막 만을 선택적으로 식각할 수 있다. 따라서, 복잡하고 미세화된 구조를 가지는 전자 소자를 구성하기 위하여 다양한 형상의 패턴으로 이루어지는 질화막을 식각하는 동안 상술한 문제점을 야기하지 않으면서 산화막 또는 게르마늄 함유막 대비 질화막의 충분한 식각 선택비를 확보하여, 질화막 식각 공정의 안정성 및 신뢰성을 확보할 수 있고, 질화막과 함께 식각 조성물에 노출되는 게르마늄 함유막 또는 산화막의 손상 또는 게르마늄 함유막 또는 산화막의 전기적 특성저하를 방지함으로써 반도체 소자 제조 공정의 생산성을 향상시키고, 반도체소자의 신뢰성을 향상시킬 수 있다.

[64] 따라서, 본 발명의 식각 조성물은 게르마늄 함유막 또는 산화막에 대하여 질화막의 선택적 제거가 요구되는 반도체 소자의 제조 공정(예를 들어, 로직 반도체 소자, 이미지 센서 등 소자의 미세 식각 공정, 플래시 메모리 소자의 소자 분리 공정, 3D 플래시 메모리 소자의 파이프 채널(pipe channel) 형성 공정, 상변화 메모리의 다이오드 형성 공정 등)에 유용하게 사용되어 반도체 소자의 제조 공정의 효율을 향상시키는데 기여할 수 있다.

[65] 또한, 식각액 식각 선택비 향상과 소정의 온도 범위에서 최적화된 효과를 나타내는 특성을 모두 얻을 수 있는 첨가 물질을 함유함으로써, 공정 활용성이 높은 식각 조성물을 제공할 수 있다.

[66] 또한, 식각액 자체에서 공정 중 발생가능한 H_2 등의 기체의 의한 버블(Bubble)의 발생 및 이러한 버블의 실리콘 웨이퍼 표면에 흡착하여 질화막의 선택적 식각을 방해하는 현상을 억제할 수 있다.

[67] 본 발명의 효과는 상기한 효과로 한정되는 것은 아니며, 본 발명의 상세한 설명 또는 특허청구범위에 기재된 발명의 구성으로부터 추론 가능한 모든 효과를 포함하는 것으로 이해되어야 한다.

[68]

도면의 간단한 설명

[69] 도 1은 본 발명의 실시예들에 따른 반도체 소자의 평면도를 나타낸 것이다.

[70] 도 2 내지 도 8은 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.

[71] 도 9는 도 8의 A영역을 확대 도시한 것이다.

[72]

발명의 실시를 위한 최선의 형태

[73] 이하, 본 발명을 더욱 상세하게 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 의해 본 발명이 한정되지 않으며 본 발명은 후술할 청구범위의 의해 정의될 뿐이다.

[74] 덧붙여, 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 발명의 명세서 전체에서 어떤 구성요소를 '포함'한다는 것은 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[75] 본 명세서에서 사용된 바와 같이, "실리콘 질화막", "실리콘 질화물" 및 "Si_xN_y"는 순수한 실리콘 질화물뿐만 아니라 결정 구조에서 수소, 탄소 및/또는 산소 불순물을 포함하는 불순한 실리콘 질화물도 해당된다(여기에서, x 및 y는 각각 독립적으로 양의 정수이다).

[76] 본 명세서에서 사용되는 "실리콘 산화막", "실리콘 산화물"은 실리콘 산화물(SiO_x), 예를 들어 SiO2, "열 산화물"(ThOx) 등으로 만들어진 박막을 의미한다. 실리콘 산화물은 TEOS 또는 다른 소스로부터의 화학 기상 증착을 통한 증착 또는 열 증착과 같은 임의의 방법에 의해 기판 상에 배치될 수 있다. 실리콘 산화물은 일반적으로 상업적으로 유용한 낮은 수준의 다른 물질 또는 불순물을 포함할 수 있다. 실리콘 산화물은 마이크로 전자 장치의 일부로서, 예를 들어 절연층으로서 마이크로 전자 장치의 특징으로서 존재할 수 있다.

[77] 본 명세서에서 사용된 바와 같이, "실리콘 질화물 물질의 적어도 부분적인 제거"는 노출된 실리콘 질화물 층의 적어도 일부의 제거에 대응한다. 예를 들어, 실리콘 질화막의 부분적인 제거에는 Si_3N_4를 형성하기 위해 게이트 전극을 덮고/보

호하는 실리콘 질화막의 이방성 제거가 포함된다. 본 발명의 조성물은 폴리 실리콘 및/또는 실리콘 산화막에 비해 실리콘 질화물을 실질적으로 제거하기 위해 보다 일반적으로 사용될 수 있음이 고려될 수 있다. 이러한 상황에서, "실질적인 제거"는 본 발명의 일 실시예에서 적어도 90 %, 또 다른 실시 예에서 적어도 95 %로 정의되며, 또 다른 실시 예에서 실리콘 질화물 재료의 적어도 99 %가 본 발명의 조성물을 사용하여 제거되는 것을 의미할 수 있다.

[78] 본 명세서에서, “치환 또는 비치환된”은 수소원자, 중수소 원자, 할로겐 원자, 시아노기, 니트로기, 아미노기, 실릴기, 붕소기, 포스핀 옥사이드기, 포스핀 설파이드기, 카르복시기, 알킬기, 알케닐기, 아릴기, 및 헤테로 고리기로 이루어진 군에서 선택되는 1개 이상의 치환기로 치환 또는 비치환된 것을 의미할 수 있다. 상세하게, “치환 또는 비치환된”은 수소원자, 중수소 원자, 알킬기, 아미노기, 실릴기, 및 알콕시기로 이루어진 군에서 선택되는 1개 이상의 치환기로 치환 또는 비치환된 것을 의미할 수 있다. 또한, 상기 예시된 치환기 각각은 치환 또는 비치환된 것일 수 있다. 예를 들어, 메틸 아미노기, 아미노알킬 아미노기는 아미노기로 해석될 수 있다.

[79] 본 명세서에서, 할로겐 원자의 예로는 불소 원자, 염소 원자, 브롬 원자 또는 요오드 원자가 있다.

[80] 본 명세서에서, 알킬기는 선형 알킬기, 가지 달린 알킬기, 또는 고리형 알킬기일 수 있다. 알킬기는 선형 알킬기, 가지 달린 알킬기, 또는 고리형 알킬기일 수 있다. 알킬기의 예로는 메틸기, 에틸기, n-프로필기, 이소프로필기, n-부틸기, t-부틸기, i-부틸기, 2- 에틸부틸기, 3, 3-디메틸부틸기, n-펜틸기, i-펜틸기, 네오펜틸기, t-펜틸기, 시클로펜틸기, 1-메틸펜틸기, 3-메틸펜틸기, 2-에틸펜틸기, 4-메틸-2-펜틸기, n-헥실기, 1-메틸헥실기, 2-에틸헥실기, 2-부틸헥실기, 시클로헥실기, 4-메틸시클로헥실기, 4-t-부틸시클로헥실기, n-헵틸기, 1-메틸헵틸기, 2,2-디메틸헵틸기, 2-에틸헵틸기, 2-부틸헵틸기, n-옥틸기, t-옥틸기, 2-에틸옥틸기, 2-부틸옥틸기, 2-헥실옥틸기, 3,7-디메틸옥틸기, 시클로옥틸기, n-노닐기, 및 n-데실기 등을 들 수 있으나, 이들에 한정되지 않는다.

[81] 예컨대, 명세서에서 사용되는 용어 "C1-C20의 알킬기"는 1 개 내지 20 개의 탄소 원자를 가지는 직쇄형 또는 분기형 비-사이클릭(noncyclic) 포화지방족 탄화수소기를 지칭한다. 용어 "C2-C20의 알케닐기"는 2 개 내지 20 개의 탄소 원자를 가지고 인접한 탄소 원자들 사이에 1개 이상의 이중 결합을 가지는 직쇄형 또는 분기형 비-사이클릭 불포화 지방족 탄화수소기를 지칭한다. 용어 "C2-C20의 알키닐기"는 2 개 내지 20 개의 탄소 원자를 가지고 인접한 탄소 원자들 사이에 1 개 이상의 삼중 결합을 가지는 직쇄형 또는 분기형 비-사이클릭 불포화 지방족 탄화수소기를 지칭하는 것일 수 있다. 용어 "C1-C20의 알콕시기"는 1 개 이상의 에테르기와 1 개 내지 20개의 탄소 원자를 가지는 직쇄형 또는 분기형 비-사이클릭(noncyclic) 포화 또는 불포화 지방족 탄화수소기를 지칭하는 것일 수 있다.

[82] 본 명세서에서 아미노기는 알킬 아미노기 및 아릴 아미노기를 포함할 수 있다. 아미노기의 예로는 메틸아미노기, 에틸아미노기, 디메틸아미노기, 디에틸아미노기 및/또는 에틸메틸 아미노기 등이 있으나, 이들에 한정되지 않는다.

[83] 본 명세서에서, 알콕시기는 알킬 알콕시기 및 아릴 알콕시기를 포함할 수 있다. 알콕시기의 예로는 메틸 알콕기, 에틸 알콕기, 프로필 알콕기, 부틸 알콕기, 펜틸 알콕시기, 헥실 알콕시기, 헵틸 알콕시기, 옥틸 알콕시기, 노닐 알콕시기, 및 데실 알콕시기 등이 있으나, 이들에 한정되지 않는다.

[84] 본 명세서에서 사용한 "%"는 별다른 기재가 없는 한, 함량에 있어서는 "중량%" 또는 "wt%"를 의미하는 것일 수 있다.

[85]

[86] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[87]

[88] **실시예 1 내지 6 및 비교예 1 내지 10. 식각 조성물의 제조**

[89] 첨가제에 함유되는 화합물로서, 제1 식각 억제제는 하기 표 1에 따른 종류 및 함량에 따라 투입하였고, 제2 식각 억제제는 상기 화학식 6의 R_{16}의 종류 및 함량 범위를 하기 표 1에 따라 달리하고(화학식 6의 n은 1이었음), 잔량의 인산을 포함하여 제조하였다.

[90] [표1]

	무기산(종류/함량)		제 1 식각 억제제(게르마늄 함유막 식각 억제제)		제2 식각 억제제(실리콘계 산화막 식각 억제제)	
	85중량% 인산 수용액	함량(중량%)	종류	함량(중량%)	종류(R16의 치환기 종류)	함량(중량%)
실시예 1	인산	잔량	니코틴 아마이드	0.3	Methyl	0.3
실시예 2	인산	잔량	피리미딘	0.5	Ethyl	0.5
실시예 3	인산	잔량	이미다졸	0.8	Propyl	1
실시예 4	인산	잔량	니코틴 아마이드	1	Methyl	2

실시예 5	인산	잔량	피리미딘	1	Ethyl	3
실시예 6	인산	잔량	이미다졸	2	Propyl	1
비교예 1	인산	잔량	니코틴 아마이드	0.1	Methyl	0.3
비교예 2	인산	잔량	니코틴 아마이드	3	Methyl	0.3
비교예 3	인산	잔량	피리미딘	0.1	Ethyl	0.5
비교예 4	인산	잔량	피리미딘	2.5	Ethyl	0.5
비교예 5	인산	잔량	니코틴 아마이드	0.3	buthyl	0.3
비교예 6	인산	잔량	피리미딘	0.5	octhyl	0.5
비교예 7	인산	잔량	이미다졸	0.8	TEOS	1
비교예 8	인산	잔량	1, 3-디아미노프로판	0.3	Methyl	0.3
비교예 9	인산	잔량	프로필 아민	0.5	Ethyl	0.5
비교예 10	인산	잔량	4-메틸피페리딘	0.8	Propyl	1

[91]

[92] **실험예 1: 식각 조성물의 버블(Bubble) 발생 수준 분석**

[93] Bubble pour Method를 이용하여 Bubble을 발생 정도를 확인하였다. Flow는 N_2 [0.5L/min]으로 진행하였으며, 식각 조성물 형성 직후 용기에 담아, 버블의 높이를 측정(cm)한 후, 60초가 지난 후 파포가 진행된 이후의 버블의 높이를 측정하여, 파포특성을 측정하였다. 결과는 아래 표 2와 같다.

[94] [표2]

구분	**Bubble 높이 (cm)**
실시예 1	0.5

실시예 2	0.6
실시예 3	0.5
실시예 4	0.6
실시예 5	0.6
실시예 6	0.7
비교예 1	0.5
비교예 2	10
비교예 3	0.5
비교예 4	3.8
비교예 5	6
비교예 6	15
비교예 7	8
비교예 8	5
비교예 9	15
비교예 10	12

[95]

[96] 표 2에 따르면, 본 발명의 실시예 들에 따른 식각 조성물은 조성물 형성 직후에 기포의 높이가 1.0 cm미만으로 낮은 수준으로 형성되는 것을 확인할 수 있었다. 반면 비교예 화합물의 경우, 식각 조성물 형성 직후의 기포가 높게 형성이 되어 버블량이 많은 것을 볼 수 있고, 시간의 경과에 따라서 제거되는 양상도 매우 느린 것을 확인할 수 있었다. 비교예 1 및 3의 경우 버블 발생 자체는 실시예와 유사한 수준이 나타나는 것으로 볼 수 있으나, 후술하는 바와 같이 식각 선택비 등의 기본 성능 측면에서 재고가 필요할 수 있다. 전술한 바와 같이 이러한 기포는 식각 공정 전반에 있어 효율을 떨어뜨리는 요소가 될 수 있는 바, 본원의 일 실시예에 따른 식각 조성물은 제2 식각 억제제 화합물을 포함함으로써, 이러한 문제를 해결하는 발명이라 볼 수 있을 것이다. 이러한 버블 제거 효과는, 표면의 표면장력을 조절하여 거품액이 생성된 단일층보다 상대적으로 낮은 표면장력을 갖기 때문에 주변으로 거품이 쉽게 퍼져나가면서 얇아지게 되는 것으로, 이러한 이유로 식각 조성물 자체에 버블 발생이 억제되는 것을 확인할 수 있었다. 이렇게 버블의 발생을 억제함으로서, 질화막 식각을 방해하는 요소를 제거할 수 있다는 것을 확인할 수 있었다.

[97]

[98] **실험예 2. 식각속도 및 선택비 측정**

[99] 실시예 및 비교예에서 각각 제조된 식각 조성물을 이용하여 165 ℃의 공정 온도에서 질화막 및 산화막에 대한 식각을 실시하였다. 박막 두께 측정 장비인 엘립소미터(NANO VIEW, SEMG-1000)를 이용하여 질화막 및 산화막, 도핑된 실리콘막(doped-Si) 및 게르마늄 막에 대한 식각 속도를 측정하여 하기 표 3에 나타내었다. 구체적으로, 하기 표 3의 식각 속도는 각 막을 300초 동안 식각한 후, 각 막의 식각 처리 전의 막 두께와 식각 처리 후의 막 두께의 차이를 식각 시간(분)으로 나누어 산출한 수치이다.

[100] [표3]

	SiN 식각 속도 (Å/min)	산화막 식각 속도 (Å/min)	질화막/산화막	SiGe 식각 속도 (Å/min)	질화막/SiGe막	doped Si 식각 속도 (Å/min)	질화막/doped Si막
실시예 1	39.2	0.15	261.33	0.66	59.39	1.16	33.79
실시예 2	37.9	0.12	315.83	0.6	63.17	1.03	36.80
실시예 3	39	0.1	390.00	0.55	70.91	0.8	48.75
실시예 4	39.4	0.08	492.50	0.5	78.80	0.72	54.72
실시예 5	38.5	0.05	770.00	0.43	89.53	0.74	52.03
실시예 6	39.1	0.09	434.44	0.62	63.06	0.43	90.93
비교예 1	39	0.15	260.00	1.58	24.68	1.97	19.80
비교예 2	38.7	0.13	297.69	0.58	66.72	0.85	45.53
비교예 3	39.4	0.11	358.18	1.32	29.85	2.01	19.60
비교예 4	41.8	0.12	348.33	0.55	76.00	0.67	62.39
비교예 5	42.6	0.1	426.00	0.56	76.07	0.88	48.41

비교예 6	43.1	0.12	359.17	0.6	71.83	0.74	58.24
비교예 7	41.2	0.25	164.80	1.03	40.00	2.58	15.97
비교예 8	40.6	0.16	253.75	2.56	15.86	9.86	4.12
비교예 9	39.8	0.12	331.67	1.78	22.36	5.51	7.22
비교예 10	39.5	0.09	438.89	1.32	29.92	3.14	12.58

[101]

[102] 상기 표 3에 따르면, 본 발명의 식각 조성물에 해당하는 실시예들의 질화막:산화막 식각 속도 선택비 비교적 높은 수준이나 대체로 비교예와 유사한 수준을 가지는 것을 확인할 수 있다.

[103] 구체적으로, 실시예 대비, 제1 식각 억제제 함량 미달의 비교예 1 및 3의 경우 게르마늄 막의 식각 속도가 충분히 억제가 되지 않은 것을 확인할 수 있었고, 이에 따라 질화막/게르마늄막 선택비가 30 미만으로 나타나는 것을 볼 수 있다. 반면 제1 식각 억제제 함량이 비교적 과한 비교예 2 및 4의 경우 전체적인 선택비 양상은 실시예와 대비할 때 대체로 유사한 수준을 나타내고 있으나, 전술한 바와 같이 버블 형성에 의한 공정성 저해요소가 있음을 확인한 바 있다.

[104] 또한, 제2 식각 억제제의 구조를 만족하는 실시예 조성물의 경우, 질화막의 산화막, 게르마늄막, 및 도핑된 실리콘 막 대비 식각 선택비가 모두 높게 나타나는 것을 확인할 수 있었다. 또한 전술한 바와 같이 식각 조성물 형성 직후 버블 발생도 억제할 수 있음을 확인한 바 있다.

[105] 좀 더 세부적으로 살펴보면, 비교예 5 및 6의 경우, 상기 화학식 6의 알킬기의 탄소 수가 3을 초과하게 되면서, 실험예 1에서 버블 발생을 억제하는 효과가 저해되었음을 확인한 바 있으며, 따라서 공정성에 문제가 있음을 확인할 수 있었다. 또한 비교예 7의 경우 제2 식각 억제제 화합물의 기본 구조가 상이한 경우인데, 충분한 질화막/산화막 식각 선택비가 나타나지 않았다는 점에서 실시예와는 그 효과가 대비되었다.

[106] 한편 비교예 8 내지 10과 같이, 제1 식각 억제제의 종류를 본원발명의 범위와 달리할 경우, 충분한 질화막/게르마늄막 선택비가 확보되지 않은 것을 확인하였고, 실험예 1에서 확인된 바와 같이, 식각 조성물 형성 직후 버블의 높이가 높게 형성되어 공정을 저해하는 요소를 포함함을 알 수 있었다.

발명의 실시를 위한 형태

[107] 이하, 본 발명의 제1 측면을 설명함에 앞서, 식각 조성물의 개념을 설명한다.

[108] 식각 조성물은 실리콘-함유 물질의 식각에 사용될 수 있다. 예를 들어, 식각 조성물은 절연막인 실리콘 질화막, 게르마늄 함유막 또는 실리콘 산화막의 식각에 사용될 수 있다. 식각 조성물을 사용한 실리콘 질화막의 식각은 아래의 반응식 1과 같이 진행될 수 있다. 실리콘 조성물을 사용한 실리콘 산화막의 식각은 아래의 반응식 2와 같이 진행될 수 있다. 게르마늄 함유막의 식각은 실리콘-게르마늄을 산화시켜 반도체 산화물을 형성하는 것, 상기 반도체 산화물을 반응시켜, 수용성 생성물을 형성하는 것, 및 상기 수용성 생성물을 제거하는 것을 포함할 수 있다.

[109] 다만, 상기 식각 조성물을 사용한 식각 공정에서, 제1 절연막인 실리콘 질화막의 식각률은 제2 절연막인 실리콘 산화막, 제3 절연막인 게르마늄 함유막의 식각률보다 더 클 수 있다. 본 명세서에서, 실리콘 질화막이 식각된다는 것은 실리콘 질화물이 제거된다는 것으로, 실리콘 산화막 또는 게르마늄 함유막이 식각된다는 것은 실리콘 산화물또는 게르마늄 함유 물질이 제거된다는 것을 의미할 수 있다. 실리콘 질화물은 Si_xN_y로 표시될 수 있다. 실리콘 산화물은 Si_xO_y 또는 게르마늄 산화물(예를 들어, GeOy)을 포함할 수 있다. (여기에서, x, y는 각각 독립적인 양의 유리수일 수 있다. 예를 들어, x는 2이고, y는 2일 수 있다.)포함할 수 있다. 게르마늄 함유 물질은 실리콘-게르마늄(SiGe)을 포함할 수 있다.

[110]

[111] [반응식 1]

[112] $3Si_3N_4 + 4H_3PO_4 + 27H_2O \rightarrow 4(NH_4)3PO_4 + 9SiO_2H_2O$

[113] [반응식 2]

[114] $SiO_2 + 4H^+ + 4e^- \rightarrow Si + 2H_2O$

[115]

[116] 상기 반응식 1을 참조하면, 인산은 실리콘 질화물과 반응하여, 실리콘 질화물을 제거할 수 있다. 이때, 무기산으로서 인산은 조성비는 70 내지 99 중량부일 수 있다. 본 명세서에서 조성비는 조성물에 대한 조성비를 의미한다. 인산이 식각 조성물의 70 중량부 미만인 경우, 실리콘 질화막이 용이하게 제거되기 어려울 수 있다. 또는 식각 공정에서, 식각 부산물들이 형성될 수 있다. 본원의 일 구현예에서, 인산의 조성비는 85% 인산 수용액의 조성비를 의미할 수 있다. 즉, 인산의 조성비가 65%라는 것은 85% 인산 수용액이 식각 조성물의 65%인 것을 의미할 수 있는 것이다.

[117] 반응식 2를 참조하면, 인산은 수소 이온을 제공하여, 실리콘 산화물과 반응할 수 있다. 인산이 식각 조성물의 99 중량부 초과이면, 인산과 실리콘 산화물의 반응속도가 증가할 수 있다. 이에 따라, 상기 식각 공정에서, 실리콘 질화막은 실리콘 산화막에 대해 충분히 높은 식각 선택비를 갖기 어려울 수 있다.

[118] 이하, 본원의 제1 측면에 따른 식각 조성물을 상세히 설명한다.

[119]

[120] 본원의 제1 측면은,

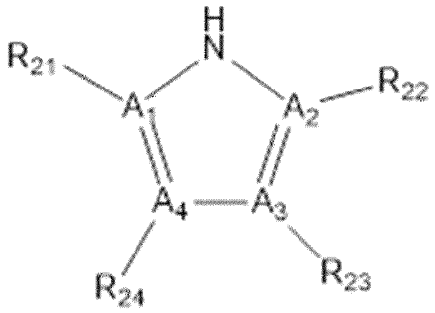
[121] 무기산; 제1 식각 억제제; 및 잔량의 용매를 포함하고, 상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로환 구조를 포함하는, 식각 조성물을 제공한다.

[122]

[123] 본원의 일 구현예에 있어서, 상기 제1 식각 억제제는 하기 화학식 1 또는 화학식 2로 표시될 수 있다.

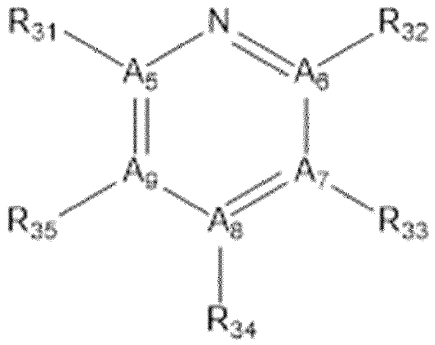
[124] [화학식 1]

[125]



[126] [화학식 2]

[127]



[128] 상기 화학식 1 또는 화학식 2에서, 상기 A_1 내지 A_9는 각각 독립적으로 탄소 또는 질소이고, 상기 R_{21} 내지 R_{24} 및 R_{31} 내지 R_{35}는 각각 독립적으로 수소, 할로겐, 아미노기, 아미드기, 히드록시기, 싸이올기(-SH 또는 =S), $-NO_2$, $-NHCOR_{41}$(R_{41}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{42}$(R_{42}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-OCOR_{43}$(R_{43}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기, 및 탄소수 5 내지 20의 치환 또는 비치환된 헤테로아릴기로 이루어진 군으로부터 선택되는 어느 하나이고, 상기 화학식 1에서 A_1 내지 A_4가 모두 탄소일 때, 상기 R_{21} 내지 R_{24} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{51}$(R_{51}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{52}$(R_{52}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기이고, 또는 상기 화학식 2에서 A_5 내지 A_9가 모두 탄소일 때, 상기 R_{31} 내지 R_{35} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{61}$(R_{61}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{62}$(R_{62}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기일 수 있다.

[129] 본원의 일 구현예에 있어서, 바람직하게는 상기 제1 식각 억제제는 니코틴아미드(Nicotinamine), 피리미딘(Pyrimidine), 또는 이미다졸(imidazole)일 수 있다.

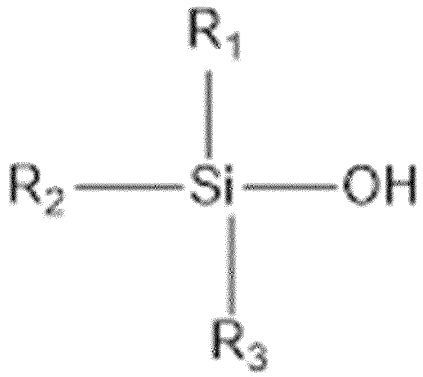
[130] 본원의 일 구현예에 있어서, 제1 식각 억제제는 게르마늄 함유막의 식각 억제제 역할을 할 수 있다. 예를 들어, 제1 식각 억제제는 게르마늄 함유막에 대한 실리콘 질화막의 식각 선택비를 증가시킬 수 있다. 제1 식각 억제제는 식각 과정에서 형성된 게르마늄 산화물에 흡착될 수 있다. 이러한 제1 식각 억제제가 흡착된 게르마늄 산화물이 패시베이션 막으로서 역할을 수행할 수 있게 되므로, 이에 따라, 제1 식각 억제제는 게르마늄 산화물의 제거를 억제할 수 있다.

[131] 본원의 일 구현예에 있어서, 제1 식각 억제제는 식각 조성물 전체 중량 대비, 0.01 중량% 내지 15 중량%, 바람직하게는 0.1 중량% 내지 10 중량%, 더욱 바람직하게는 0.1 초과 2 중량%일 수 있다. 제1 식각 억제제의 함량이 상술한 범위 미만인 경우, 아민 화합물이 게르마늄 산화물을 흡착 나아가 게르마늄 함유막의 식각을 억제하기에 부족할 수 있다. 제1 식각 억제제의 함량이 상술한 범위를 초과하는 경우, 불필요하게 실리콘 산화막의 식각 속도가 증가하거나, 또는 전체적으로 질화막, 산화막, 게르마늄 함유막 모두 식각 속도가 저하될 수 있으며, 무엇보다도, 식각 조성물의 형성 직후 발생하는 버블의 발생을 억제할 수 없게될 수 있다.

[132] 본원의 일 구현예에 있어서, 제2 식각 억제제를 더 포함할 수 있다. 상기 제2 식각 억제제는 하기 화학식 3 내지 화학식 5 중 선택된 어느 하나로 표시되는 것일 수 있다.

[133] [화학식 3]

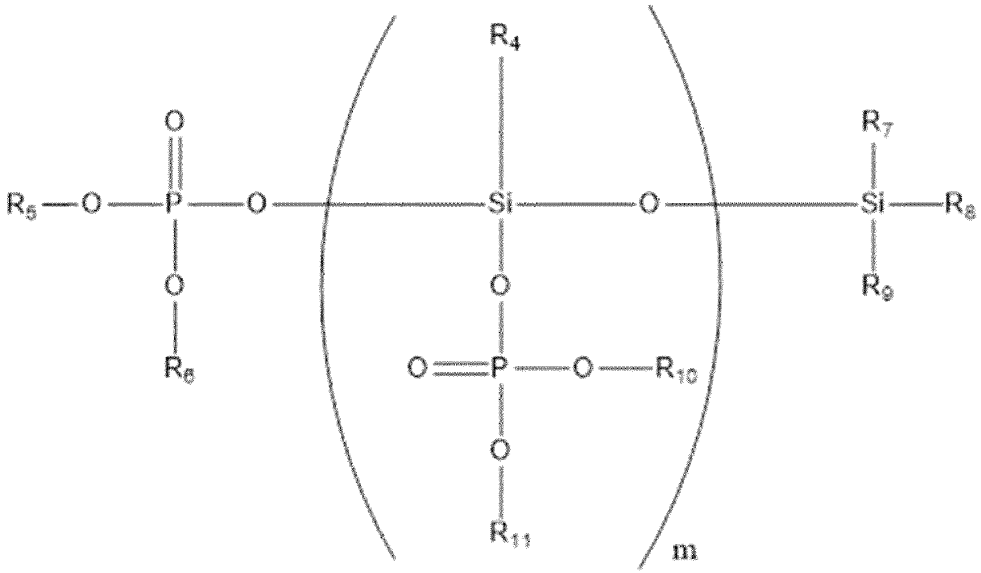
[134]



[135] 상기 화학식 3에서, 상기 R_1은 탄소수 1 내지 20의 치환 또는 비치환된 아미노알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 아세틸옥시기 및 탄소수 1 내지 20의 치환 또는 비치환된 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3는 히드록시기일 수 있다.

[136] [화학식 4]

[137]



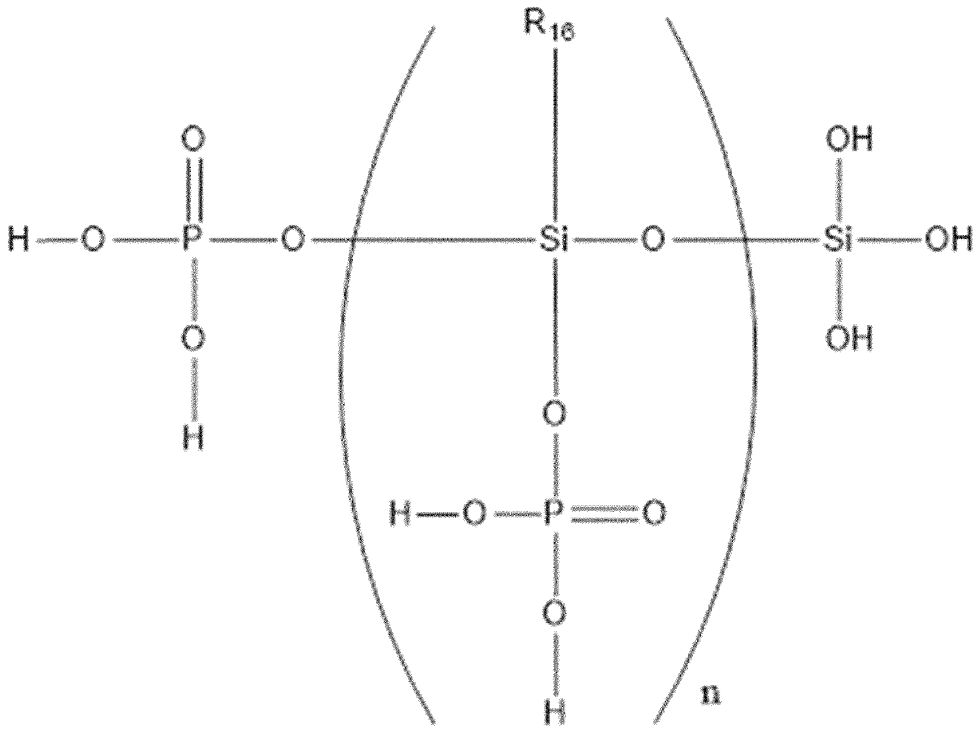
[138] 상기 화학식 4에서, R_4는 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄소수 1 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기 및 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며, R_5 내지 R_{11}는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄소수 2 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환된 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기, 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며, m은 1 내지 10의 정수이고, 상기 m이 2 이상일 때, 복수의 각각의 R_4, R_{10}, 및 R_{11}은 모두 동일하거나 적어도 일부는 상이할 수 있다.

[139] 바람직하게는 상기 제2 식각 억제제는 상기 화학식 4로 표시되고, 상기 화학식 4에서, R_4는 치환 또는 비치환된 탄소수 1 내지 3의 알킬기, 치환 또는 비치환된 탄소수 1 내지 3의 알콕시기, 치환 또는 비치환된 탄소수 1 내지 3의 알케닐기, 및 치환 또는 비치환된 탄소수 1 내지 4의 아미노알킬기로 이루어지는 군으로부터 선택되고, R_5, R_6, R_{10} 및 R_{11}은 각각 독립적으로 수소, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며, R_7 내지 R_9는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며, m은 1 내지 5의 정수일 수 있다.

[140] 바람직한 일 구현예에 있어서, 상기 제2 식각 억제제는 하기 화학식 6으로 표시되는 것일 수 있다:

[141] [화학식 6]

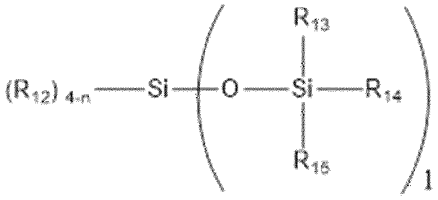
[142]


R16
O
H
O
P
O
O
Si
O
Si
OH
OH
OH
O
H
O
H
O
P
O
O
H
n

[143] 상기 화학식 6에서, 상기 R_{16}은 메틸기, 에틸기, 또는 프로필기이고, 상기 n은 1 내지 5의 정수이며, 상기 n이 2 이상일 때, 복수의 R_{16}은 모두 동일하거나 적어도 일부는 상이할 수 있다.

[144] [화학식 5]

[145]



[146] 상기 화학식 5에서, R_{12}는 수소, 알킬기, 아미노 알킬기 또는 아미노 알콕시기이고, R_{13}, R_{14} 및 R_{15} 중에서 적어도 하나는 아미노 알킬기 또는 아미노 알콕시기이고, l은 2 또는 3일 수 있다.

[147] 본원의 일 구현예에 있어서, 상기 제2 식각 억제제는 식각 조성물 전체 중량 대비, 0.01 중량% 내지 15 중량%, 바람직하게는 0.1 중량% 내지 10 중량%, 더욱 바람직하게는 0.1 초과 3 중량%일 수 있다. 상술한 범위를 초과하는 경우 그 자체가 불순물로 작용하여, 막 종류에 무관하게 전체적인 식각 속도에 악영향을 끼칠 수 있고, 상술한 범위 미만인 경우, 후술하는 온도 범위에서의 공정에서의 식각 조성물 활용이 어려우며, 충분한 질화막 식각 선택비 확보가 어려울 수 있다.

[148] 또한, 본원의 일 구현예에 있어서, 식각 조성물은 용매를 포함할 수 있다. 상기 용매는 구체적으로, 물 또는 탈이온수(deionized water, DIW)일 수 있다. 이러한 용매의 함량은 전체 식각 조성물 100 중량%에 대해 상기 무기산 7 내지 85 중량%, 상기 제2 식각 억제제 0.1 내지 10 중량%, 상기 제1 식각 억제제 0.1 내지 10 중량%를 기준으로, 상기 성분들이 제외된 나머지 중량부(잔부량)일 수 있다.

[149] 본원의 일 구현예에 있어서, 상기 식각 조성물에 포함되는 무기산은 식각 조성물이 산성의 pH(예를 들어, pH 2 내지 6)를 갖도록 하여 식각 대상(예를 들어, 절연막)을 식각할 수 있도록 한다.

[150] 이러한 무기산은 특별히 한정되지 않으나, 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상일 수 있다. 구체적으로 무기산은 인산일 수 있다. 상기 무기산으로 인산을 사용하고, 식각 대상이 산화막과 질화막일 경우, 산화막에 대한 질화막의 식각 선택비를 높일 수 있다. 또한, 상기 무기산으로 인산을 사용할 경우, 식각 조성물 내에 수소 이온이 제공되어 식각을 촉진시킬 수 있다.

[151] 또한, 무기산이 인산일 경우, 본원의 일 구현예에 따른 식각 조성물은 황산을 첨가제로 더 포함할 수 있다. 상기 황산은 상기 인산을 무기산으로 포함하는 식각 조성물의 끓는점을 상승시켜 질화막의 식각에 도움을 줄 수 있다.

[152] 본원의 일 구현예에 있어서, 상기 식각 조성물은 상기 무기산 70 내지 99 중량부를 포함할 수 있다. 구체적으로, 상기 식각 조성물은 상기 무기산 70 내지 90 중량부를 포함할 수 있고, 보다 구체적으로, 상기 식각 조성물은 무기산 75 내지 85 중량부를 포함할 수 있다. 상기 무기산의 함량이 70 중량부 미만일 경우, 질화막의 식각(제거)이 용이하지 않거나 후술하는 소정의 온도 조건에서 활용성이 낮아지고, 99 중량부를 초과할 경우, 질화막에 대한 높은 식각 선택비를 얻기 어렵다.

[153] 본원의 일 구현예에 있어서, 상기 식각 조성물은 암모늄계 화합물을 더 포함할 수 있다. 암모늄계 화합물은 수용액 조건에서, 암모늄(NH^{4+})을 형성하는 화합물을 의미할 수 있다. 암모늄계 화합물은 예를 들어, 암모니아, 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 설페이트, 암모늄 포메이트, 및 금속 아민 착염 중에서 적어도 하나를 포함할 수 있다. 금속 아민 착염은 적어도 하나의 암모니아(NH_3) 리간드를 포함하는 금속 착염일 수 있다. 실리콘 질화막의 식각 공정이 장시간 수행되면, 실리콘 이온의 농도가 증가될 수 있다. 일 예로, 상기 실리콘 이온은 상기 반응식 1의 생성물인 SiO_2H_2O에 의해 형성될 수 있다. 실리콘 이온에 의해 실리콘 산화막의 이상 성장이 발생할 수 있다. 실시예들에 따르면, 식각 공정에서, 암모늄계 화합물이 해리되어 암모늄(NH^{4+})을 형성할 수 있다. 암모늄은 실리콘 이온의 전구체(예를 들어, SiO_2) 반응하여, 실리콘 이온의 전구체를 제거할 수 있다. 이에 따라, 실리콘 산화막의 이상 성장이 방지될 수 있다. 암모늄계 화합물은 식각 시간에 따른 식각 속도를 일정하게 유지시킬 수 있다.

[154] 암모늄계 화합물이 식각 조성물의 0.01 wt% 미만이면, 실리콘 산화막이 이상 성장되거나, 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비가 시간에 따라 변화될 수 있다는 것을 방지하기 어려울 수 있다. 암모늄계 화합물이 식각 조성물의 10 wt%를 초과하면, 실리콘 질화막 및 실리콘 산화막의 식각 속도가 시간에 따라 변화될 수 있다. 실시예에 따르면, 암모늄계 화합물의 조성비는 0.01 wt% 내지 10 wt%일 수 있다.

[155] 이외에 본원의 일 구현예에 있어서, 상기 식각 조성물은 식각 성능을 향상시키기 위해 통상적으로 공지된 임의의 첨가제를 더 포함할 수 있다. 상기 첨가제는 계면활성제, 금속 이온 봉쇄제, 또는 부식 방지제 등일 수 있다.

[156] 상술한 바와 같은 본 발명의 식각 조성물은 무기산, 제2 식각 억제제, 및 제1 식각 억제제와 더불어 첨가제, 암모늄계 화합물을 선택적으로 더 포함함에 따라, 현저하게 높은 산화막 또는 게르마늄 함유막에 대한 질화막의 식각 선택비를 나타낼 수 있다. 또한, 상기 식각 조성물은 질화막의 식각 과정에서 산화막 또는 게르마늄 함유막의 막질 손상이나 게르마늄 함유막 또는 산화막의 식각으로 인한 전기적 특성 저하가 방지되고 파티클 발생을 최소화할 수 있다. 따라서, 본 발명의 식각 조성물은 반도체 소자의 제조시 식각 공정에 유용하게 사용될 수 있다.

[157] 본원의 일 구현예에 있어서, 상기 식각 조성물은 실리콘 질화막 식각에 이용되는 것을 특징으로 하는 것일 수 있다. 바람직한 범위로서, 이 경우, 실리콘 질화막/산화막 식각 선택비는 250 이상인 것을 특징으로 하는 것일 수 있으며, 상기 식각 조성물의 실리콘 질화막/게르마늄 함유막의 식각 선택비는 50 이상일 수 있다. 또한, 상기 식각 조성물의 실리콘 질화막/도핑된 실리콘 막의 식각 선택비는 30 이상일 수 있다.

[158] 본 발명의 일 구현예에 있어서, 상기 제2 식각 억제제는 식각 공정 중 상기 식각 조성물의 버블(bubble) 발생을 억제하는 것을 특징으로 하는 것일 수 있다. 구체적으로, H_2 등 기체 버블의 실리콘 표면 흡착 방지의 측면에 있어서, 상기 제2 식각 억제제는 비극성인 실리콘 표면과 소수성 상호작용을 할 수 있고, 실리콘 표면의 극성을 부여함으로써, 버블의 발생 및 흡착을 방지할 수 있다. 상술한 취지와 같이, 본 발명의 일 구현예에 있어서, 상기 식각 조성물의 버블 생성률이 1cm 미만인 것을 특징으로 하는 것일 수 있다. 본원의 일 구현예에 따르면, 상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.9 cm 이하인 것을 특징으로 하는 것일 수 있다. 본원의 다른 일 구현예에 따르면, 상기 식각 조성물의 형성 이후 60초 경과 후 표면의 버블 높이가 0.9 cm 이하인 것을 특징으로 하는 것일 수 있다. 본원의 또 다른 일 구현예에 따르면, 상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.1 내지 1.0 cm이고, 60초 경과 후 표면의 버블 높이 변화율이 50% 이상인 것을 특징으로 하는 것일 수 있다.

[159] 본원의 일 구현예에 있어서, 상기 식각 조성물은 실리콘 산화막, 실리콘 질화막, 및 게르마늄 함유막을 포함하는 집적회로 소자에 대해, 게르마늄 함유막의 식각을 억제하고, 실리콘 산화막 및 실리콘 질화막은 식각하는 것일 수 있다. 이는 제1 식각 억제제에 의한 효과일 수 있다.

[160] 본원의 일 구현예에 있어서, 상기 식각 조성물은 실리콘 산화막, 실리콘 질화막, 및 게르마늄 함유막을 포함하는 집적회로 소자에 대해, 게르마늄 함유막 및 실리콘 산화막의 식각을 억제하고, 실리콘 질화막은 식각하는 것일 수 있다. 상술한 효과는 제1 및 제2 식각 억제제에 의한 효과일 수 있다.

[161]

[162] **반도체 소자의 제조방법**

[163] 본원의 제2 측면은,

[164] 기판 상에 절연막 및 희생막이 적층하여 구조체를 형성하는 단계; 및 상기 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;를 포함하는 집적회로 소자의 제조방법을 제공한다.

[165]

[166] 본원의 제1 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제1 측면에 대해 설명한 내용은 제2 측면에서 그 설명이 생략되었더라도 동일하게 적용될 수 있다.

[167]

[168] 이하 본원의 제2 측면에 따른 반도체 소자의 제조방법을 상세히 설명한다.

[169]

[170] 본 명세서에서 사용된 "공간 영역", "공간부"에서의 "공간은 반도체 소자의 식각공정에서 희생막이 제거되어 형성되는 공간을 통칭하는 것으로서, 비제한적인 예시로서, 트렌치, 채널, 게이트, 스페이서 등이 포함될 수 있다.

[171] 또한 본 명세서에서 사용된 "증착부"는 상술한 공간 영역 또는 공간부에 도전재료 또는 절연재료가 증착되어 형성되는 부분을 포함하는 것을 의미하고, 패턴화되어 구성될 수 있다.

[172] 본원의 도 1은 실시예들에 따른 반도체 소자의 평면도이다. 도 2 내지 도 8은 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들로, 도 1의 I-I' 선을 따라 자른 단면들에 대응된다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.

[173] 본원의 도 1 및 도 2를 참조하면, 적층 구조체(200)가 기판(100) 상에 형성될 수 있다. 기판(100)은 벌크(bulk) 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator: SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator: GOI) 기판, 실리콘-게르마늄 기판, 또는 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수행하여 획득한 에피택시얼 박막의 기판일 수 있다. 제1 방향(D1) 및 제2 방향(D2)은 기판(100)의 상부면(100a)에 평행할 수 있다. 제2 방향(D2)은 제1 방향(D1)과 교차할 수 있다. 제3 방향(D3)은 기판(100)의 상부면(100a)과 수직할 수 있다.

[174] 본원의 일 구현예에서 있어서, 적층 구조체(200)는 희생막들(SC) 및 절연막들(IL)을 포함할 수 있다. 적층 구조체(200)의 형성은 기판(100) 상에 희생막들(SC) 및 절연막들(IL)을 교대로 반복하여 형성하는 것을 포함할 수 있다. 희생막들(SC)은 절연막들(IL) 사이에 형성될 수 있다. 희생막들(SC)은 절연막들(IL)에 대해 식각 선택성을 가질 수 있다. 희생막들(SC)은 예를 들어, 실리콘 질화물(예를 들어, Si_xN_y)을 포함할 수 있다. 절연막들(IL)은 게르마늄 함유막(예를 들어, SiGe), 또는 실리콘 산화물(예를 들어, Si_xO_y)을 포함할 수 있다. 절연막들(IL)은 tetraethoxysilane(TEOS)를 사용하여 형성될 수 있고, tetraethoxysilane는 $(C_2H_5O)_4Si$로 표시될 수 있다.

[175] 본 발명의 실시예들에서, 희생막들(SC)은 서로 실질적으로 동일한 두께들를 가질 수 있다. 이와 달리, 희생막들(SC) 중 최하층의 희생막(SC) 및 최상층의 희생막(SC)은 그들 사이에 위치한 희생막들(SC)에 비해 두껍게 형성될 수 있다. 또한, 절연막들(IL)은 서로 동일한 두께들을 가지거나, 절연막들(IL) 중 적어도 2개의 두께들은 서로 다를 수 있다. 절연막들(IL) 중 최하층의 것은 그 상부 상에 형성된 희생막들(SC) 및 절연막들(IL)보다 얇은 두께를 가질 수 있다. 상기 절연막들(IL) 중 최하층의 것은 열산화 공정을 통해 형성되는 실리콘 산화막일 수도 있다. 본 명세서에서, 어떤 구성 요소의 두께는 상기 구성 요소의 제3 방향(D3)에서의 거리를 의미할 수 있다.

[176] 본원의 도 1 및 도 3을 참조하면, 개구부들(210) 및 수직 구조체들(300)이 적층 구조체(200) 내에 형성될 수 있다. 개구부들(210)을 형성하는 것은 적층 구조체(200) 상에 개구부들(210)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 것 및 상기 마스크 패턴을 식각 마스크로 사용하여 적층 구조체(200)를 식각하는 것를 포함할 수 있다. 적층 구조체(200)의 식각은 이방성 식각 공정에 의해 수행될 수 있다.

[177] 본원의 일 구현예에서 있어서, 개구부들(210)은 적층 구조체(200)를 관통할 수 있다. 개구부들(210)의 측벽들은 희생막들(SC) 및 절연막들(IL)을 노출시킬 수 있다. 개구부들(210)은 기판(100)을 노출시킬 수 있다. 개구부들(210)을 형성하는 동안 기판(100)의 상부면(100a)이 오버 식각(over etch)될 수 있다. 이 경우, 개구부들(210)에 노출된 기판(100)의 상부면(100a)은 소정 깊이로 리세스될 수도 있다.

[178] 본원의 일 구현예에서 있어서, 개구부들(210) 각각은 원통형 또는 직육면체의 홀 형태로 형성될 수 있다. 개구부들(210)의 하부들은 그들의 상부들보다 더 작은 폭들을 가질 수 있다. 도 1과 같이, 개구부들(210)은 평면적 관점에서 제2 방향(D2)과 나란한 열들을 이룰 수 있다. 인접한 두 열들 사이의 개구부들(210)은 제2 방향(D2)으로 지그재그(zigzag) 형태로 배열될 수 있다. 도 1과 달리, 개구부들(210)은 제1 방향(D1) 및 제2 방향(D2)을 따라 정렬된 어레이를 이룰 수 있다. 예를 들어, 인접한 두 열들의 개구부들(210)은 제1 방향(D1)으로 정렬되어, 어레이를 이룰 수 있다.

[179] 본원의 일 구현예에서 있어서, 제1 유전 패턴들(310)이 개구부들(210) 내에 형성될 수 있다. 제1 유전 패턴들(310)은 개구부들(210)의 측벽들을 덮을 수 있다. 제1 유전 패턴들(310)은 기판(100)의 상부면(100a)을 노출시킬 수 있다. 제1 유전 패턴(310)은 단층의 절연층 또는 다층의 절연층들을 포함할 수 있다. 제1 유전 패턴(310)은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막의 일부로 기능할 수 있다. 제1 유전 패턴(310)의 예시적인 실시예들은 도 9에 관한 설명에서 후술한다.

[180] 본원의 일 구현예에서 있어서, 반도체 패턴들(320)이 개구부들(210) 내에 형성될 수 있다. 반도체 패턴들(320)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있다. 반도체 패턴들(320)은 단결정, 비정질(amorphous),

및 다결정(polycrystalline) 중에서 적어도 하나를 포함하는 결정 구조를 가질 수 있다. 반도체 패턴들(320)은 도핑된 불순물을 더 포함할 수 있다. 다른 예로, 반도체 패턴들(320)은 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)일 수 있다. 반도체 패턴들(320)은 열적 화학기상증착(Thermal CVD), 플라즈마 인핸스드(Plasma enhanced CVD), 또는 원자층 증착(Atomic Layer Deposition; ALD) 기술을 이용하여 형성될 수 있다.

[181] 본원의 일 구현예에서 있어서, 반도체 패턴들(320)은 개구부들(210)의 측벽들 상에 형성되어, 제1 유전 패턴들(310)을 덮을 수 있다. 반도체 패턴들(320)은 기판(100) 상으로 연장되어, 개구부들(210)에 의해 노출된 기판(100)의 상부면(100a)의 일부와 접촉할 수 있다. 반도체 패턴들(320) 각각은 대응되는 각 개구부들(210) 내에 파이프 형태(pipe-shaped), 중공의 실린더 형태(hollow cylindrical shape), 또는 컵(cup) 모양으로 형성될 수 있다. 반도체 패턴들(320)은 개구부들(210)의 중심 부분들에 빈영역들(321)을 정의할 수 있다.

[182] 본원의 일 구현예에서 있어서, 매립 절연 패턴들(330)이 상기 빈 영역들(321) 내에 각각 채워질 수 있다. 매립 절연 패턴들(330)은 갭필 특성이 우수한 절연재료로 형성될 수 있다. 매립 절연 패턴들(330)은 예를 들어, 고밀도 플라즈마 산화막, SOG막(Spin On Glass layer), ALD 산화막 및/또는 CVD 산화막 등으로 형성될 수 있다.

[183] 본원의 일 구현예에서 있어서, 패드들(340)이 수직 구조체들(300) 상에 형성될 수 있다. 패드들(340)은 불순물이 도핑된 반도체 물질 또는 금속과 같은 도전재료로 이루어질 수 있다. 패드들(340)의 하면은 최상층의 희생막(SC)의 상면보다 높은 레벨에 배치될 수 있다. 하부 캐핑막(510)이 수직 구조체들(300) 및 적층 구조체(200)의 상면 상에 형성될 수 있다. 하부 캐핑막(510)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물과 같은 절연재료를 포함할 수 있다.

[184] 본원의 도 4를 참조하면, 트렌치들(600)이 형성되어, 적층 구조체(200) 및 하부 캐핑막(510)을 관통할 수 있다. 트렌치 들(600)을 형성하는 것은, 하부 캐핑막(510) 상에 트렌치들(600)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 것 및 마스크 패턴을 식각 마스크로 사용하여 적층 구조체(200)를 식각하는 것를 포함할 수 있다. 적층 구조체(200)를 식각하는 것은 이방성 식각 공정에 의해 수행될 수 있다.

[185] 본원의 일 구현예에서 있어서, 트렌치들(600)은 인접하는 수직 구조체들(300) 사이에 형성될 수 있다. 트렌치들(600)은 수직 구조체들(300)로부터 이격되어, 희생막들(SC)의 측벽들 및 절연막들(IL)의 측벽들을 노출시킬 수 있다. 트렌치들(600)의 상부들은 그들의 하부들보다 더 큰 폭들을 가질 수 있다. 트렌치들(600)는 기판(100)의 상부면(100a)을 노출시킬 수 있다. 트렌치들(600)을 형성하는 동안 오버 식각에 의해 트렌치들(600)에 노출된 기판(100)의 상부면(100a)이 소정 깊이로 리세스될 수 있다. 도 1과 같이, 트렌치들(600)은 평면적 관점에서 제2 방

향(D2)과 나란한 장축들을 가질 수 있다. 트렌치들(600)은 서로 제1 방향(D1)으로 이격될 수 있다.

[186] 본원의 도 5를 참조하면, 희생막들(SC)이 식각되어, 게이트 영역들(250)을 형성할 수 있다. 게이트 영역들(250)은 공극들일 수 있으며, 도 7에서 게이트 전극 패턴들(450)이 형성되는 영역들일 수 있다. 게이트 영역들(250)은 절연막들(IL) 사이에 형성되며, 트렌치들(600)과 연결될 수 있다. 게이트 영역들(250)은 수직 구조체들(300)의 측벽들(300c)의 일부분들을 노출시킬 수 있다. 게이트 영역들(250)의 두께들은 제거된 희생막들(SC)의 두께들과 실질적으로 동일할 수 있다. 희생막들(SC)의 식각은 식각 조성물을 이용한 식각 공정에 의해 수행될 수 있다. 상기 식각 공정은 습식 식각 공정일 수 있다.

[187] 본원의 일 구현예에서 있어서, 식각 조성물은 인산과 같은 제1 무기산, 암모늄계 화합물, 및 제1 또는 화학식 1로 표시되는 화합물을 포함할 수 있다. 희생막들(SC)은 실리콘 질화물을 포함하므로, 반응식 1과 같이 인산에 의해 식각될 수 있다.

[188] 본원의 일 구현예에서 있어서, 예컨대, 130℃ 내지 170℃의 식각 조성물이 기판(100) 상에 공급될 수 있다. 130℃ 미만에서는 실리콘 질화막의 식각속도가 너무 낮아 적용이 어렵고, 170℃ 초과의 온도에서는 너무 빠른 식각 속도로 인해 균일한 식각이 이루어지지 않을 수 있다.

[189] 상기 온도 조건에서, 인산은 희생막들(SC) 뿐만 아니라, 실리콘 산화물 또는 게르마늄 함유막을 더 식각할 수 있다. 절연막들(IL)은 실리콘 산화물 또는 게르마늄 함유막을 포함할 수 있다. 실시예들에 따르면, 식각 조성물은 산화막 식각 억제제 및 아민계 화합물을 첨가물질로 포함하여, 인산에 의한 절연막들(IL)의 식각이 방지/감소될 수 있다. 예를 들어, 상기 식각 공정에서, 상기 실리콘 함유 화합물의 산소는 절연막들(IL)의 표면에 결합되어 절연막들(IL)을 보호할 수 있다. 이에 따라, 상기 식각 공정 동안, 절연막들(IL)은 낮은 식각률을 나타낼 수 있다. 실리콘 함유 화합물의 산소 원자는 희생막들(SC)의 표면과 상호작용(예를 들어, 수소 결합)하지 않을 수 있다. 이에 따라, 절연막들(IL)에 대한 희생막들(SC)의 식각 선택성이 증가될 수 있다. 실리콘 함유 화합물이 불안정하면, 부산물들이 형성되고, 상기 부산물들은 파티클을 형성할 수 있다. 부산물들 및/또는 파티클은 반도체 소자의 제조 과정에서 불량을 야기시킬 수 있다. 예를 들어, 부산물들 및/또는 파티클은 절연막들(IL)에 흡착될 수 있다. 실리콘 함유 화합물의 실리콘 원자 및 산소 원자의 결합은 안정하므로, 식각 공정에서 부산물들의 형성이 방지될 수 있다. 희생막들(SC)은 식각되어, 실리콘 이온(예를 들어, SiO_2H_2O)을 형성할 수 있다. 암모늄계 화합물은 희생막들(SC)을 식각하는 동안, 발생되는 실리콘 이온을 제거할 수 있다. 이에 따라, 상기 실리콘 이온에 의한 절연막들(IL)의 이상 성장이 방지/감소될 수 있다.

[190] 본원의 일 구현예에서 있어서, 상기 식각 공정에서, 식각 조성물은 도포, 침적(dipping), 분무, 또는 분사의 방법으로 기판(100) 상에 가해질 수 있다. 식각 조성

물이 침적법에 의해 가해지는 경우, 상기 식각 공정에서, 배치식 장치가 사용될 수 있다. 식각 조성물이 기판(100) 상에 분무되는 경우, 상기 식각 공정에서, 매엽식(single wafer type) 장치가 사용될 수 있다. 상기 식각 공정 후, 초순수 등을 사용한 세정 공정 및 건조 공정이 기판(100) 상에 수행될 수 있다. 초순수란 불순물이 100ppb이하인 물을 의미할 수 있다.

[191] 본원의 도 6을 참조하면, 제2 유전 패턴(410) 및 게이트 도전막(451)이 적층 구조체(200) 상에 및 트렌치들(600) 내에 형성될 수 있다. 제2 유전 패턴(410)은 적층 구조체(200) 상에 및 트렌치들(600) 내에 실질적으로 콘포말하게 형성될 수 있다. 제2 유전 패턴(410)은 트렌치들(600) 및 게이트 영역들(250) 내로 연장될 수 있다. 제2 유전 패턴(410)은 절연막들(IL) 중 최상층의 절연막(IL)의 상면, 트렌치들(600)에 의해 노출된 절연막들(IL)의 측벽들, 게이트 영역들(250)에 의해 노출된 절연막들(IL)의 상면들 및 하면들, 게이트 영역들(250)에 의해 노출된 수직 구조체들(300)의 측벽들(300c), 및 기판(100)의 상부면(100a)을 실질적으로 콘포말하게 덮을 수 있다. 제2 유전 패턴(410)은 증착 공정에 의해 형성될 수 있다. 상기 증착 방법 및 증착 조건이 조절되어, 상기 제2 유전패턴(410)이 양호한 스텝 커버리지(step coverage)를 갖도록 형성될 수 있다. 예를 들어, 제2 유전 패턴(410)의 증착 공정은 화학 기상 증착 또는 원자층 증착법에 의해 수행될 수 있다, 제2 유전 패턴(410)은 단수의 층 또는 복수의 층들을 포함할 수 있다. 제2 유전 패턴(410)은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막(DS)의 일부일 수 있다. 제2 유전 패턴(410)의 예시적인 실시예들은 도 9에 관한 설명에서 후술한다. 게이트 도전막(451)이 제2 유전 패턴(410) 상에 형성될 수 있다. 게이트 도전막(451)은 트렌치들(600) 각각의 적어도 일부 및 게이트 영역들(250)을 채울 수 있다. 도시된 바와 달리, 게이트 도전막(451)은 트렌치들(600) 각각을 완전히 채울 수 있다. 도시되지는 않았으나, 배리어 금속막 및 금속막이 차례로 증착되어, 게이트 도전막(451)을 형성할 수 있다. 배리어 금속막은 예를 들어, 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 또는 텅스텐 질화물(WN)와 같은 금속 질화물을 포함할 수 있다. 금속막은 예를 들어, 텅스텐(W), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 코발트(Co), 또는 구리(Cu)를 포함할 수 있다.

[192] 본원의 도 1 및 도 7을 참조하면, 게이트 도전막(451)이 패터닝되어, 게이트 전극 패턴들(450)이 게이트 영역들(250) 내에 각각 형성될 수 있다. 게이트 도전막(451)의 패터닝은 식각 공정에 의해 진행될 수 있다. 이 때, 제2 유전패턴(410)이 더 식각될 수 있다. 게이트 도전막(451)의 식각 공정에서, 기판(100) 상의 게이트 도전막(451)이 제거될 수 있다. 게이트 도전막(451)의 식각은 절연막들(IL)의 측벽들 상의 절연막들(IL)이 제거되고, 절연막들(IL)의 측벽들이 노출될 때까지 진행될 수 있다. 이에 따라, 게이트 전극 패턴들(450) 및 제2 유전 패턴(410)이 게이트 영역들(250)에 국소화되고, 게이트 구조체들(400)이 형성될 수 있다. 게이트 구조체들(400) 각각은 서로 인접한 2개의 트렌치들(600) 사이에 형성될 수 있다. 게이트 구조체들(400)의 측벽들은 트렌치들(600)에 노출될 수 있다. 게이트 구조

체들(400)은 트렌치들(600) 내의 기판(100)의 상부면(100a)을 노출시킬 수 있다. 상기 노출된 기판(100)의 상부면(100a)이 더 식각될 수 있다. 도 1과 같이 게이트 구조체들(400)은 평면적 관점에서 제2 방향(D2)과 나란한 장축들을 가질 수 있다. 게이트 구조체들(400)은 서로 제1 방향(D1)으로 이격될 수 있다.

[193] 본원의 일 구현예에서 있어서, 게이트 구조체들(400) 각각은 적층된 게이트 전극 패턴들(450), 제2 유전 패턴(410), 및 절연막들(IL)을 포함할 수 있다. 게이트 구조체들(400) 각각에서, 게이트 전극 패턴들(450)은 절연막들(IL) 사이에 개재될 수 있다. 게이트 전극 패턴들(450)은 스트링 선택 라인, 접지 선택 라인 및 워드 라인들로 사용될 수 있다. 예를 들면, 적층된 게이트 전극 패턴들(450)의 최상부의 것 및 최하부의 것은 각각 스트링 선택 라인 및 접지 선택 라인으로 사용될 수 있다. 상기 최상부 및 최하부의 게이트 전극 패턴들(450) 사이의 게이트 전극 패턴들(450)은 워드 라인들로 사용될 수 있다.

[194] 본원의 일 구현예에서 있어서, 게이트 구조체들(400)에서, 제2 유전 패턴(410)은 게이트 전극 패턴들(450)과 절연막들(IL) 사이 및 수직 구조체(300)와 절연막들(IL) 사이에 개재될 수 있다.

[195] 본원의 일 구현예에서 있어서, 공통 소스 영역들(CSR)이 트렌치들(600)에 노출된 기판(100) 내에 형성될 수 있다. 공통 소스 영역들(CSR)은 서로 제2 방향(D2)으로 이격될 수 있다. 공통 소스 영역들(CSR)은 게이트 구조체들(400)를 이온 마스크로 사용한 이온 주입 공정을 통해 형성될 수 있다. 공통 소스 영역들(CSR)은 불순물의 확산에 의해 게이트 구조체들(400)의 하부의 일부분과 평면적 관점에서 중첩될 수 있다. 공통 소스 영역들(CSR)은 기판(100)의 도전형과 다른 도전형을 가질 수 있다. 다른 예로, 공통 소스 영역들(CSR)은 도 4의 트렌치들(600)의 형성 이후에 수행될 수 있다.

[196] 본원의 도 1 및 도 8를 참조하면, 스페이서들(550) 및 공통 소스 플러그들(CSP)이 트렌치들(600) 내에 각각 형성될 수 있다. 스페이서들(550)은 게이트 구조체들(400)의 측벽들을 덮을 수 있다. 스페이서들(550)은 절연재료를 포함할 수 있다. 스페이서들(550)을 예를 들어 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 low-k 물질로 형성될 수 있다. 스페이서들(550)을 형성하는 것은 기판(100) 상에 스페이서막(미도시)을 균일한 두께로 증착하여, 게이트 구조체들(400)을 덮는 것 및 스페이서막에 대한 에치백 공정을 수행하여 공통 소스 영역들(CSR)을 노출시키는 것을 포함할 수 있다.

[197] 본원의 일 구현예에서 있어서, 공통 소스 플러그들(CSP)이 스페이서들(550) 상에 형성되어, 트렌치들(600)을 채울 수 있다. 공통 소스 플러그들(CSP)은 공통 소스 영역들(CSR)과 각각 접속할 수 있다. 공통 소스 플러그(CSP)를 형성하는 것은 스페이서들(550)의 측벽들을 덮는 배리어 금속막(미도시)을 증착하는 것 및 배리어 금속막 상에 금속막(미도시)을 증착하는 것을 포함할 수 있다. 배리어 금속막은 예를 들어, 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐(W), 텅스텐 질화물(WN), 및 이들의 조합 중에서 적어도 하나를 포함할 수

있다. 금속막은 텅스텐(W), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 코발트(Co), 또는 구리(Cu)를 포함할 수 있다. 도 1과 같이 평면적 관점에서, 공통 소스 플러그들(CSP)의 장축들은 제2 방향(D2)과 나란히 연장될 수 있다.

[198] 본원의 일 구현예에서 있어서, 상부 캐핑막(520)이 하부 캐핑막(510) 상에 형성되어, 공통 소스 플러그(CSP)의 상면들을 덮을 수 있다. 상부 캐핑막(520)은 절연성 물질을 포함할 수 있다.

[199] 본원의 일 구현예에서 있어서, 비트 라인 콘택 플러그들(530)이 상부 캐핑막(520) 내에 형성될 수 있다. 비트 라인 콘택 플러그들(530)은 상부 캐핑막(520) 및 하부 캐핑막(510)을 관통하며 패드들(340)과 각각 접속할 수 있다. 비트 라인 콘택 플러그들(530)은 패드들(340)을 통해 수직 구조체들(300)(예를 들어, 반도체 패턴들(320))과 각각 전기적으로 연결될 수 있다. 비트 라인들(BL)이 상부 캐핑막(520) 상에 형성되어, 비트 라인 콘택 플러그들(530)과 접속할 수 있다. 도 1과 같이 비트 라인들(BL)은 평면적 관점에서 제1 방향(D1)으로 연장될 수 있다. 비트 라인 콘택 플러그들(530) 및 비트 라인들(BL)은 금속과 같은 도전재료를 포함할 수 있다. 이에 따라, 반도체 소자(1)의 제조가 완성될 수 있다. 반도체 소자(1)는 3차원 메모리 소자일 수 있다.

[200] 본원의 도 9는 실시예들에 따른 반도체 소자의 절연 패턴들을 설명하기 위한 도면으로, 도 8의 A영역을 확대 도시하였다. 이하, 도 9의 설명에서, 설명의 간소화를 위해 단수의 절연막, 단수의 게이트 전극 패턴, 및 단수의 수직 구조체에 대하여 기술한다.

[201] 본원의 도 8 및 도 9를 참조하면, 제1 유전 패턴(310)은 터널 절연막(311), 전하 저장막(312), 및 제1 블록킹 절연막(313)을 포함할 수 있다. 터널 절연막(311)은 수직 구조체를 따라 연장될 수 있다. 전하 저장막(312) 및 제1 블록킹 절연막(313)은 터널 절연막(311) 상에 적층될 수 있다. 터널 절연막(311)은 제1 블록킹 절연막(313)보다 낮은 유전 상수를 갖는 물질로 형성될 수 있다. 터널 절연막(311)은 예를 들어, 산화물, 질화물 또는 산화질화물 등에서 선택된 적어도 하나를 포함할 수 있다. 이와 달리, 터널 절연막(311)은 고유전 물질을 포함할 수 있다. 고유전 물질은 실리콘 산화물보다 높은 유전 상수를 갖는 절연성 물질을 의미하며, 지르코늄 산화물, 알루미늄 산화물, 및/또는 하프늄 산화물 등을 포함할 수 있다. 전하 저장막(312)은 터널 절연막(311) 및 제1 블록킹 절연막(313) 사이에 개재될 수 있다. 전하 저장막(312)은 전하트랩 절연막, 플로팅 게이트 전극 또는 도전성 나노도트들(conductive nano dots) 중 적어도 하나를 포함할 수 있다. 제1 블록킹 절연막(313)은 고유전 물질을 포함할 수 있다.

[202] 본원의 일 구현예에서 있어서, 제2 유전 패턴(410)은 제2 블록킹 절연막을 포함할 수 있다. 제2 블록킹 절연막은 게이트 전극 패턴(450)과 제1 유전 패턴(310) 사이 및 게이트 전극 패턴(450)과 절연막(IL) 사이에 개재될 수 있다. 제2 블록킹 절연막은 고유전 물질을 포함할 수 있다. 일 예로, 제1 블록킹 절연막(313)은 고유전 물질을 포함하고, 제2 블록킹 절연막은 제1 블록킹 절연막(313)보다 작은 유전 상

수를 갖는 물질일 수 있다. 다른 예로, 제2 블록킹 절연막은 고유전 물질들 중의 하나이고, 제1 블록킹 절연막(313)은 제2 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다.

[203] 본원의 일 구현예에서 있어서, 제1 유전 패턴(310) 및 제2 유전 패턴(410)은 데이터 저장막으로 기능할 수 있다. 데이터 저장막에 저장되는 데이터는 파울러-노던하임 터널링을 이용하여 변경될 수 있고, 상기 파울러-노던하임 터널링은 수직 구조체(300) 및 게이트 전극 패턴(450) 사이의 전압 차이에 의해 유발될 수 있다.

[204] 본원의 일 구현예에서 있어서, 도시된 바와 달리, 제2 유전 패턴(410)은 형성되지 않을 수 있다. 다른 예로, 제1 블록킹 절연막(313)은 형성되지 않을 수 있다.

[205]

[206] **집적회로 소자**

[207] 본원의 제3 측면은,

[208] 절연막 및 희생막이 적층되어 형성되는 구조체; 상기 구조체에서 희생막이 식각 조성물에 의해 식각되어 형성되는 공간부; 및 상기 공간부에 도전재료 또는 절연재료가 증착되어 형성되는 증착부;를 포함하고, 상기 식각 조성물은 무기산, 제1 식각 억제제, 제2 식각 억제제 및 잔량의 용매를 포함하고, 상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로 환 구조를 포함하는 집적회로 소자를 제공한다.

[209]

[210] 본원의 제1 측면 및 제2 측면과 중복되는 부분들에 대해서는 상세한 설명을 생략하였으나, 본원의 제 1 측면 및 제2 측면에 대해 설명한 내용은 제3 측면에서 그 설명이 생략되었더라도 동일하게 적용될 수 있다.

[211]

[212] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[213]

산업상 이용가능성

[214] 본 발명의 일 실시예에 따르면 질화막의 식각 선택비가 높아 게르마늄 함유막의 식각속도가 조절됨에 따라 유효 산화막 높이(EFH)를 용이하게 조절할 수 있다. 또한, 본 발명의 식각 조성물은 질화막 제거시에 게르마늄 함유막의 막질 손상, 게르마늄 함유막의 식각으로 인한 전기적 특성 저하 및 파티클 발생 등이 방지되어 반도체 소자의 신뢰성을 향상시킬 수 있다.

[215] 또한, 질화막을 식각할 때 질화막과 게르마늄 함유막 또는 산화막이 교대로 적층되거나 혼재되어 있는 경우에도 질화막과 게르마늄 함유막 또는 산화막과의 비교적 높은 식각 선택비를 가지고 질화막 만을 선택적으로 식각할 수 있다. 따라서, 복잡하고 미세화된 구조를 가지는 전자 소자를 구성하기 위하여 다양한 형상의 패턴으로 이루어지는 질화막을 식각하는 동안 상술한 문제점을 야기하지 않으면서 산화막 또는 게르마늄 함유막 대비 질화막의 충분한 식각 선택비를 확보하여, 질화막 식각 공정의 안정성 및 신뢰성을 확보할 수 있고, 질화막과 함께 식각 조성물에 노출되는 게르마늄 함유막 또는 산화막의 손상 또는 게르마늄 함유막 또는 산화막의 전기적 특성저하를 방지함으로써 반도체 소자 제조 공정의 생산성을 향상시키고, 반도체소자의 신뢰성을 향상시킬 수 있다.

[216] 따라서, 본 발명의 식각 조성물은 게르마늄 함유막 또는 산화막에 대하여 질화막의 선택적 제거가 요구되는 반도체 소자의 제조 공정(예를 들어, 로직 반도체 소자, 이미지 센서 등 소자의 미세 식각 공정, 플래시 메모리 소자의 소자 분리 공정, 3D 플래시 메모리 소자의 파이프 채널(pipe channel) 형성 공정, 상변화 메모리의 다이오드 형성 공정 등)에 유용하게 사용되어 반도체 소자의 제조 공정의 효율을 향상시키는데 기여할 수 있다.

[217] 또한, 식각액 식각 선택비 향상과 소정의 온도 범위에서 최적화된 효과를 나타내는 특성을 모두 얻을 수 있는 첨가 물질을 함유함으로써, 공정 활용성이 높은 식각 조성물을 제공할 수 있다.

[218] 또한, 식각액 자체에서 공정 중 발생가능한 H_2 등의 기체의 의한 버블(Bubble)의 발생 및 이러한 버블의 실리콘 웨이퍼 표면에 흡착하여 질화막의 선택적 식각을 방해하는 현상을 억제할 수 있다.

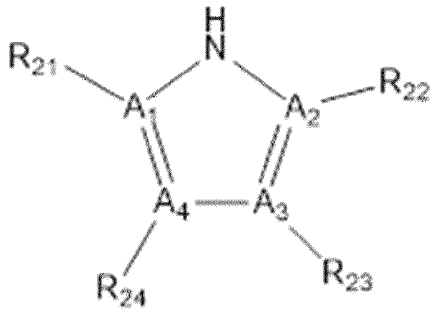
[219] 상술한 이유로, 본 발명의 일 실시예에 따른 식각 조성물, 이를 사용한 식각 공정을 수행하는 것을 포함하는 집적회로 소자의 제조방법, 및 이에 의해 제조된 집적회로 소자는 산업상 이용이 가능한 것으로 볼 수 있다.

청구범위

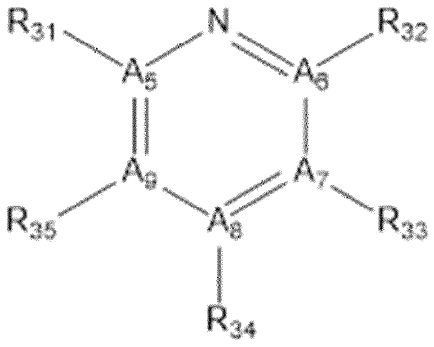
[청구항 1] 무기산;
제1 식각 억제제; 및
잔량의 용매를 포함하고,
상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로 환 구조를 포함하는, 식각 조성물.

[청구항 2] 제1항에 있어서,
제2 식각 억제제;를 더 포함하고,
상기 제1 식각 억제제는 게르마늄 함유막의 식각을 억제하고,
상기 제2 식각 억제제는 실리콘 산화막의 식각을 억제하는, 식각 조성물.

[청구항 3] 제1항에 있어서,
상기 제1 식각 억제제는 하기 화학식 1 또는 화학식 2로 표시되는, 식각 조성물.
[화학식 1]



[화학식 2]

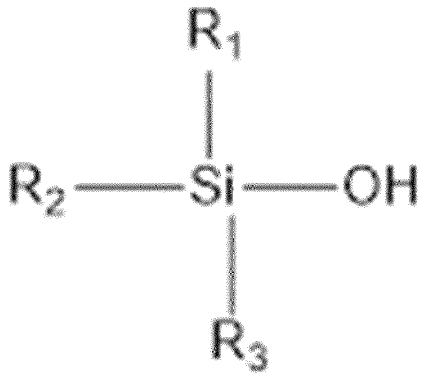


(상기 화학식 1 또는 화학식 2에서,
상기 A_1 내지 A_9는 각각 독립적으로 탄소 또는 질소이고
상기 R_{21} 내지 R_{24} 및 R_{31} 내지 R_{35}는 각각 독립적으로 수소, 할로겐, 아미노기, 아미드기, 히드록시기, 싸이올기(-SH 또는 =S), $-NO_2$, $-NHCOR_{41}$(R_{41}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{42}$(R_{42}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-OCOR_{43}$(R_{43}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기, 및 탄소수 5 내지 20의 치환 또는 비치환된 헤테로아릴기로 이루어진 군으로부터 선택되는 어느 하나이고,
상기 화학식 1에서 A_1 내지 A_4가 모두 탄소일 때, 상기 R_{21} 내지 R_{24} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{51}$(R_{51}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{52}$(R_{52}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기이고, 또는
상기 화학식 2에서 A_5 내지 A_9가 모두 탄소일 때, 상기 R_{31} 내지 R_{35} 중 적어도 하나는 아미노기, 아미드기, $-NO_2$, $-NHCOR_{61}$(R_{61}은 탄소수 1 내지 10의 치환 또는 비치환된 알킬기임), $-CONHR_{62}$(R_{62}은 탄소수 1 내지 10의 치환

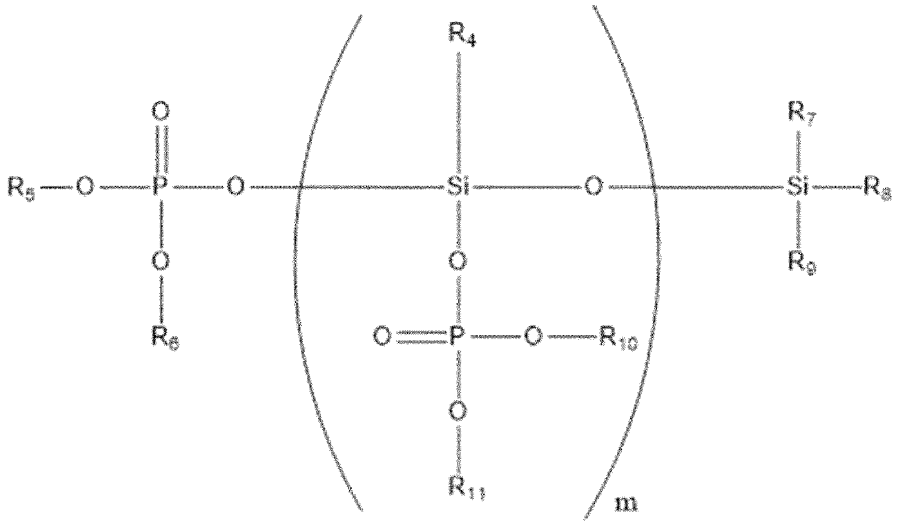
또는 비치환된 알킬기임), 탄소수 1 내지 10의 치환 또는 비치환된 아미노 알킬기, 또는 탄소수 1 내지 10의 치환 또는 비치환된 알킬아미노기이다)

[청구항 4] 제1항에 있어서,
상기 제1 식각 억제제는 니코틴아미드(Nicotinamine), 피리미딘 (Pyrimidine), 또는 이미다졸(imidazole)인, 식각 조성물.

[청구항 5] 제2항에 있어서,
상기 제2 식각 억제제는 하기 화학식 3 내지 화학식 5 중 선택된 어느 하나로 표시되는, 식각 조성물.
[화학식 3]



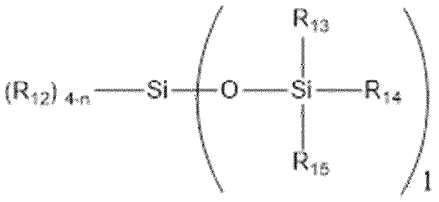
(상기 화학식 3에서,
상기 R_1은 탄소수 1 내지 20의 치환 또는 비치환된 아미노 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 아세틸옥시기 및 탄소수 1 내지 20의 치환 또는 비치환된 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3는 히드록시기이다)
[화학식 4]



(상기 화학식 4에서,

R_4는 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬키, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄소수 1 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환

된 탄소수 1 내지 20의 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기 및 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며,
R_5 내지 R_{11}는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 20의 알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 알콕시기, 치환 또는 비치환된 탄소수 2 내지 20의 알케닐기, 치환 또는 비치환된 탄소수 3 내지 20의 시클로알킬기, 치환 또는 비치환된 탄소수 1 내지 20의 아미노알킬기, 치환 또는 비치환된 아미노(C_1-C_{10})알킬아미노(C_1-C_{10})알킬기, 치환 또는 비치환된 탄소수 6 내지 20의 아릴기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐기, 치환 또는 비치환된 탄소수 1 내지 20의 알킬카르보닐옥시기, 시아노(C_1-C_{10})알킬기로 이루어진 군으로부터 선택되며,
m은 1 내지 10의 정수이고,
상기 m이 2 이상일 때, 복수의 각각의 R_4, R_{10}, 및 R_{11}은 모두 동일하거나 적어도 일부는 상이하다)
[화학식 5]



(상기 화학식 5에서,
R_{12}는 수소, 알킬기, 아미노 알킬기 또는 아미노 알콕시기이고,
R_{13}, R_{14} 및 R_{15} 중에서 적어도 하나는 아미노 알킬기 또는 아미노 알콕시기이고,

l은 2 또는 3이다)

[청구항 6] 제5항에 있어서,

상기 제2 식각 억제제는 상기 화학식 4로 표시되고,

상기 화학식 4에서, R_4는 치환 또는 비치환된 탄소수 1 내지 3의 알킬기, 치환 또는 비치환된 탄소수 1 내지 3의 알콕시기, 치환 또는 비치환된 탄소수 1 내지 3의 알케닐기, 및 치환 또는 비치환된 탄소수 1 내지 4의 아미노알킬기로 이루어지는 군으로부터 선택되고,

R_5, R_6, R_{10} 및 R_{11}은 각각 독립적으로 수소, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며,

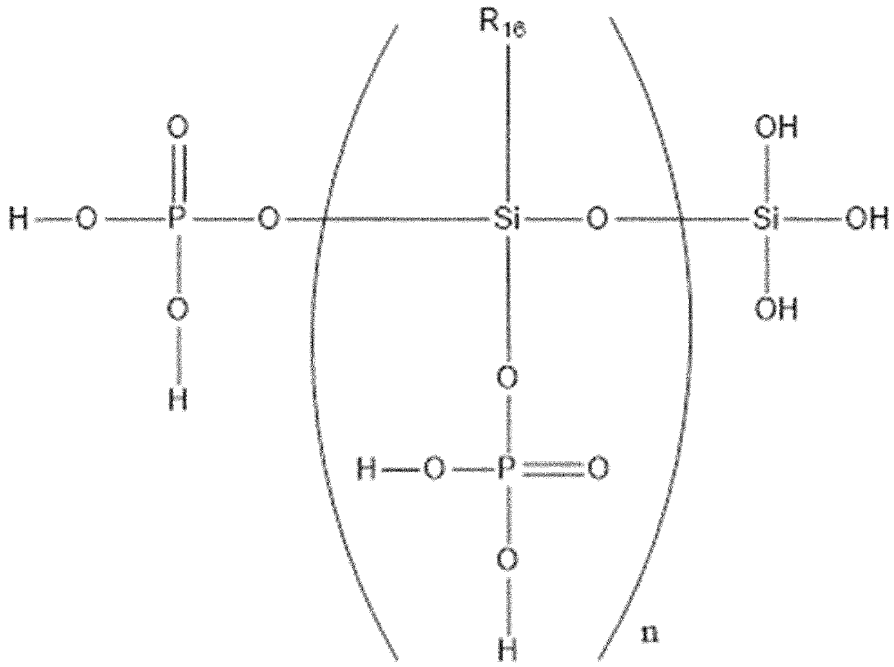
R_7 내지 R_9는 각각 독립적으로 수소, OH, 치환 또는 비치환된 탄소수 1 내지 5의 알킬기, 및 치환 또는 비치환된 탄소수 탄소수 1 내지 5의 아미노알킬기로 이루어진 군으로부터 선택되며,

m은 1 내지 5의 정수인, 식각 조성물.

[청구항 7] 제5항에 있어서,

상기 제2 식각 억제제는 하기 화학식 6으로 표시되는, 식각 조성물.

[화학식 6]



(상기 화학식 6에서, 상기 R_{16}은 메틸기, 에틸기, 또는 프로필기이고,
상기 n은 1 내지 5의 정수이며,
상기 n이 2 이상일 때, 복수의 R_{16}은 모두 동일하거나 적어도 일부는 상이하다)

[청구항 8] 제2항에 있어서,

상기 식각 조성물은 상기 식각 조성물 전체에 대하여 상기 무기산 7 내지 85 중량%, 상기 제1 식각 억제제 0.1 내지 10 중량%, 상기 제2 식각 억제제 0.1 내지 10 중량%, 및 나머지 함량의 용매를 포함하는 식각 조성물.

[청구항 9] 제2항에 있어서,
상기 식각 조성물 전체 중량 대비, 상기 제1 식각 억제제는 0.1 초과 2 중량%인 것을 특징으로 하는, 식각 조성물.

[청구항 10] 제2항에 있어서,
상기 식각 조성물 전체 중량 대비, 상기 제2 식각 억제제는 0.1 초과 3 중량%인 것을 특징으로 하는, 식각 조성물.

[청구항 11] 제1항에 있어서,
상기 무기산이 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상을 포함하는 식각 조성물.

[청구항 12] 제1항에 있어서,
상기 식각 조성물은 암모늄계 화합물을 더 포함하는 식각 조성물.

[청구항 13] 제8항에 있어서,
상기 암모늄계 화합물은 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 설페이트, 암모늄 포메이트, 및 금속 아민 착염 중에서 적어도 하나를 포함하는 식각 조성물.

[청구항 14] 제1항에 있어서,
상기 식각 조성물은 실리콘 질화막 식각에 이용되는 것을 특징으로 하는 식각 조성물.

[청구항 15] 제1항에 있어서,
상기 식각 조성물의 실리콘 질화막/게르마늄 함유 물질막의 식각 선택비는 50 이상인 것을 특징으로 하는 식각 조성물.

[청구항 16] 제1항에 있어서,
상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.9 cm 이하인 것을 특징으로 하는, 식각 조성물.

[청구항 17] 기판 상에 절연막 및 희생막이 적층하여 구조체를 형성하는 단계; 및
제1항에 따른 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;를 포함하는 집적회로 소자의 제조방법.

[청구항 18] 제17항에 있어서,
상기 희생막은 실리콘 질화물을 포함하고, 상기 절연막은 게르마늄-함유 물질 또는 실리콘 산화물을 포함하는 집적회로 소자의 제조방법.

[청구항 19] 제17항에 있어서,
상기 식각 공정에서. 상기 희생막은 상기 절연막보다 높은 식각률을 갖는 것을 특징으로 하는 집적회로 소자의 제조방법.

[청구항 20] 제17항에 있어서,

상기 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;에서, 상기 공간 영역은 상기 절연막 사이에 형성되는 게이트 영역 및 상기 게이트 영역과 연결되는 트렌치를 포함하는 것을 특징으로 하는 집적회로 소자의 제조방법.

[청구항 21] 제17항에 있어서,
상기 적층 구조체를 관통하는 오프닝들을 형성하는 것; 및
상기 오프닝들 내에 상기 트렌치와 이격된 반도체 패턴을 형성하는 것을 더 포함하고,
상기 반도체 패턴을 형성하는 것은 상기 트렌치를 형성하기 이전에 수행되는 집적회로 소자의 제조방법.

[청구항 22] 절연막 및 희생막이 적층되어 형성되는 구조체;
상기 구조체에서 희생막이 식각 조성물에 의해 식각되어 형성되는 공간부; 및
상기 공간부에 도전재료 또는 절연재료가 증착되어 형성되는 증착부;를 포함하고,
상기 식각 조성물은 무기산, 제1 식각 억제제, 제2 식각 억제제 및 잔량의 용매를 포함하고, 상기 제1 식각 억제제는 적어도 2개의 질소 원자를 포함하며, 적어도 1개의 질소원자를 함유하는 헤테로 환 구조를 포함하는, 집적회로 소자.