(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年2 月5 日 (05.02.2009)

PCT

(10) 国際公開番号
WO 2009/016880 A1

(51) 国際特許分類:
H01L 27/092 (2006.01) *H01L 23/52* (2006.01)
H01L 21/8238 (2006.01) *H01L 27/04* (2006.01)
H01L 21/3205 (2006.01) *H01L 29/786* (2006.01)
H01L 21/822 (2006.01)

(21) 国際出願番号: PCT/JP2008/059731

(22) 国際出願日: 2008 年5 月27 日 (27.05.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-201687 2007 年8 月2 日 (02.08.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 日本ユニサンティスエレクトロニクス株式会社 (Unisantis Electronics (Japan) Ltd.) [JP/JP]; 〒1040033 東京都中央区新川１－２２－１１ フジライト新川ビル２Ｆ Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 舛岡 富士雄 (MASUOKA, Fujio) [JP/JP]; 〒1040033 東京都中央区新川１－２２－１１ フジライト新川ビル２Ｆ 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA, Hiroki) [JP/JP]; 〒1040033 東京都中央区新川１－２２－１１ フジライト新川ビル２Ｆ 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP).

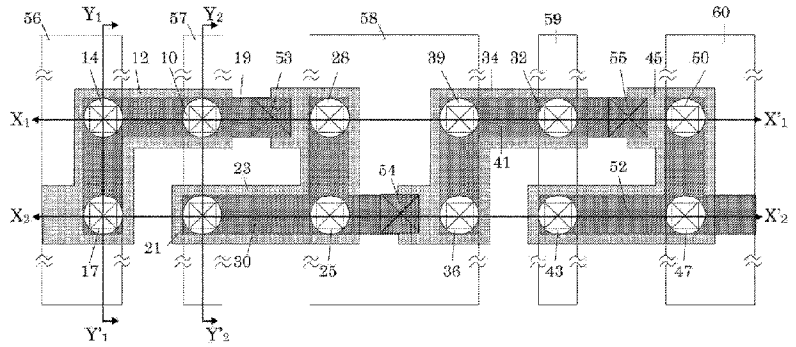
(74) 代理人: 熊倉 禎男，外 (KUMAKURA, Yoshio et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

[続葉有]

(54) **Title:** SEMICONDUCTOR DEVICE

(54) **発明の名称:** 半導体装置

[図3]



(57) **Abstract:** A semiconductor device consisting of at least two stages of high integration high speed CMOS inverter coupling circuit employing an SGT where the gate width of a pMOS is two time as wide as the gate width of an nMOS. The semiconductor device comprises a CMOS inverter coupling circuit coupling two stages or more of CMOS inverters. The first CMOS inverter consists of pMOS SGTs of first row first column and second row first column, and an nMOS SGT of first row second column, the second CMOS inverter consists of pMOS SGTs of first row third column and second row third column, and an nMOS SGT of second row second column. An output terminal, which is wired to connect the drain diffusion layer of SGTs of first row first column and second row first column with the drain diffusion layer of SGT of first row second column by an insular semiconductor lower layer, is connected with an input terminal, which is wired to connect the gate of SGTs of first row third column and second row third column with the gate of SGT of second row second column.

(57) 要約: pMOSのゲート幅をnMOSのゲート幅の二倍としたSGTを用いた高集積で高速な少なくとも2段以上のCMOSインバータ結合回路からなる半導体装置を提供する。本発明に係る半導体装置は、2段以上のCMOSインバータを結合したCMOSインバータ結合回

[続葉有]

WO 2009/016880 A1

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書

路からなり、第一のCMOSインバータは、1行1列目と2行1列目のpMOS SGTと、1行2列目のnMOS SGTで構成され、第二のCMOSインバータは、1行3列目と2行3列目のpMOS SGTと、2行2列目のnMOS SGTで構成され、1行1列目と2行1列目のSGTのドレイン拡散層と、1行2列目のSGTのドレイン拡散層とを島状半導体下部層で接続するように配線された出力端子と、1行3列目と、2行3列目のSGTのゲートと、2行2列目のSGTのゲートとを接続するように配線された入力端子とを接続する。