

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年3月28日(28.03.2013)



(10) 国際公開番号

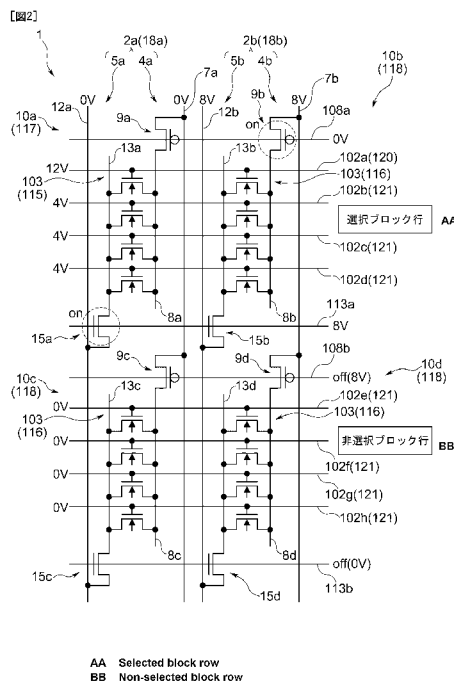
WO 2013/042665 A1

- (51) 国際特許分類:
G11C 16/04 (2006.01) G11C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2012/073849
- (22) 国際出願日: 2012年9月18日(18.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-205934 2011年9月21日(21.09.2011) JP
- (71) 出願人: 株式会社フローディア (Floadia Corporation) [JP/JP]; 〒1870031 東京都小平市小川東町1丁目29番9号 Tokyo (JP).
- (72) 発明者: 品川 裕 (SHINAGAWA Hiroshi); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP). 葛西秀男 (KASAI Hideo); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP). 谷口 泰弘 (TANIGUCHI Yasuhiro); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP).
- (74) 代理人: 吉田 正義 (YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目15番1号 ラ・トゥール新宿304号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置



(57) Abstract: Proposed is a non-volatile semiconductor memory device in which it is possible to more freely set the voltage used when accumulating charge in a selected memory cell transistor than a conventional one. In the non-volatile semiconductor memory device (1), when accumulating charge in a selected memory cell transistor (115), a high write inhibit voltage is applied through a P-type MOS transistor (9b) and a low write voltage is applied through an N-type MOS transistor (15a). A function for applying a voltage to the selected memory cell transistor (115) or a non-selected memory cell transistor (116) is thereby shared by the separate P-type MOS transistor (9b) and N-type MOS transistor (15a). This makes it possible to separately adjust, for example, the gate and source voltages of each of the P-type and N-type MOS transistors (9b, 15a) and finally to set the gate-substrate voltage to, for example, 4 V or other value.

(57) 要約: 選択メモリセルトランジスタに電荷を蓄積する際の電圧を従来よりも自由に設定し得る不揮発性半導体記憶装置を提案する。不揮発性半導体記憶装置(1)では、選択メモリセルトランジスタ(115)に電荷を蓄積させる際、電圧の高い書き込み禁止電圧をP型MOSトランジスタ(9b)から印加し、電圧の低い書き込み電圧をN型MOSトランジスタ(15a)から印加して、選択メモリセルトランジスタ(115)又は非選択メモリセルトランジスタ(116)へ電圧を印加する役割分担を、P型MOSトランジスタ(9b)及びN型MOSトランジスタ(15a)に分けたことで、P型MOSトランジスタ(9b)及びN型MOSトランジスタ(15a)それぞれのゲート電圧やソース電圧を個別に調整でき、最終的にゲート基板間電圧を例えば4[V]等に設定し得る。

WO 2013/042665 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))