

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月6日(06.09.2024)



(10) 国際公開番号

WO 2024/180653 A1

(51) 国際特許分類:
H10B 43/40 (2023.01) H01L 29/792 (2006.01)
H01L 21/336 (2006.01) H10B 43/27 (2023.01)
H01L 29/788 (2006.01)

(21) 国際出願番号: PCT/JP2023/007259

(22) 国際出願日: 2023年2月28日(28.02.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

(72) 発明者: 山崎 博之 (YAMASAKI Hiroyuki); 〒1080023 東京都港区芝浦三丁目1番21号

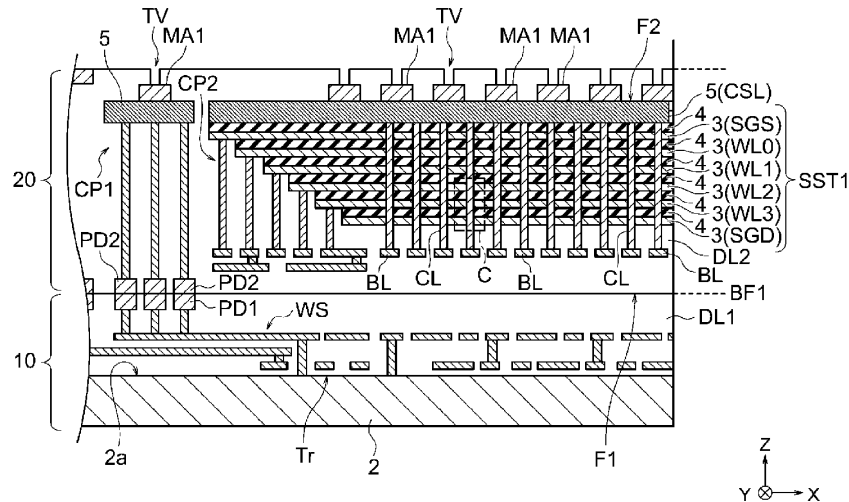
キオクシア株式会社内 Tokyo (JP). 田上 政由(TAGAMI Masayoshi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 岩崎 太一(IWASAKI Taichi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

(74) 代理人: 宮嶋 学, 外(MIYAJIMA Manabu et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体記憶装置およびその製造方法



(57) Abstract: [Problem] To provide a semiconductor manufacturing device which can easily form a pad on a contact plug and a method for manufacturing the semiconductor manufacturing device. [Solution] A semiconductor storage device according to this embodiment comprises a first chip including a transistor and a second chip including a memory cell array. The second chip is provided with a first surface which is bonded to the first chip and a second surface on the opposite side from the first surface. A contact extends between the first surface and the second surface and is provided apart from

[続葉有]

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE,
KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the memory cell array. A first wiring layer is provided above a first end on the second surface side of the contact and is electrically connected to the contact. A first conductive layer is provided between the first end of the contact and the first wiring layer.

(57) 要約: [課題] コンタクトプラグ上にパッドを容易に形成可能な半導体製造装置およびその製造方法を提供する。[解決手段] 本実施形態による半導体記憶装置は、トランジスタを含む第1チップと、メモリセルアレイを含む第2チップとを備える。第2チップは、第1チップに貼合されている第1面と、第1面とは反対側にある第2面とを備える。コンタクトは、第1面と第2面との間に延伸しており、メモリセルアレイから離間して設けられている。第1配線層は、コンタクトの第2面側の第1端の上方に設けられ、コンタクトに電氣的に接続されている。第1導電層は、コンタクトの第1端と第1配線層との間に設けられている。