

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 8 月 11 日 (11.08.2022)



(10) 国际公布号
WO 2022/166107 A1

(51) 国际专利分类号:
GIIC 29/14 (2006.01)

国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(21) 国际申请号: PCT/CN2021/105067

(22) 国际申请日: 2021 年 7 月 7 日 (07.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110160891.7 2021 年 2 月 5 日 (05.02.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 李敏娜 (LI, Minna); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

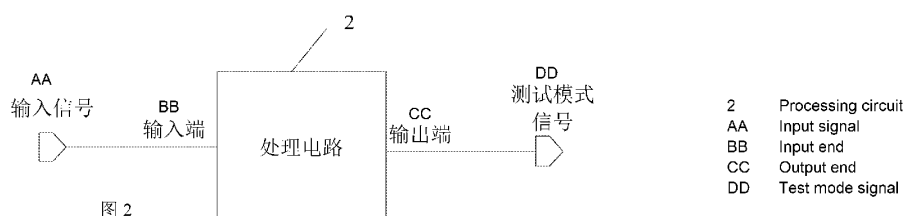
(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: TEST CIRCUIT

(54) 发明名称: 测试电路



(57) Abstract: Provided is a test circuit. The circuit comprises: an input end, a processing circuit and an output end. The input end is used for receiving an input signal, and the input signal comprises a test command for indicating a test of a target circuit module, and an address of the target circuit module; the processing circuit is used for determining a test mode signal according to the test command and the address of the target circuit module, wherein the test mode signal carries a test type, and the test mode signal is used for triggering the target circuit module to perform a test corresponding to the test type; and the output end is used for sending the test mode signal to the target circuit module according to the address of the target circuit module. Therefore, test mode signals can be accurately transmitted to different circuit modules within a memory chip.

(57) 摘要: 本申请提供一种测试电路。该电路包括: 输入端、处理电路和输出端, 输入端用于接收输入信号, 输入信号包括用于指示测试目标电路模块的测试命令和目标电路模块的地址, 处理电路用于根据测试命令和目标电路模块的地址确定测试模式信号, 测试模式信号携带测试类型, 测试模式信号用于触发目标电路模块进行与测试类型对应的测试, 输出端用于根据目标电路模块的地址将测试模式信号发送至目标电路模块。从而, 可实现向存储器芯片内不同的电路模块准确地传送测试模式信号。

[见续页]

本国际公布：

— 包括国际检索报告(条约第21条(3))。