

阻抗校准电路

相关申请引用说明

本申请要求于 2022 年 07 月 27 日递交的中国专利申请号 202210893495.X、申请名为“阻抗校准电路”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及集成电路领域，尤其涉及一种阻抗校准电路。

背景技术

随着电子装置的操作速度提高，在电子装置内的半导体存储器件之间传输的信号摆动宽度减小，以最小化传输信号所花费的延迟时间。然而，随着传输信号的信号摆动宽度减小，信号传输在更大程度上受外部噪声影响。如果接口处存在阻抗失配，那么外部噪声会影响输出信号的反射特性。阻抗失配是由外部噪声或由供电电压、操作温度及制造工艺的变化等引起的。如果出现阻抗失配，则难以高速传输数据，因为阻抗失配可使得来自半导体装置的数据失真。因此，在接收失真数据的半导体装置中可能导致设置/保持失效或信号水平的误判的问题。

为缓解这些不利情况，存储器装置可以包含可用于提供可调节端接阻抗值的片内端接(On-Die Termination, ODT，也可以被称为“片内终端电阻”)。例如，当将信号(例如命令、数据等)提供到存储器装置时，可以调节片内端接的阻抗值来减少阻抗失配。

在高速 DRAM 中，通常周期性地执行阻抗校准以调节片内端接的阻抗值，进而便于阻抗匹配，实时维护和校准信号完整性和数据视窗。集成电路设计规范要求阻抗校准电路需在设定时间内结束校准，然而现有的阻抗校准电路存在无法及时结束校准的情况，无法满足要求。

发明内容

本公开实施例提供一种阻抗校准电路，其能够在设定时间内结束校准，能够满足设计规范的要求。

为了解决上述问题，本公开实施例提供了一种阻抗校准电路，其包括：校准模块，用于接收第一校准时钟信号，并基于所述第一校准时钟信号进行阻抗校准，当校准完成时，输出第一停止信号；第一检测模块，检测所述阻抗校准电路的校准时间，并在所述校准时间达到预设值时输出第二停止信号；校准控制模块，用于接收所述第一停止信号、所述第二停止信号和输出所述第一校准时钟信号；当所述校准控制模块接收到所述第一停止信号

或所述第二停止信号时，停止输出所述第一校准时钟信号。

在一实施例中，所述校准控制模块包括第一逻辑门电路，所述第一逻辑门电路用于接收所述第一停止信号和所述第二停止信号，并进行逻辑运算处理以输出第一控制信号，所述校准控制模块根据所述第一控制信号停止输出所述第一校准时钟信号。

在一实施例中，所述第一逻辑门电路包括或门。

在一实施例中，所述校准模块包括第一校准单元，当所述校准模块接收到所述第一校准时钟信号时对所述第一校准单元进行阻抗校准；所述第一校准单元包括：第一电阻单元，其第一端连接第一电源端；参考电阻，其第一端连接所述第一电阻单元的第二端，第二端连接第二电源端；第一比较单元，用于将所述第一电阻单元的第二端电压与第一参考电压进行比较，并输出第一比较信号；第一检测单元，以所述第一比较信号作为输入信号，并对所述第一比较信号的变化情况进行记录；当所述第一比较信号的变化情况符合预设条件时，输出所述第一停止信号。

在一实施例中，所述第一检测单元包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第一输出端与所述第二逻辑门电路的输入端连接，偶数级的触发器的第二输出端与所述第二逻辑门电路的输入端连接，经所述第二逻辑门电路的逻辑处理后输出所述第一停止信号。

在一实施例中，所述第一检测单元包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第二输出端与所述第二逻辑门电路的输入端连接，偶数级的触发器的第一输出端与所述第二逻辑门电路的输入端连接，经所述第二逻辑门电路的逻辑处理后输出所述第一停止信号。

在一实施例中，所述第一校准单元还包括第一校准码产生单元，所述第一校准码产生单元根据所述第一比较信号更新第一校准码，所述第一校准码用于控制所述第一电阻单元的等效阻值。

在一实施例中，所述第一检测模块用于检测所述第一校准单元的校准时间，并在所述第一校准单元的校准时间达到预设值时输出所述第二停止信号。

在一实施例中，所述校准控制模块还用于输出第二校准时钟信号，所述校准模块还用于接收所述第二校准时钟信号，当所述校准控制模块接收到所述第一停止信号或所述第二停止信号时，停止输出所述第一校准时钟信号并开始输出所述第二校准时钟信号。

在一实施例中，所述校准模块还包括第二校准单元，当所述校准模块接收到所述第二

校准时钟信号时对所述第二校准单元进行阻抗校准，所述第二校准单元包括：第二电阻单元，其第二端连接第二电源端；第三电阻单元，其第一端连接第一电源端，第二端连接所述第二电阻单元的第一端，所述第一校准码还用于控制所述第三电阻单元的等效阻值；第二比较单元，用于将所述第二电阻单元的第一端电压与第二参考电压进行比较，并输出第二比较信号；第二检测单元，以所述第二比较信号作为输入信号，并对所述第二比较信号的变化情况进行记录；当所述第二比较信号的变化情况符合预设条件时，输出第三停止信号；当所述校准控制模块接收到所述第三停止信号或所述第二停止信号时，停止输出所述第二校准时钟信号。

在一实施例中，所述第一检测模块还用于检测所述第二校准单元的校准时间，并在所述第二校准单元的校准时间达到预设值时输出所述第二停止信号。

在一实施例中，所述阻抗校准电路还包括时钟信号产生模块，用于输出初始时钟信号，当所述校准控制模块接收到所述初始时钟信号时，输出所述第一校准时钟信号及所述第二校准时钟信号；在所述校准模块对所述第二校准单元进行阻抗校准时，当所述校准控制模块接收到所述第三停止信号或所述第二停止信号，所述校准控制模块向所述时钟信号产生模块输出停止信号以使所述时钟信号产生模块停止输出所述初始时钟信号。

在一实施例中，所述第一检测模块包括计数模块，在所述校准模块对所述第一校准单元进行阻抗校准时和/或在所述校准模块对所述第二校准单元进行阻抗校准时，所述计数模块对所述初始时钟信号进行计数，并在计数值达到预设值时输出所述第二停止信号。

在一实施例中，所述预设值小于或等于 40 个时钟周期。

在一实施例中，所述第二校准单元还包括第二校准码产生单元，所述第二校准码产生单元根据所述第二比较信号更新第二校准码，所述第二校准码用于控制所述第二电阻单元的等效阻值。

本公开实施例提供的阻抗校准电路提供了第二停止信号，校准控制模块除依据第一停止信号停止输出第一校准时钟信号以外，还依据第二停止信号停止输出第一校准时钟信号。第二停止信号在校准时间达到预设值时产生，若在阻抗校准电路的校准时间达到预设值时第一停止信号依然为无效信号，则阻抗校准电路依据第二停止信号停止输出第一校准时钟信号；若在阻抗校准电路的校准时间达到预设值时或者达到预设值之前第一停止信号为有效信号，则阻抗校准电路依据第一停止信号停止输出第一校准时钟信号，从而可使阻抗校准电路及时停止校准，使阻抗校准电路的校准时间满足设计要求，有效降低功耗，且提高

了阻抗校准电路的可靠性。

附图说明

图 1 是本公开一实施例提供的阻抗校准电路的示意图；

图 2 是本公开另一实施例提供的阻抗校准电路的示意图；

图 3 是本公开另一实施例提供的第一比较单元的示意图；

图 4A 是本公开另一实施例提供的第一检测单元的一示意图；

图 4B 是本公开再一实施例提供的第一检测单元的一示意图；

图 5 是本公开再一实施例提供的阻抗校准电路的示意图；

图 6 是本公开再一实施例提供的阻抗校准电路的示意图。

具体实施方式

下面结合附图对本公开实施例提供的阻抗校准电路的具体实施方式做详细说明。

图 1 是本公开一实施例提供的阻抗校准电路的示意图，请参阅图 1，阻抗校准电路包括校准模块 10、第一检测模块 20 及校准控制模块 30。校准模块 10 用于接收第一校准时钟信号 P_{clk} ，并基于第一校准时钟信号 P_{clk} 进行阻抗校准，当校准完成时，输出第一停止信号 $Stop1$ 。第一检测模块 20 检测阻抗校准电路的校准时间，并在校准时间达到预设值时输出第二停止信号 $Stop2$ 。校准控制模块 30 用于接收第一停止信号 $Stop1$ 、第二停止信号 $Stop2$ 和输出第一校准时钟信号 P_{clk} ，当校准控制模块 30 接收到第一停止信号 $Stop1$ 或第二停止信号 $Stop2$ 时，停止输出第一校准时钟信号 P_{clk} 。

校准模块 10 存在无法及时输出有效的第一停止信号 $Stop1$ 的情况，导致阻抗校准电路无法及时停止输出第一校准时钟信号 P_{clk} ，即无法及时停止校准，阻抗校准电路的校准时间超过设计要求，无法满足需求，且功耗大，因此，本公开实施例提供的阻抗校准电路还提供了第二停止信号 $Stop2$ ，校准控制模块 30 除依据第一停止信号 $Stop1$ 停止输出第一校准时钟信号 P_{clk} 以外，还依据第二停止信号 $Stop2$ 停止输出第一校准时钟信号 P_{clk} 。第二停止信号 $Stop2$ 在校准时间达到预设值时产生，若在阻抗校准电路的校准时间达到预设值时第一停止信号 $Stop1$ 依然为无效信号，则阻抗校准电路依据第二停止信号 $Stop2$ 停止输出第一校准时钟信号 P_{clk} ；若在阻抗校准电路的校准时间达到预设值时或者达到预设值之前第一停止信号 $Stop1$ 为有效信号，则阻抗校准电路依据第一停止信号 $Stop1$ 停止输出第一校准时钟信号 P_{clk} ，从而可使阻抗校准电路及时停止校准，使阻抗校准电路的校准时间满足设计要求，有效降低功耗，且提高了阻抗校准电路的可靠性。

图2是本公开另一实施例提供的阻抗校准电路的示意图,请参阅图2,在本实施例中,第一检测模块20包括计数模块21,计数模块21对第一校准时钟信号Pclk进行计数,并在计数值达到预设值时输出第二停止信号Stop2。也就是说,在本实施例中,第一检测模块20通过对第一校准时钟信号Pclk计数获得检测阻抗校准电路的校准时间,计数值为第一校准时钟信号Pclk的周期数。而在其他实施例中,例如,请参阅图6,第一检测模块20通过对时钟信号产生模块40的初始时钟信号CLK-0进行计数获得检测阻抗校准电路的校准时间,并在计数值达到预设值时输出第二停止信号Stop2,其中,计数值为初始时钟信号CLK-0的周期数。

预设值可根据设计要求确定,例如,在一实施例中,要求阻抗校准电路的校准时间不超过40个时钟周期,则预设值小于或等于第一校准时钟信号Pclk的40个时钟周期。例如,在本实施例中,预设值为第一校准时钟信号Pclk的40个时钟周期,则计数模块21对第一校准时钟信号Pclk的时钟周期进行计数,并在计数值为40时输出第二停止信号Stop2,即在计数值为40时计数模块21的输出信号的逻辑电平变为高电平,即第二停止信号Stop2的逻辑电平变为高电平,第二停止信号Stop2有效信号,校准控制模块30能够根据第二停止信号Stop2停止输出第一校准时钟信号Pclk,其他情况下,计数模块21输出的第二停止信号Stop2的逻辑电平为低电平,为无效信号,校准控制模块30无法根据第二停止信号Stop2停止输出第一校准时钟信号Pclk。

可以理解的是,在另一些实施例中,为了保证阻抗校准电路能够及时停止输出校准时钟信号,预设值也可其他小于设计要求的数值,例如,预设值小于40个时钟周期,以保证阻抗校准电路能够及时停止输出校准时钟信号。

在一些实施例中,校准控制模块30可通过逻辑运算实现当接收到第一停止信号Stop1或第二停止信号Stop2时停止输出第一校准时钟信号Pclk的目的。具体地说,校准控制模块30包括第一逻辑门电路31,第一逻辑门电路31用于接收第一停止信号Stop1和第二停止信号Stop2,并进行逻辑运算处理以输出第一控制信号Ctr1,校准控制模块30根据第一控制信号Ctr1停止输出第一校准时钟信号Pclk。

例如,在本实施例中,第一逻辑门电路31包括或门,第一停止信号Stop1和第二停止信号Stop2作为或门的输入信号,或门输出第一控制信号Ctr1,校准控制模块30根据第一控制信号Ctr1停止输出第一校准时钟信号Pclk。当第一停止信号Stop1或第二停止信号Stop2的逻辑电平为高电平(即第一停止信号Stop1有效或第二停止信号Stop2有效)时,

第一控制信号 Ctrl 的逻辑电平为高电平, 则校准控制模块 30 停止输出第一校准时钟信号 Pclk ; 当第一停止信号 Stop1 与第二停止信号 Stop2 的逻辑电平均为低电平 (即第一停止信号 Stop1 及第二停止信号 Stop2 均无效) 时, 校准控制模块继续输出第一校准时钟信号 Pclk 。

在本实施例中, 校准模块 10 包括第一校准单元 11, 当校准模块 10 接收到第一校准时钟信号 Pclk 时对第一校准单元 11 进行阻抗校准。第一检测模块 20 还用于检测第一校准单元 11 的校准时间, 并在第一校准单元 11 的校准时间达到预设值时输出第二停止信号 Stop2 。具体地说, 计数模块 21 对第一校准时钟信号 Pclk 进行计数, 并在计数值达到预设值时输出第二停止信号 Stop2 。

第一校准单元 11 包括第一电阻单元 111、参考电阻 R1 、第一比较单元 112 及第一检测单元 113。

第一电阻单元 111 的第一端连接第一电源端 VDD ; 参考电阻 R1 的第一端与第一电阻单元 111 的第二端连接, 参考电阻 R1 的第二端连接第二电源端 VSS ; 第一比较单元 112 用于将第一电阻单元 111 的第二端电压 Vp1 与第一参考电压 Vref1 进行比较, 并输出第一比较信号 Comp1 ; 第一检测单元 113 以第一比较信号 Comp1 作为输入信号, 并对第一比较信号 Comp1 的变化情况进行记录, 当第一比较信号 Comp1 的变化情况符合预设条件时, 输出第一停止信号 Stop1 。第一比较信号 Comp1 的变化情况是指所述第一比较信号 Comp1 逻辑电平的变化。预设条件可以包括第一比较信号 Comp1 的逻辑电平是否由第一值变化为第二值后继续由第二值变化为第一值。在一些实施例中, 第一值可代表逻辑高电平, 其真值可为“1”, 第二值可代表逻辑低电平, 其真值可为“0”, 在另一些实施例中, 第一值可代表逻辑低电平, 其真值可为“0”, 第二值可代表逻辑高电平, 其真值可为“1”。若第一比较信号 Comp1 的逻辑电平由第一值变化为第二值后继续由第二值变化为第一值, 即第一比较信号 Comp1 的逻辑电平在高电平与低电平之间抖动, 则第一比较信号 Comp1 的变化情况符合预设条件, 此时, 第一检测单元 113 输出第一停止信号 Stop1 。

其中, 在本实施例中, 第一电阻单元 111 可包括多个并联的 MOS 晶体管, MOS 晶体管包括但不限于 PMOS 晶体管。通过第一校准码 $\text{Pcode} \langle \text{N:0} \rangle$ 调整 MOS 晶体管的导通或关断, 进而控制第一电阻单元 111 的等效阻值, 第一电阻单元 111 的第二端电压 Vp1 随第一电阻单元 111 的等效阻值的改变而改变。参考电阻 R1 为电阻值精确的定值电阻, 其电阻值例如为 240 欧姆, 可根据参考电阻 R1 校准第一电阻单元 111 的等效阻值。在本实施例中, 第一参考电压 Vref1 可以被设置为 $\text{VDD}/2$, 在其他实施例中, 第一参考电压 Vref1 可以被设

置为其他数值。

在本实施例中，第一比较单元 112 可为一比较器，请参阅图 3，第一比较单元 112 为一比较器，比较器的正输入端接收第一参考电压 V_{ref1} ，负输入端连接第一电阻单元 111，接收第一电阻单元 111 的第二端电压 V_{p1} ，比较器响应于第一电阻单元 111 的第二端电压 V_{p1} 与第一参考电压 V_{ref1} 并输出第一比较信号 $Comp1$ 。若第一电阻单元 111 的第二端电压 V_{p1} 小于第一参考电压 V_{ref1} ，则比较器的输出端的输出的第一比较信号 $Comp1$ 的逻辑电平为高电平，若第一电阻单元 111 的第二端电压 V_{p1} 大于第一参考电压 V_{ref1} ，则比较器的输出端的输出的第一比较信号 $Comp1$ 的逻辑电平为低电平。

第一检测单元 113 以第一比较信号 $Comp1$ 作为输入信号，并输出第一停止信号 $Stop1$ ，也就是说，第一停止信号 $Stop1$ 基于第一比较信号 $Comp1$ 产生，而在第一比较单元 112 灵敏度较低时，第一比较单元 112 存在无法输出第一比较信号 $Comp1$ 或者输出错误的第一比较信号的情况（第一电阻单元 111 的第二端电压 V_{p1} 与第一参考电压 V_{ref1} 较接近，第一比较单元 112 无法区分两者的大小，无法输出有效的第一比较信号 $Comp1$ ），这使得阻抗校准电路无法及时产生第一停止信号 $Stop1$ ，导致阻抗校准电路无法及时停止校准。而如上，校准控制模块 30 除依据第一停止信号 $Stop1$ 停止阻抗校准过程以外，还依据第二停止信号 $Stop2$ 停止阻抗校准过程，从而可使阻抗校准电路及时停止校准，使阻抗校准电路的校准时间满足设计要求，有效降低功耗，且提高了阻抗校准电路的可靠性。

作为示例，本公开实施例提供一种第一检测单元 113 的结构。第一检测单元 113 包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第一输出端与第二逻辑门电路的输入端连接，偶数级的触发器的第二输入端与第二逻辑门电路的输入端连接，经第二逻辑门电路的逻辑处理后输出第一停止信号。

具体地说，请参阅图 4A，其为本公开实施例提供的第一检测单元 113 的一示意图，在本实施例中，第一检测单元 113 包括触发器 D11、触发器 D12、触发器 D13 及第二逻辑门电路 113A，触发器 D11、触发器 D12 及触发器 D13 级联。触发器 D11 的第一输出端 Q11、触发器 D13 的第一输出端 Q13 与第二逻辑门电路 113A 的输入端连接，触发器 D12 的第二输出端 Qn12 与第二逻辑门电路 113A 的输入端连接，经第二逻辑门电路 113A 的逻辑处理后输出第一停止信号 $Stop1$ 。在本实施例中，第二逻辑门电路 113A 包括逻辑与门 AND-1。触发器 D11 的第一输出端 Q11 的输出信号、触发器 D13 的第一输出端 Q13 的输出信号、触发器 D12 的第二输出端 Qn12 的输出信号经第二逻辑门电路 113A 进行与逻辑运算后输出第

一停止信号 Stop1。即在触发器 D11 的第一输出端 Q11 的输出信号、触发器 D13 的第一输出端 Q13 的输出信号、触发器 D12 的第二输出端 Qn12 的输出信号的逻辑电平均为高电平时，第一检测单元 113 输出的第一停止信号 Stop1 的逻辑电平为高电平，其为有效信号，校准控制模块 30 能够根据第一停止信号 Stop1 停止输出第一校准时钟信号 Pclk，其他情况下，第一检测单元 113 输出的第一停止信号 Stop1 的逻辑电平为低电平，为无效信号，校准控制模块 30 无法根据第一停止信号 Stop1 停止输出第一校准时钟信号 Pclk。

本公开实施例还提供了另外一种第一检测单元 113 的结构。第一检测单元 113 包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第二输出端与第二逻辑门电路的输入端连接，偶数级的触发器的第一输入端与第二逻辑门电路的输入端连接，经第二逻辑门电路的逻辑处理后输出第一停止信号。

具体地说，请参阅图 4B，其为本公开另一实施例提供的第一检测单元 113 的一示意图，在该实施例中，第一检测单元 113 包括触发器 D11、触发器 D12、触发器 D13 及第二逻辑门电路 113A，触发器 D11、触发器 D12 及触发器 D13 级联。触发器 D11 的第二输出端 Qn11、触发器 D13 的第二输出端 Qn13 与第二逻辑门电路 113A 的输入端连接，触发器 D12 的第一输出端 Q12 与第二逻辑门电路 113A 的输入端连接，经第二逻辑门电路 113A 的逻辑处理后输出第一停止信号 Stop1。在本实施例中，第二逻辑门电路 113A 包括逻辑与门 AND-1。触发器 D11 的第二输出端 Qn11 的输出信号、触发器 D13 的第二输出端 Qn13 的输出信号、触发器 D12 的第一输出端 Q12 的输出信号经第二逻辑门电路 113A 进行与逻辑运算后输出第一停止信号 Stop1。即在触发器 D11 的第二输出端 Qn11 的输出信号、触发器 D13 的第二输出端 Qn13 的输出信号、触发器 D12 的第一输出端 Q12 的输出信号的逻辑电平均为高电平时，第一检测单元 113 输出的第一停止信号 Stop1 的逻辑电平为高电平，其为有效信号，校准控制模块 30 能够根据第一停止信号 Stop1 停止输出第一校准时钟信号 Pclk，其他情况下，第一检测单元 113 输出的第一停止信号 Stop1 的逻辑电平为低电平，为无效信号，校准控制模块 30 无法根据第一停止信号 Stop1 停止输出第一校准时钟信号 Pclk。

在上述示例中，第一检测单元 113 包括三个触发器级联，而在其他实施例中，第一检测单元 113 还可包括五个触发器级联或者其他奇数个触发器级联，其均在本公开实施例的公开范围内。

在一些实施例中，第一校准单元还包括第一校准码产生单元，第一校准码产生单元根据第一比较信号更新第一校准码，第一校准码用于控制第一电阻单元的等效阻值。

具体地说,请继续参阅图 2,第一校准单元 11 还包括第一校准码产生单元 114,第一校准码产生单元 114 根据第一比较信号 $Comp1$ 更新第一校准码 $Pcode<N:0>$,第一校准码 $Pcode<N:0>$ 用于控制第一电阻单元 111 的等效阻值。在一些实施例中,第一校准码产生单元 114 可为一计数器。

根据第一电阻单元 111 的第二端电压 V_{p1} 与第一参考电压 V_{ref1} 的大小关系的不同,第一比较信号 $Comp1$ 可为上行信号及下行信号,例如,第一电阻单元 111 的第二端电压 V_{p1} 小于第一参考电压 V_{ref1} 时,第一比较信号 $Comp1$ 为下行信号,第一电阻单元 111 的第二端电压 V_{p1} 大于第一参考电压 V_{ref1} 时,第一比较信号 $Comp1$ 为上行信号。当第一比较信号 $Comp1$ 为上行信号时,第一校准码产生单元 114 的计数值加 1,并输出第一校准码 $Pcode<N:0>$,根据第一校准码 $Pcode<N:0>$ 减小第一电阻单元 111 的等效电阻,进而减小第一电阻单元 111 的第二端电压 V_{p1} ,直至第一电阻单元 111 的第二端电压 V_{p1} 与第一参考电压 V_{ref1} 相等;当第一比较信号 $Comp1$ 为下行信号时,第一校准码产生单元 114 的计数值减 1,并输出第一校准码 $Pcode<N:0>$,根据第一校准码 $Pcode<N:0>$ 增大第一电阻单元 111 的等效电阻,进而增大第一电阻单元 111 的第二端电压 V_{p1} ,直至第一电阻单元 111 的第二端电压 V_{p1} 与第一参考电压 V_{ref1} 相等。

本公开实施例提供的阻抗校准电路校准控制模块 30 除依据第一停止信号 $Stop1$ 停止输出所述第一校准时钟信号 $Pclk$ 以外,还依据第二停止信号 $Stop2$ 停止输出所述第一校准时钟信号 $Pclk$,从而可使阻抗校准电路及时停止校准,使阻抗校准电路的校准时间满足设计要求,有效降低功耗,且提高了阻抗校准电路的可靠性。

上述仅列举校准模块 10 包括一个校准单元(第一校准单元 11)的情况,在校准模块 10 包括多个校准单元的情况下,多个校准单元可单独执行校准,例如,当一个校准单元校准完成后,另一个校准单元可开始执行校准。每一个校准单元均对应一个停止信号,以在该校准单元完成校准后校准控制模块 30 根据该停止信号停止输出该校准单元对应的校准时钟信号。

具体地说,请参阅图 5,其本公开再一实施例提供的阻抗校准电路的示意图,在该实施例中,校准控制模块 30 还用于输出第二校准时钟信号 $Nclk$ 。当校准控制模块 30 接收到第一停止信号 $Stop1$ 或第二停止信号 $Stop2$ 时,停止输出第一校准时钟信号 $Pclk$ 并开始输出第二校准时钟信号 $Nclk$,当校准模块 10 接收到第二校准时钟信号 $Nclk$ 时对第二校准单元 11 进行阻抗校准。校准模块 10 包括第一校准单元 11 及第二校准单元 12。当第一校准单元

11 完成校准后, 校准控制模块 30 根据第一停止信号 Stop1 或第二停止信号 Stop2 停止输出第一校准单元 11 对应的第一校准时钟信号 Pclk, 在间隔若干时间后, 校准控制模块 30 开始输出第二校准单元 12 对应的第二校准时钟信号 Nclk, 第二校准单元 12 可开始进行阻抗校准。在一些实施例中, 当第一校准单元 11 完成校准后, 校准控制模块 30 即可开始输出第二校准单元 12 对应的第二校准时钟信号 Nclk, 无需等待若干时间。

第二校准单元 12 进行阻抗校准过程时, 第一检测模块 20 开始检测第二校准单元 12 的校准时间, 并在校准时间达到预设值时输出第二停止信号 Stop2。也就是说, 第二校准单元 12 开始执行校准过程时, 第一检测模块 20 的计数模块 21 对第二校准时钟信号 Nclk 进行计数, 并在计数值达到预设值时输出第二停止信号 Stop2, 计数值为第一校准时钟信号 Pclk 的周期数, 预设值小于或等于第二校准时钟信号 Nclk 的 40 个时钟周期。而在其他实施例中, 例如, 请参阅图 6, 第一检测模块 20 的计数模块 21 通过对时钟信号产生模块 40 的初始时钟信号 CLK-0 进行计数获得检测阻抗校准电路的校准时间, 并在计数值达到预设值时输出第二停止信号 Stop2, 其中, 计数值为初始时钟信号 CLK-0 的周期数, 预设值小于或等于初始时钟信号 CLK-0 的 40 个时钟周期。

第二校准单元 12 能够输出第三停止信号 Stop3, 校准控制模块 30 根据第三停止信号 Stop3 或第二停止信号 Stop2 停止输出第二校准单元 12 对应的第二校准时钟信号 Nclk。

请继续参阅图 5, 校准控制模块 30 包括第三逻辑门电路 32, 第三逻辑门电路 32 用于接收第二停止信号 Stop2 和第三停止信号 Stop3, 并进行逻辑运算处理以输出第二控制信号 Ctr2, 校准控制模块 30 根据第二控制信号 Ctr2 停止输出第二校准时钟信号 Nclk。第三逻辑门电路 32 的结构及作用原理与第一逻辑门电路 31 的结构及作用原理相同, 不再赘述。

请继续参阅图 5, 在该实施例中, 第二校准单元 12 包括第二电阻单元 121、第三电阻单元 125、第二比较单元 122 及第二检测单元 123。

第二电阻单元 121 的第二端连接第一电源端 VDD; 第三电阻单元 125 的第一端连接第一电源端 VDD, 第三电阻单元 125 的第二端连接第二电阻单元 121 的第一端, 第一校准码 Pcode<N:0>还用于控制第三电阻单元 125 的等效阻值; 第二比较单元 122 用于将第二电阻单元 121 的第一端电压 Vp2 与第二参考电压 Vref2 进行比较, 并输出第二比较信号 Comp2; 第二检测单元 123 以第二比较信号 Comp2 作为输入信号, 对第二比较信号 Comp2 的变化情况进行记录; 当第二比较信号 Comp2 的变化情况符合预设条件时, 输出第三停止信号 Stop3。第二比较信号 Comp2 的变化情况及预设条件与第一比较信号 Comp1 的变化情况及

预设条件的定义相同，此处不再赘述。

在本实施例中，第二电阻单元 121 可包括多个并联的 MOS 晶体管，MOS 晶体管包括但不限于 NMOS 晶体管。通过第二校准码 $Ncode<N:0>$ 调整 MOS 晶体管的导通或关断，进而控制第二电阻单元 121 的等效阻值，第二电阻单元 121 的第一端电压 V_{p2} 随第二电阻单元 121 的等效阻值的改变为改变。第三电阻单元 125 可与第一电阻单元 111 的结构相同，可采用第一校准码 $Pcode<N:0>$ 控制第三电阻单元 125 的等效阻值，进而可通过第三电阻单元 125 校准第二电阻单元 121。

在本实施例中，第二比较单元 122 为一比较器，其结构可以第一比较单元 112 的结构相同，比较器的正输入端接收第二参考电压 V_{ref2} ，负输入端连接第二电阻单元 121，接收第二电阻单元 121 的第一端电压 V_{p2} ，比较器响应于第二电阻单元 121 的第一端电压 V_{p2} 与第二参考电压 V_{ref2} 并输出第二比较信号 $Comp2$ 。若第二电阻单元 121 的第一端电压 V_{p2} 小于第二参考电压 V_{ref2} ，则比较器的输出端的输出的第二比较信号 $Comp2$ 的逻辑电平为高电平，若第二电阻单元 121 的第一端电压 V_{p2} 大于第二参考电压 V_{ref2} ，则比较器的输出端的输出的第二比较信号 $Comp2$ 的逻辑电平为低电平。

第二检测单元 123 以第二比较信号 $Comp2$ 作为输入信号，并输出第三停止信号 $Stop3$ ，也就是说，第三停止信号 $Stop3$ 基于第二比较信号 $Comp2$ 产生，而在第二比较单元 122 灵敏度较低时，第二比较单元 122 存在无法输出第二比较信号 $Comp2$ 或者输出错误的第二比较信号的情况（第二电阻单元 121 的第一端电压 V_{p2} 与第二参考电压 V_{ref2} 较接近，第二比较单元 122 无法区分两者的大小，无法输出有效的第二比较信号 $Comp2$ ），这使得阻抗校准电路无法及时产生第三停止信号 $Stop3$ ，导致阻抗校准电路无法及时停止校准。而如上，校准控制模块 30 除依据第三停止信号 $Stop3$ 停止阻抗校准过程以外，还依据第二停止信号 $Stop2$ 停止阻抗校准过程，从而可使阻抗校准电路及时停止校准，使阻抗校准电路的校准时间满足设计要求，有效降低功耗，且提高了阻抗校准电路的可靠性。

在一实施例中，第二检测单元 123 的结构与第一检测单元 113 的结构相同，请参阅图 4A 及图 4B，此处不再赘述。

在本实施例中，第二校准单元 12 还包括第二校准码产生单元 124，第二校准码产生单元 124 根据第二比较信号 $Comp$ 更新第二校准码 $Ncode<N:0>$ ，第二校准码 $Ncode<N:0>$ 用于控制第二电阻单元 121 的等效阻值。在一些实施例中，第二校准码产生单元 124 可为一计数器。

根据第二电阻单元 121 的第一端电压 V_{p2} 与第二参考电压 V_{ref2} 的大小关系的不同, 第二比较信号 $Comp2$ 可为上行信号及下行信号(第二电阻单元 121 的第一端电压 V_{p2} 小于第二参考电压 V_{ref2} , 则输出下行信号, 第二电阻单元 121 的第一端电压 V_{p2} 大于第二参考电压 V_{ref2} , 则输出上行信号), 当第二比较信号 $Comp2$ 为上行信号时, 第二校准码产生单元 124 的计数值加 1, 并输出第二校准码 $Ncode<N:0>$, 根据第二校准码 $Ncode<N:0>$ 减小第二电阻单元 121 的等效阻值, 进而减小第二电阻单元 121 的第一端电压 V_{p2} , 直至第二电阻单元 121 的第一端电压 V_{p2} 与第二参考电压 V_{ref2} 相等; 当第二比较信号 $Comp2$ 为下行信号时, 第二校准码产生单元 124 的计数值减 1, 并输出第二校准码 $Ncode<N:0>$, 以增大第二电阻单元 121 的电阻值, 进而增大第二电阻单元 121 的第一端电压 V_{p2} , 直至第二电阻单元 121 的第一端电压 V_{p2} 与第二参考电压 V_{ref2} 相等。本公开实施例提供的阻抗校准电路的校准控制模块 30 除能够分别依据第一停止信号 $Stop1$ 及第三停止信号 $Stop3$ 停止阻抗校准过程以外, 还依据第二停止信号 $Stop2$ 停止阻抗校准过程, 从而可使阻抗校准电路及时停止校准, 使阻抗校准电路的校准时间满足设计要求, 有效降低功耗, 且提高了阻抗校准电路的可靠性。

在一实施例中, 阻抗校准电路还包括时钟信号产生模块, 请参阅图 6, 其为本公开又一实施例提供的阻抗校准电路的示意图。在该实施例中, 阻抗校准电路包括时钟信号产生模块 40。

阻抗时钟信号产生模块 40 用于输出初始时钟信号 $CLK-0$ 。当校准控制模块 30 接收到初始时钟信号 $CLK-0$ 时, 输出第一校准时钟信号 $Pclk$ 及第二校准时钟信号 $Nclk$; 在校准模块 10 对第二校准单元 12 进行阻抗校准时, 当校准控制模块 30 接收到第三停止信号 $Stop3$ 或第二停止信号 $Stop2$ 时, 向时钟信号产生模块 40 输出停止信号 $Stop4$ 以使时钟信号产生模块 40 停止输出初始时钟信号 $CLK-0$ 。在一些实施例中, 时钟信号产生模块 40 可为环形振荡器。

在该实施例中, 第一检测模块 20 用于根据初始时钟信号 $CLK-0$ 产生第二停止信号 $Stop2$ 。第一检测模块 20 包括计数模块 21, 在校准模块 10 对第一校准单元 11 进行阻抗校准时和/或在校准模块 10 对第二校准单元 12 进行阻抗校准时, 计数模块 21 对初始时钟信号 $CLK-0$ 进行计数, 并在计数值达到预设值时输出第二停止信号 $Stop2$ 。其中, 计数值为初始时钟信号 $CLK-0$ 的周期数, 预设值小于或等于初始时钟信号 $CLK-0$ 的 40 个时钟周期。

具体地说, 在校准模块 10 对第一校准单元 11 进行阻抗校准时, 计数模块 21 对初始时

钟信号 CLK-0 进行计数，并在计数值达到预设值时输出第二停止信号 Stop2，校准控制模块 30 接收到第一停止信号 Stop1 或第二停止信号 Stop2 时，停止输出第一校准时钟信号 Pclk；在校准模块 10 对第一校准单元 11 校准完成时，计数模块 21 归零；在校准模块 10 对第二校准单元 12 进行阻抗校准时，计数模块 21 对初始时钟信号 CLK-0 进行计数，并在计数值达到预设值时输出第二停止信号 Stop2，校准控制模块 30 接收到第三停止信号 Stop3 或第二停止信号 Stop2 时，停止输出第二校准时钟信号 Nclk，并向时钟信号产生模块 40 输出停止信号 Stop4 以使时钟信号产生模块 40 停止输出初始时钟信号 CLK-0。

以上仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

1. 一种阻抗校准电路，包括：

校准模块，用于接收第一校准时钟信号，并基于所述第一校准时钟信号进行阻抗校准，当校准完成时，输出第一停止信号；

第一检测模块，检测所述阻抗校准电路的校准时间，并在所述校准时间达到预设值时输出第二停止信号；

校准控制模块，用于接收所述第一停止信号、所述第二停止信号和输出所述第一校准时钟信号；当所述校准控制模块接收到所述第一停止信号或所述第二停止信号时，停止输出所述第一校准时钟信号。
2. 根据权利要求1所述的阻抗校准电路，其中，所述校准控制模块包括第一逻辑门电路，所述第一逻辑门电路用于接收所述第一停止信号和所述第二停止信号，并进行逻辑运算处理以输出第一控制信号，所述校准控制模块根据所述第一控制信号停止输出所述第一校准时钟信号。
3. 根据权利要求2所述的阻抗校准电路，其中，所述第一逻辑门电路包括或门。
4. 根据权利要求1所述的阻抗校准电路，其中，所述校准模块包括第一校准单元，当所述校准模块接收到所述第一校准时钟信号时对所述第一校准单元进行阻抗校准；所述第一校准单元包括：

第一电阻单元，其第一端连接第一电源端；

参考电阻，其第一端连接所述第一电阻单元的第二端，第二端连接第二电源端；

第一比较单元，用于将所述第一电阻单元的第二端电压与第一参考电压进行比较，并输出第一比较信号；

第一检测单元，以所述第一比较信号作为输入信号，并对所述第一比较信号的变化情况进行记录；当所述第一比较信号的变化情况符合预设条件时，输出所述第一停止信号。
5. 根据权利要求4所述的阻抗校准电路，其中，所述第一检测单元包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第一输出端与所述第二逻辑门电路的输入端连接，偶数级的触发器的第二输出端与所述第二逻辑门电路的输入端连接，经所述第二逻辑门电路的逻辑处理后输出所述第一停止信号。
6. 根据权利要求4所述的阻抗校准电路，其中，所述第一检测单元包括奇数个触发器级联和第二逻辑门电路，奇数级的触发器的第二输出端与所述第二逻辑门电路的输入端连

接，偶数级的触发器的第一输出端与所述第二逻辑门电路的输入端连接，经所述第二逻辑门电路的逻辑处理后输出所述第一停止信号。

7. 根据权利要求4所述的阻抗校准电路，其中，所述第一校准单元还包括第一校准码产生单元，所述第一校准码产生单元根据所述第一比较信号更新第一校准码，所述第一校准码用于控制所述第一电阻单元的等效阻值。
8. 根据权利要求7所述的阻抗校准电路，其中，所述第一检测模块用于检测所述第一校准单元的校准时间，并在所述第一校准单元的校准时间达到预设值时输出所述第二停止信号。
9. 根据权利要求8所述的阻抗校准电路，其中，所述校准控制模块还用于输出第二校准时钟信号，所述校准模块还用于接收所述第二校准时钟信号，当所述校准控制模块接收到所述第一停止信号或所述第二停止信号时，停止输出所述第一校准时钟信号并开始输出所述第二校准时钟信号。
10. 根据权利要求9所述的阻抗校准电路，其中，所述校准模块还包括第二校准单元，当所述校准模块接收到所述第二校准时钟信号时对所述第二校准单元进行阻抗校准，所述第二校准单元包括：

第二电阻单元，其第二端连接第二电源端；

第三电阻单元，其第一端连接第一电源端，第二端连接所述第二电阻单元的第一端，所述第一校准码还用于控制所述第三电阻单元的等效阻值；

第二比较单元，用于将所述第二电阻单元的第一端电压与第二参考电压进行比较，并输出第二比较信号；

第二检测单元，以所述第二比较信号作为输入信号，并对所述第二比较信号的变化情况进行记录；当所述第二比较信号的变化情况符合预设条件时，输出第三停止信号；

当所述校准控制模块接收到所述第三停止信号或所述第二停止信号时，停止输出所述第二校准时钟信号。
11. 根据权利要求10所述的阻抗校准电路，其中，所述第一检测模块还用于检测所述第二校准单元的校准时间，并在所述第二校准单元的校准时间达到预设值时输出所述第二停止信号。
12. 根据权利要求10所述的阻抗校准电路，其中，所述阻抗校准电路还包括时钟信号产生

模块，用于输出初始时钟信号，当所述校准控制模块接收到所述初始时钟信号时，输出所述第一校准时钟信号及所述第二校准时钟信号；在所述校准模块对所述第二校准单元进行阻抗校准时，当所述校准控制模块接收到所述第三停止信号或所述第二停止信号，所述校准控制模块向所述时钟信号产生模块输出停止信号以使所述时钟信号产生模块停止输出所述初始时钟信号。

13. 根据权利要求 12 所述的阻抗校准电路，其中，所述第一检测模块包括计数模块，在所述校准模块对所述第一校准单元进行阻抗校准时和/或在所述校准模块对所述第二校准单元进行阻抗校准时，所述计数模块对所述初始时钟信号进行计数，并在计数值达到预设值时输出所述第二停止信号。
14. 根据权利要求 1 所述的阻抗校准电路，其中，所述预设值小于或等于 40 个时钟周期。
15. 根据权利要求 10 所述的阻抗校准电路，其中，所述第二校准单元还包括第二校准码产生单元，所述第二校准码产生单元根据所述第二比较信号更新第二校准码，所述第二校准码用于控制所述第二电阻单元的等效阻值。