

半导体结构及半导体结构的制造方法

交叉引用

5 本公开要求于 2020 年 08 月 27 日提交的申请号为 202010878114.1、名称为“半导体结构及半导体结构的制造方法”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

10 本公开涉及半导体技术领域，尤其涉及一种半导体结构及半导体结构的制造方法。

背景技术

随着半导体的集成度越来越高，电路尺寸逐渐变小，位线接触插塞与字线之间会出现耦合现象，从而影响器件性能。

15 发明内容

本公开提供一种半导体结构及半导体结构的制造方法，以改善半导体结构的性能。

根据本公开的第一个方面，提供了一种半导体结构，包括：

衬底；

字线，字线位于衬底内，相邻两个字线之间具有位线接触孔；

20 位线接触插塞，位线接触插塞位于位线接触孔内；

第一隔离层，第一隔离层位于位线接触孔的侧壁，且覆盖位线接触插塞的侧壁。

在本公开的一个实施例中，第一隔离层包括氧化硅层和氮化硅层，氧化硅层与位线接触孔的侧壁相接触，氮化硅层与位线接触插塞相接触。

在本公开的一个实施例中，第一隔离层的底端与位线接触插塞的底端平齐，和/或，

25 第一隔离层不低于衬底上表面。

在本公开的一个实施例中，位线接触插塞为多层结构，多层结构的材料包括多晶硅和金属材料。

在本公开的一个实施例中，位线接触插塞为三层结构，其中两层多晶硅之间夹设有金属材料。

30 在本公开的一个实施例中，金属材料不高于衬底上表面。

在本公开的一个实施例中，位线接触插塞包括多晶硅。

在本公开的一个实施例中，半导体结构还包括：

第二隔离层，第二隔离层位于字线上；

字线表面层，字线表面层位于第二隔离层内，第二隔离层覆盖字线表面层的侧壁和底

5 壁；

其中，位线接触插塞位于相邻两个第二隔离层之间。

在本公开的一个实施例中，半导体结构还包括：

氮化层，氮化层位于第二隔离层与字线之间。

在本公开的一个实施例中，第一隔离层的底端高于第二隔离层的底端。

10 在本公开的一个实施例中，半导体结构还包括：

电容器，电容器位于衬底上。

根据本公开的第二个方面，提供了一种半导体结构的制造方法，包括：

提供衬底；

在衬底内形成字线，相邻两个字线之间形成位线接触孔；

15 在位线接触孔的侧壁上形成第一隔离层；

在第一隔离层内形成位线接触插塞，第一隔离层覆盖位线接触插塞的侧壁。

在本公开的一个实施例中，形成位线接触插塞，包括：

在第一隔离层内覆盖多晶硅，多晶硅覆盖位线接触孔；

在多晶硅上覆盖金属材料；

20 在金属材料上覆盖多晶硅。

在本公开的一个实施例中，在形成第一隔离层之前，还包括：

在字线上形成第二隔离层；

在第二隔离层内形成字线表面层，第二隔离层覆盖字线表面层的侧壁和底壁。

在本公开的一个实施例中，形成第一隔离层，包括：

25 在衬底上形成开口，且露出第二隔离层，开口作为位线接触孔；

在开口的侧壁形成第一隔离层。

本公开的半导体结构通过在位线接触孔的侧壁上覆盖有第一隔离层，即在位线接触插塞和位线接触孔的侧壁之间设置有第一隔离层，从而可以降低位线接触插塞与字线之间的耦合效应，以此改善半导体结构的性能。

30

附图说明

通过结合附图考虑以下对本公开的优选实施方式的详细说明，本公开的各种目标，特征和优点将变得更加显而易见。附图仅为本公开的示范性图解，并非一定是按比例绘制。在附图中，同样的附图标记始终表示相同或类似的部件。其中：

- 5 图 1 是根据一示例性实施方式示出的一种半导体结构的结构示意图；
图 2 是根据一示例性实施方式示出的一种半导体结构的制造方法的流程示意图；
图 3 是根据一示例性实施方式示出的一种半导体结构的制造方法得到第二隔离层的结构示意图；
图 4 是根据一示例性实施方式示出的一种半导体结构的制造方法得到字线表面层的
10 结构示意图；
图 5 是根据一示例性实施方式示出的一种半导体结构的制造方法得到第一隔离层的结构示意图；
图 6 是根据一示例性实施方式示出的一种半导体结构的制造方法得到位线接触插塞的结构示意图。
- 15 附图标记说明如下：
10、衬底；11、位线接触孔；12、开口；20、字线；30、位线接触插塞；31、多晶硅；
32、金属材料；40、第一隔离层；50、位线；60、字线表面层；70、第二隔离层；80、第
三隔离层；90、电容器。

20 具体实施方式

体现本公开特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本公开能够在不同的实施例上具有各种的变化，其皆不脱离本公开的范围，且其中的说明及附图在本质上是作说明之用，而非用以限制本公开。

- 25 在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构，系统和步骤。应理解的是，可以使用部件，结构，示例性装置，系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”，“之间”，“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解
30 为需要结构的特定三维方向才落入本公开的范围。

本公开的一个实施例提供了一种半导体结构，请参考图 1，半导体结构包括：衬底 10；字线 20，字线 20 位于衬底 10 内，相邻两个字线 20 之间具有位线接触孔 11；位线接触插塞 30，位线接触插塞 30 位于位线接触孔 11 内；第一隔离层 40，第一隔离层 40 位于位线接触孔 11 的侧壁，且覆盖位线接触插塞 30 的侧壁。

- 5 本公开一个实施例的半导体结构通过在位线接触孔 11 的侧壁上覆盖有第一隔离层 40，即在位线接触插塞 30 和位线接触孔 11 的侧壁之间设置有第一隔离层 40，从而可以降低位线接触插塞 30 与字线 20 之间的耦合效应，以此提高半导体结构的性能。

需要说明的是，字线 20 为埋入式字线，两个字线 20 之间具有位线接触孔 11，且位线接触孔 11 的底壁高于字线 20 的顶面，即位线接触插塞 30 的底面高于字线 20 的顶面。

- 10 在一个实施例中，衬底 10 可以包括半导体衬底。半导体衬底可以由含硅材料形成。半导体衬底可以由任何合适的材料形成，例如，包括硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗以及碳掺杂硅中的至少一种。

- 在一个实施例中，字线 20 包括金属材料，金属材料可以包括氮化钨（WN）、氮化钼（MoN）、氮化钛（TiN）、氮化钽（TaN）、氮化钛硅（TiSiN），氮化钽硅（TaSiN）
15 或钨（W）中的至少一种。对于字线 20 的具体结构此处不作限定，可以采用相关技术中的已知结构。

在一个实施例中，如图 1 所示，半导体结构还包括位线 50，位线 50 位于位线接触插塞 30 上，即位线 50 与位线接触插塞 30 相连接。

- 在一个实施例中，位线 50 包括金属材料，金属材料可以包括氮化钨（WN）、氮化钼
20 （MoN）、氮化钛（TiN）、氮化钽（TaN）、氮化钛硅（TiSiN），氮化钽硅（TaSiN）或钨（W）中的至少一种。对于位线 50 的具体结构此处不作限定，可以采用相关技术中的已知结构。

在一个实施例中，位线 50 覆盖位线接触插塞 30 的上表面。

- 在一个实施例中，第一隔离层 40 包括氧化硅层和氮化硅层，氧化硅层与位线接触孔
25 11 的侧壁相接触，氮化硅层与位线接触插塞 30 相接触。考虑到位线接触插塞 30 内设置有金属材料，因此氮化硅层的设置可以避免位线接触插塞 30 内的金属材料扩散到氧化硅层内。

- 具体的，例如，位线接触插塞 30 包括多晶硅 31 和金属材料 32，此时，氮化硅层可以仅覆盖金属材料 32，当然也可以完全覆盖位线接触插塞 30。结合图 1 所示，位线接触
30 插塞 30 包括两层多晶硅 31 和位于中间的金属材料 32，此时，氮化硅层可以仅覆盖上层

多晶硅 31 以及金属材料 32，而不覆盖下层多晶硅 31，如此设置既能隔绝金属材料与氧化硅层，又能增加下层多晶硅 31 与衬底 10 的接触面积，进一步减小接触电阻。

需要说明的是，位线接触插塞 30 包括金属材料 32 时可以降低位线接触插塞 30 的阻值，而在下层多晶硅 31 不覆盖氮化硅层时，可增加下层多晶硅 31 与衬底 10 的接触面积，
5 因此进一步减小接触电阻。

在一个实施例中，氮化硅层的厚度可以小于氧化硅层的厚度，例如，氮化硅层的厚度可以为 1nm-3nm，具体的氮化硅层的厚度为 1nm、1.5 nm、2 nm、2.5 nm 或者 3nm。

在一个实施例中，第一隔离层 40 的底端与位线接触插塞 30 的底端平齐，和/或，第一隔离层 40 不低于衬底 10 上表面。

10 需要说明的是，第一隔离层 40 上表面可以与衬底 10 上表面平齐，或者，第一隔离层 40 上表面高于衬底 10 上表面，即位线接触插塞 30 突出衬底 10 上表面。

在一个实施例中，位线接触插塞 30 为多层结构，多层结构的材料包括多晶硅 31 和金属材料 32。金属材料 32 的设置可以降低位线接触插塞 30 的阻值，金属材料 32 可以是铜（Cu）、铝（Al）、钨（W）或其合金等，此处不作进一步限定，可以根据实际需求进行
15 选择。

在一个实施例中，如图 1 所示，位线接触插塞 30 为三层结构，其中两层多晶硅 31 之间夹设有金属材料 32。

需要说明的是，多晶硅 31 进行离子掺杂，掺杂元素可以为硼（B）、磷（P）或砷（As），在本实施例中可以为掺杂磷（P）元素。在其他实施例中，也可以为其它元素离子掺杂。

20 在一个实施例中，两层多晶硅 31 的离子掺杂浓度可以均相等。或者，两层多晶硅 31 的离子掺杂浓度也可以不相等，例如，下层多晶硅 31 的离子掺杂浓度高于上层多晶硅 31 的离子掺杂浓度，此时，由于下层多晶硅 31 的离子掺杂浓度高，可以降低与衬底 10 的有源区的接触电阻，上层多晶硅 31 的离子掺杂浓度偏低，可以进一步降低位线接触插塞 30 与字线 20 之间的耦合效应。

25 具体的，上层多晶硅 31 的离子掺杂浓度可以为 $1E20 \sim 1E21$ ，下层多晶硅 31 的离子掺杂浓度可以为 $5E20 \sim 5E21$ 。

在一个实施例中，金属材料 32 不高于衬底 10 上表面，即金属材料 32 均位于位线接触孔 11 内，而位线接触插塞 30 上表面可以高于衬底 10 上表面。

30 在一个实施例中，位线接触插塞 30 包括多晶硅 31。多晶硅 31 具有离子掺杂，以此满足导电需求，多晶硅 31 可掺杂磷（P）。具体的，位线接触插塞 30 仅由掺杂离子的多

晶硅 31 组成。

在一个实施例中，如图 1 所示，半导体结构还包括：第二隔离层 70，第二隔离层 70 位于字线 20 上；字线表面层 60，字线表面层 60 位于第二隔离层 70 内，第二隔离层 70 覆盖字线表面层 60 的侧壁和底壁；其中，位线接触插塞 30 位于相邻两个第二隔离层 70 5 之间。字线表面层 60 和第二隔离层 70 也填充在衬底 10 内，以将字线 20 埋入衬底 10 内，并实现绝缘隔离作用。

在一个实施例中，半导体结构还包括：氮化层，氮化层位于第二隔离层 70 与字线 20 之间，从而避免字线 20 的金属材料扩散到第二隔离层 70 内。

需要说明的是，氮化层的厚度小于第二隔离层 70 的厚度。其中，氮化层可以包括氮 10 化硅，第二隔离层 70 可以包括氧化硅。

在一个实施例中，字线表面层 60 包括氮化硅，即第二隔离层 70 与字线表面层 60 可以形成氧化硅-氮化硅-氧化硅的 ONO 层结构。

在一个实施例中，第一隔离层 40 的底端高于第二隔离层 70 的底端。

在一个实施例中，第二隔离层 70 的厚度大于第三隔离层 80 的厚度。

15 在一个实施例中，第一隔离层 40 与第二隔离层 70 相接触。

在一个实施例中，如图 1 所示，半导体结构还包括：第三隔离层 80，第三隔离层 80 位于衬底 10 内，且覆盖字线 20 的侧壁和底壁；其中，第三隔离层 80 的顶端与第二隔离层 70 的底端相接触。

需要说明的是，第三隔离层 80 包括氧化硅层和功函数层，功函数层与字线 20 相接触， 20 氧化硅层与衬底 10 相接触。

在一个实施例中，如图 1 所示，半导体结构还包括：电容器 90，电容器 90 位于衬底 10 上。电容器 90 与位线 50 分别位于字线 20 的两侧。

本公开的一个实施例还提供了一种半导体结构的制造方法，请参考图 2，半导体结构的制造方法包括：

25 S101，提供衬底 10；

S103，在衬底 10 内形成字线 20，相邻两个字线 20 之间形成位线接触孔 11；

S105，在位线接触孔 11 的侧壁上形成第一隔离层 40；

S107，在第一隔离层 40 内形成位线接触插塞 30，第一隔离层 40 覆盖位线接触插塞 30 的侧壁。

30 本公开一个实施例的半导体结构的制造方法通过在位线接触孔 11 的侧壁上覆盖有第

一隔离层 40，并在第一隔离层 40 内形成位线接触插塞 30，从而使得位线接触插塞 30 和位线接触孔 11 的侧壁之间形成有第一隔离层 40，第一隔离层 40 可以降低位线接触插塞 30 与字线 20 之间的耦合效应，以此改善半导体结构的性能。

需要说明的是，对于字线 20 的具体成型方法此处不作限定，可以根据相关技术中的方法形成。

例如，在衬底 10 内刻蚀出沟槽，在沟槽的槽壁上覆盖第三隔离层 80，然后将导电材料填充到第三隔离层 80 内，以此形成字线 20。其中，第三隔离层 80 可以包括氧化硅层和功函数层，即先在沟槽的槽壁上覆盖氧化硅层，然后用功函数层覆盖氧化硅层，最后在功函数层内形成字线 20。

具体的，字线 20 可以包括氮化钨（WN）、氮化钼（MoN）、氮化钛（TiN）、氮化钽（TaN）、氮化钛硅（TiSiN），氮化钽硅（TaSiN）或钨（W）中的至少一种。

在一个实施例中，半导体结构的制造方法包括：在位线接触插塞 30 上形成位线 50，以及在衬底 10 上形成电容器 90。

在一个实施例中，位线 50 可以包括氮化钨（WN）、氮化钼（MoN）、氮化钛（TiN）、氮化钽（TaN）、氮化钛硅（TiSiN），氮化钽硅（TaSiN）或钨（W）中的至少一种。

在一个实施例中，形成位线接触插塞 30，包括：在第一隔离层 40 内覆盖多晶硅 31，多晶硅 31 覆盖位线接触孔 11；在多晶硅 31 上覆盖金属材料 32；在金属材料 32 上覆盖多晶硅 31。

位线接触插塞 30 由三层材料形成，首先在第一隔离层 40 内填充多晶硅 31，即形成下层多晶硅 31，下层多晶硅 31 均位于位线接触孔 11 内，然后在下层多晶硅 31 上覆盖金属材料 32，金属材料 32 也均位于位线接触孔 11 内，此时金属材料 32 不高于衬底 10 上表面，最后在金属材料 32 上方覆盖多晶硅 31，以形成上层多晶硅 31。

需要说明的是，形成的多晶硅 31 具有离子掺杂，其中，可以将具有离子掺杂的多晶硅材料直接填充到第一隔离层 40 内，或者，先填充未掺杂离子的多晶硅，待多晶硅填充完成后，进行离子注入，以此形成具有离子掺杂的多晶硅 31，具体形成方式此处不作限定，可以根据实际需求进行选择。

在一个实施例中，多晶硅 31 可掺杂磷（P），在其它实施例中，掺杂元素也可以为硼（B）、砷（As）或其他离子，两层多晶硅 31 的离子掺杂浓度可以均相等。或者，两层多晶硅 31 的离子掺杂浓度也可以不相等，例如，下层多晶硅 31 的离子掺杂浓度高于上层多晶硅 31 的离子掺杂浓度，上层多晶硅 31 的离子掺杂浓度可以为 $1E20 \sim 1E21$ ，下层多晶

硅 31 的离子掺杂浓度可以为 $5E20 \sim 5E21$ 。

在一个实施例中，金属材料 32 可以是铜（Cu）、铝（Al）、钨（W）或其合金等。

在一个实施例中，形成位线接触插塞 30，包括：在第一隔离层 40 内填充多晶硅 31，即仅由多晶硅 31 形成位线接触插塞 30，多晶硅 31 可掺杂磷（P）。

- 5 在一个实施例中，在形成第一隔离层 40 之前，还包括：在字线 20 上形成第二隔离层 70；在第二隔离层 70 内形成字线表面层 60，第二隔离层 70 覆盖字线表面层 60 的侧壁和底壁。

10 结合图 3 所示，在衬底 10 内形成沟槽，并在沟槽的下部形成第三隔离层 80 和字线 20，然后在第三隔离层 80 和字线 20 的上表面形成第二隔离层 70，第二隔离层 70 覆盖沟槽的侧壁以及第三隔离层 80 和字线 20 的上表面。

需要说明的是，在形成第二隔离层 70 之前，可以在字线 20 的上表面形成氮化层，然后在氮化层上形成第二隔离层 70，第二隔离层 70 与第三隔离层 80 的氧化硅层相连接，第二隔离层 70 可以包括氧化硅。氮化层可以包括氮化硅。其中，氮化层可以采用远距离等离子体渗氮（remote plasma nitridation, RPN）工艺形成。

- 15 结合图 4 所示，在第二隔离层 70 内形成字线表面层 60。字线表面层 60 包括氮化硅。

20 需要说明的是，第三隔离层 80、第二隔离层 70 以及字线表面层 60 可以通过采用物理气相沉积（Physical Vapor Deposition, PVD）工艺、化学气相沉积（Chemical Vapor Deposition, CVD）工艺或原子层沉积（Atomic Layer Deposition, ALD）工艺形成。在形成后可以采用蚀刻或者化学机械研磨（Chemical Mechanical Polishing, CMP）进行相应的处理，以得到图 3 和图 4 中的结构，此处不作限定，可以根据实际需求进行选择。

在一个实施例中，形成第一隔离层 40，包括：在衬底 10 上形成开口 12，且露出第二隔离层 70，开口 12 作为位线接触孔 11；在开口 12 的侧壁形成第一隔离层 40。

结合图 5，在图 4 的基础上，在两个第二隔离层 70 之间形成开口 12，在开口 12 内形成第一隔离层 40。

- 25 具体的，第一隔离层 40 可以通过采用物理气相沉积（Physical Vapor Deposition, PVD）工艺、化学气相沉积（Chemical Vapor Deposition, CVD）工艺或原子层沉积（Atomic Layer Deposition, ALD）工艺形成。本实施例中，采用原子层沉积工艺在位线接触孔 11 沉积一层隔离层，通过刻蚀去除位线接触孔 11 底部隔离层和衬底上表面的隔离层，保留位线接触孔 11 侧壁的隔离层，形成第一隔离层 40，以此形成图 5 所示的结构。结合图 6 所示，
30 在第一隔离层 40 内依次填充多晶硅 31、金属材料 32 以及多晶硅 31，从而形成位线接触

插塞 30，并在位线接触插塞 30 上形成位线 50，以及在衬底 10 上形成电容器 90，从而形成图 1 所示的半导体结构。

需要说明的是，第一隔离层 40 包括氧化硅层和氮化硅层，即首先在位线接触孔 11 的侧壁（即开口 12 的侧壁）上形成氧化硅层，然后在氧化硅层的侧壁上形成氮化硅层，最后 5 在氮化硅层内形成位线接触插塞 30。其中，氮化硅层的厚度可以为 1nm-3nm。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本公开的真正范围和精神由前 10 面的权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。