

一种高速串行接口和数据传输方法

- 5 本申请要求于 2021 年 12 月 31 日提交国家知识产权局、申请号为 202111679102.7、
申请名称为“一种高速串行接口和数据传输方法”的中国专利申请的优先权，其全部内
容通过引用结合在本申请中。

技术领域

本申请实施例涉及芯片技术领域，尤其涉及一种高速串行接口和数据传输方法。

背景技术

- 10 高速串行接口的速率演进到 64GT/s 以上后，误码率较高，在发送端，需要引入前
向纠错码（Forward error correction, FEC）技术对发送的数据进行编码。同时，在接
收端，需对串行器-解串器（Serializer and Deserializer, SerDes）的接收电路（Receiver,
RX）输出的数据进行 FEC 解码纠错。此外，为了保证发送端发送给 SerDes 的数据中
15 的 0 和 1 的数量保持平衡，需要使用加扰器（Scramber）对 FEC 编码后的数据进行加
扰，以保证数据中 0 和 1 均衡。

传统的物理层设备中，例如外设总线接口（Peripheral Component Interface Express, PCIe），当链路在短暂时间内没有业务报文发送时，发送端需要在发送方向插入无效的（Idle）码流进行数据填充，保证发送端的 SerDes 一直可发送数据。但是，此时发送端在发送 Idle 码流时，会消耗发送端和接收端大量的功耗，设备的功耗较高。

20 发明内容

本申请实施例提供一种高速串行接口和数据传输方法，能够在无业务数据发送时，降低高速串行接口的物理层电路的功耗。

为达到上述目的，本申请实施例采用如下技术方案：

- 25 第一方面，提供一种高速串行接口，高速串行接口包括发送端的物理层电路、监
控器、门控时钟电路、控制码流产生电路、随机码流产生电路和串行器-解串器，其中：
监控器，用于在发送端没有业务数据发送的情况下，指示门控时钟电路停止向发送端
的物理层电路的部分模块发送时钟信号；门控时钟电路，用于停止向发送端的物理层
电路的部分模块发送时钟信号；控制码流产生电路，用于在确定门控时钟电路停止发
送时钟信号的情况下，通过串行器-解串器发送第一控制码流，第一控制码流用于指示
30 发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要
关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的
物理层电路的部分模块；随机码流产生电路，用于向串行器-解串器发送随机码流。

- 35 由此，对于高速串行接口，如果暂时没有业务数据要发送时，可通过停止向发送
端的物理层电路的部分模块发送时钟信号，以便发送端的物理层电路的部分模块处于
未被驱动状态，可节省发送端的物理层电路的耗电。同时，控制码流产生电路还可以
发送第一控制码流指示需关闭物理层电路。这样，第一控制码流相当于开关指示，指
示接收端也可以关闭接收端的物理层电路的部分模块，不再接收业务数据。为了使得
串行器-解串器的时钟数据恢复 CDR 电路继续处于锁定状态而不易出错，在发送完第

一控制码流后，继续发送随机码流。第一控制码流和随机码流都不经过发送端的物理层电路的部分模块和接收端的物理层电路的部分模块。这样，对于发送端的物理层电路和接收端的物理层电路都可起到降低功耗的作用。

在一种可能的设计中，发送端的物理层电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。由于在发送端的物理层电路中，FEC 电路和加解扰电路较为耗电，在暂时不传输业务数据时，关闭 FEC 电路和加解扰电路可节省耗电。当然，本申请要关闭的发送端的物理层电路的部分模块不限于 FEC 编码电路和加扰电路，接收端的物理层电路的部分模块也不限于 FEC 解码电路和解扰电路，还可以包括其他较为耗电的电路，例如发送端的物理层电路的部分模块还可以包括数据分发电路，接收端的物理层电路的部分模块还可以包括符号锁定 (Symbol Lock) 电路、去偏移 (Deskew) 电路等。

在一种可能的设计中，高速串行接口还包括发送端的数据链路层；监控器，具体用于：监控发送端的数据链路层是否在向发送端的物理层电路发送业务数据；确定发送端的数据链路层没有向发送端的物理层电路发送业务数据时，确定发送端没有业务数据发送。即发送端的数据链路层没有业务数据发送时，相当于发送端暂时没有业务数据发送，可以关闭发送端的物理层电路的部分模块，以节约耗电。

在一种可能的设计中，监控器还用于：确定门控时钟电路停止向发送端的物理层电路的部分模块停止发送时钟信号时，向控制码流产生电路发送第一信号，第一信号用于指示控制码流产生电路发送第一控制码流；在确定控制码流产生电路发送完第一控制码流时，向随机码流产生电路发送第二信号，第二信号用于指示随机码流产生电路发送随机码流。也就是说，本申请中，监控器在确定没有业务数据发送时，可以触发码流产生电路发送第一控制码流，还可以触发随机码流产生电路发送随机码流。这两种码流都不经过发送端的物理层电路的部分模块。当然，还可以不通过监控器触发发送这两种码流，还可以是监控器以外的控制电路监控每个电路的状态，控制电路在确定没有业务数据发送时，指示码流产生电路发送第一控制码流，还可以指示随机码流产生电路发送随机码流。

在一种可能的设计中，监控器，还用于在发送端恢复发送业务数据时，指示门控时钟电路向发送端的物理层电路的部分模块发送时钟信号；门控时钟电路，还用于向发送端的物理层电路的部分模块发送时钟信号；随机码流产生电路，还用于在确定门控时钟电路开始发送时钟信号时，停止发送随机码流；控制码流产生电路，还用于在确定发送端恢复发送业务数据时，通过串行器-解串器发送第二控制码流，第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块，或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块；发送端的物理层电路，用于通过串行器-解串器开始发送业务数据。

也就是说，在恢复业务数据发送时，监控器还可以指示随机码流产生电路停止发送随机码流，并指示控制码流产生电路发送第二控制码流，第二控制码流可以用于指示开启接收端的物理层电路的部分模块，以便接收端的物理层电路可以恢复发送业务

数据。

在一种可能的设计中，第一控制码流包括多个重复的码流标识符、第一标记结束标识和第一码流内容，第一码流内容指示发送端关闭了发送端的物理层电路中的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块，
5 或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块；第一标记结束标识用于指示第一控制码流的结束比特位置；第二控制码流包括多个重复的码流标识符、第二标记结束标识和第二码流内容，第二码流内容指示发送端开启了发送端的物理层电路的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层电路的部分模块，或第二控制码流用于指示接收端开启接收端的物理层电路的部分模块；
10 第二标记结束标识用于指示第二控制码流的结束比特位置；随机码流用于使得串行器-解串器中的时钟数据恢复 CDR 电路继续处于锁定状态，且随机码流包括数量均衡的 0 和 1。本申请对第一控制码流和第二控制码流的实现不做限定。

第二方面，提供一种高速串行接口，高速串行接口包括接收端的物理层电路、码流检测电路、门控时钟电路和串行器-解串器，其中：码流检测电路，用于通过串行器-解串器接收第一控制码流，第一控制码流用于指示发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块；码流检测电路，还用于指示门控时钟电路停止向接收端的物理层电路的部分模块发送时钟信号；
15 门控时钟电路，用于停止向接收端的物理层电路的部分模块发送时钟信号；码流检测电路，还用于通过串行器-解串器接收随机码流。
20

这样，当接收端接收到第一控制码流时，就知道发送端已没有业务数据待发送，接收端可关闭接收端的物理层电路的部分模块，已节省耗电。同时，为了使得接收端的串行器-解串器的 CDR 电路继续处于锁定状态，接收端的串行器-解串器在接收完第一控制码流后，可继续接收随机码流。

25 在一种可能的设计中，发送端的物理层电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。该设计的有益效果可参见第一方面的说明。

在一种可能的设计中，高速串行接口还包括接收端的数据链路层；门控时钟电路具体用于：确定距离接收端的物理层电路最后一次向接收端的数据链路层发送业务数据的时间超过预设时间段时，停止向接收端的物理层电路的部分模块发送时钟信号。
30 确定距离接收端的物理层电路最后一次向接收端的数据链路层发送业务数据的时间超过预设时间段时，可确定暂时不接收业务数据，且对已经接收到的业务数据已完全发送至接收端的数据链路层。

在一种可能的设计中，码流检测电路，还用于控制串行器-解串器接收第二控制码流，第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块，或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块时，指示门控时钟电路向接收端的物理层电路的部分模块发送时钟信号；门控时钟电路，还用于向接收端的物理层电路的部分模块发送时钟信号；码流检测电路，还用于将从串行器-解串器接收到
35

的业务数据发送给接收端的物理层电路。该设计的有益效果可参见第一方面的说明。

在一种可能的设计中，第一控制码流包括多个重复的标记标识符、第一标记结束标识和第一码流内容，第一码流内容指示发送端关闭了发送端的物理层电路中的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块，
5 或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块；第一标记结束标识用于指示第一控制码流的结束比特位置；第二控制码流包括多个重复的标记标识符、第二标记结束标识和第二码流内容，第二码流内容指示发送端开启了发送端的物理层电路的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层电路的部分模块，或第二控制码流用于指示接收端开启接收端的物理层电路的部分模块；
10 第二标记结束标识用于指示第二控制码流的结束比特位置；随机码流用于使得串行器-解串器中的时钟数据恢复 CDR 电路继续处于锁定状态，且随机码流包括数量均衡的 0 和 1；码流检测电路，还用于在识别出随机码流时，丢弃随机码流。该设计的有益效果可参见第一方面的说明。

第三方面，提供一种数据传输方法，应用于高速串行接口，高速串行接口包括发送端的物理层电路；其特征在于，该方法包括：在发送端没有业务数据发送的情况下，
15 发送端发送第一控制码流；第一控制码流用于指示发送端关闭了发送端的物理层电路中的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块；发送端关闭发送端的物理层电路中的部分模块；发送端发送随机码流。

20 第三方面的有益效果可参见第一方面的说明。

在一种可能的设计中，发送端的物理层电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

在一种可能的设计中，高速串行接口还包括发送端的数据链路层的部分模块；发送端没有业务数据发送包括：发送端的数据链路层没有向发送端的物理层电路发送业务数据时，确定发送端没有业务数据发送。
25

在一种可能的设计中，高速串行接口还包括串行器-解串器，该方法还包括：在发送端恢复发送业务数据的情况下，发送端发送第二控制码流，第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块，或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块；发送端开启发送端的物理层电路的部分模块；发送端控制发送端的物理层电路向串行器-解串器发送业务数据。
30

在一种可能的设计中，第一控制码流包括多个重复的码流标识符、第一标记结束标识和第一码流内容，第一码流内容指示发送端关闭了发送端的物理层电路中的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块，
35 或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块；第一标记结束标识用于指示第一控制码流的结束比特位置；第二控制码流包括多个重复的码流标识符、第二标记结束标识和第二码流内容，第二码流内容指示发送端开启了发送端的物理层电路的部分模块，或，第二控制码流用于指示发送端将要开启发送端的物理层

电路的部分模块,或第二控制码流用于指示接收端开启接收端的物理层电路的部分模块;第二标记结束标识用于指示第二控制码流的结束比特位置;随机码流用于使得串行器-解串器中的时钟数据恢复 CDR 电路处于锁定状态,且随机码流包括数量均衡的 0 和 1。

- 5 第四方面,提供一种数据传输方法,应用于高速串行接口,高速串行接口包括接收端的物理层电路,该方法包括:接收端接收第一控制码流;第一控制码流用于指示发送端关闭了发送端的物理层电路的部分模块,或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块,或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块;接收端关闭接收端的物理层电路的部分模块;接收端接收随机码流。

10 第四方面的有益效果可参见第二方面的说明。

在一种可能的设计中,物理层的发送电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个;接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

- 15 在一种可能的设计中,高速串行接口还包括串行器-解串器,该方法还包括:接收端控制串行器-解串器接收第二控制码流,第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块,或,第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块,或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块;接收端开启接收端的物理层电路的部分模块;接收端控制接收端的物理层电路接收通过串行器-解串器传输的业务数据。

- 20 在一种可能的设计中,第一控制码流包括多个重复的标记标识符、第一标记结束标识和第一码流内容,第一码流内容指示发送端关闭了发送端的物理层电路中的部分模块,或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块,或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块;第一标记结束标识用于指示第一控制码流的结束比特位置;第二控制码流包括多个重复的标记标识符、第二标记结束标识和第二码流内容,第二码流内容指示发送端开启了发送端的物理层电路的部分模块,或,第二控制码流用于指示发送端将要开启发送端的物理层电路的部分模块,或第二控制码流用于指示接收端开启接收端的物理层电路的部分模块;第二标记结束标识用于指示第二控制码流的结束比特位置;随机码流用于使得串行器-解串器中的时钟数据恢复 CDR 电路继续处于锁定状态,且随机码流包括数量均衡的 0 和 1;该方法还包括:在识别出随机码流时,丢弃随机码流。

- 25 第五方面,提供一种通信装置,包括至少一个处理器,至少一个处理器与存储器相连,至少一个处理器用于读取并执行存储器中存储的程序,以使得装置执行如上述第三方面或第三方面的任一种可能的设计对应的方法,或执行上述第四方面或第四方面的任一种可能的设计的方法。

30 第六方面,提供一种芯片,芯片与存储器耦合,用于读取并执行存储器中存储的程序指令,以实现如上述第三方面或第三方面的任一种可能的设计对应的方法,或执行上述第四方面或第四方面的任一种可能的设计的方法。

第七方面,本申请提供一种芯片系统,该芯片系统应用于云中心。该芯片系统包

括一个或多个接口电路，以及一个或多个处理器。该接口电路和该处理器通过线路互联；该接口电路用于从云中心的存储器接收信号，并向处理器发送该信号，该信号包括该存储器中存储的计算机指令。当该处理器执行该计算机指令时，云中心执行如第一方面或其相应的可能的设计提供的数据传输方法。

5 第八方面，本申请实施例提供了一种串行接口电路，该电路包含在电子设备中，该装置具有实现上述任一方面及任一项可能的实现方式中电子设备行为的功能。该功能可以通过硬件实现，也可以通过硬件执行相应的软件实现。

第九方面，提供一种计算机可读存储介质，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述第三方面或第三方面的任一种可能的设计的方法。

第十方面，提供一种计算机可读存储介质，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述第三方面或第三方面的任一种可能的设计的方法。

可以理解的是，上述提供的任一种高速串行接口、通信装置、芯片系统、计算机可读存储介质或计算机程序产品等均可以应用于上文所提供的对应的方法，因此，其所能达到的有益效果可参考对应的方法中的有益效果，此处不再赘述。

本申请的这些方面或其他方面在以下的描述中会更加简明易懂。

附图说明

图 1 为本申请实施例提供的一种高速串行接口的应用架构示意图；

20 图 2 为本申请实施例提供的一种一侧中的 DL、PHY 以及 SerDes 组成的发送和接收两个方向与链路对侧通信的信号流程示意图；

图 3A 为本申请实施例提供的一种发送端的高速串行接口的电路示意图；

图 3B 为本申请实施例提供的一种发送端的高速串行接口的电路示意图；

图 4 为本申请实施例提供的一种接收端的高速串行接口的电路示意图；

25 图 5 为本申请实施例提供的一种发送端的高速串行接口的电路示意图；

图 6 为本申请实施例提供的一种接收端的高速串行接口的电路示意图；

图 7 为本申请实施例提供的一种应用于发送端的数据传输方法的流程示意图；

图 8 为本申请实施例提供的一种应用于接收端的数据传输方法的流程示意图；

图 9 为本申请实施例提供的一种关闭 PL_TX 和 PL_RX 的流程示意图；

30 图 10 为本申请实施例提供的一种应用于发送端的数据传输方法的流程示意图；

图 11 为本申请实施例提供的一种应用于接收端的数据传输方法的流程示意图；

图 12 为本申请实施例提供的一种开启 PL_TX 和 PL_RX 的流程示意图；

图 13 为本申请实施例提供的一种网络设备的结构示意图。

具体实施方式

35 为了便于理解，示例的给出了部分与本申请实施例相关概念的说明以供参考。如下所示：

串行器-解串器(SerDes):是一种时分多路复用(time-division multiplexing, TDM)、点对点(Point to Point, P2P)的串行通信技术。在 SerDes 的发送端，多路低速并行信号被转换成高速串行信号，经过传输媒体(光缆或铜线)，最后在 SerDes 的接收端将高速

串行信号重新转换成低速并行信号。这种点对点的串行通信技术充分利用传输媒体的信道容量，减少所需的传输信道和器件引脚数目，提升信号的传输速度，从而大大降低通信成本。

5 外设总线接口（Peripheral Component Interface Express, PCIe）：属于高速串行点对点双通道高带宽传输，PCIe 所连接的设备分配独享通道带宽，不共享总线带宽，主要支持主动电源管理、错误报告、端对端的可靠性传输、热插拔以及服务质量(Quality of Service, QoS)等功能。

10 汉明编码（Bose Ray-Chaudhuri Hocquenghem, BCH）：是纠错码中研究得比较多的一种编码方法，用于校正多个随机错误模式的多级、循环、错误校正和变长数字编码。

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述。其中，在本申请实施例的描述中，除非另有说明，“/”表示或的意思，例如，A/B 可以表示 A 或 B；本文中的“和/或”仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B
15 这三种情况。另外，在本申请实施例的描述中，“多个”是指两个或两个以上。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

20 在 PCIe 规范中，定义了 L0s、L1 和 L2 等低功耗状态，在链路无业务报文发送超过一定时间后，会发起低功耗状态，用于节省链路的功耗。

具体地，L0s 是一个本端发送器（Transmitter，TX）和对端接收器（Receiver，RX）配对，一起进入低功耗，且一起退出低功耗的状态，进入和退出的延时在几个 us 量级。L1 是一个端口的 TX 和 RX 两个方向都同时退出低功耗的状态，进入和退出的
25 延时在几十 us 量级。L1 相对 L0s 节省的功耗比例更高，L2 相对 L1 节省的功耗比例更高。以 L1 低功耗状态为例，链路进入低功耗的工作流程可以如下。

1) PCIe 的电源管理模块监控链路的发送方向和接收方向是否在一段连续的时间 T 内没有传输事务层数据包（Transaction Layer Packet, TLP）；

30 2) 当 PCIe 的电源管理模块确定 T 大于配置的阈值后，确定发起进入 L1 低功耗状态的流程；

3) PCIe 的电源管理模块向 PCIe 的物理层发送进入 L1 低功耗状态的请求；

4) PCIe 的物理层接收到电源管理模块的请求后，与对接设备协商进入 L1 低功耗状态。在 L1 状态下，PCIe 的物理层和 PCIe 的 SerDes 的 TX 和 RX 也都处于节电状态；

35 5) PCIe 的物理层确定已完成和对端设备协商进入 L1 低功耗状态的流程后，向 PCIe 的电源管理模块上报已成功进入 L1 低功耗状态；

6) PCIe 的电源管理模块接收到物理层进入 L1 状态的指示后，PCIe 的电源管理模块指示 PCIe 的控制器进入 L1 低功耗状态。

继续以 L1 低功耗状态为例，退出低功耗的工作流程可如下。

1) PCIe 的电源管理模块监控链路的发送方向是否有 TLP 的请求发送；

2) PCIe 的电源管理模块监视到有 TLP 发送时, 发起退出 L1 低功耗状态的流程;

3) PCIe 的电源管理模块向 PCIe 的物理层发送退出 L1 低功耗状态的请求;

4) PCIe 的物理层在接收到 PCIe 的电源管理模块的请求后, 与对接设备协商退出 L1 低功耗状态。在此过程中, PCIe 的 SerDes 的 TX 和 RX 都会受到 PCIe 的物理层的控制, 相当于 PCIe 的物理层和 SerDes 都退出了节电状态;

5) PCIe 的物理层完成和对端设备协商退出 L1 低功耗状态的流程后, PCIe 的物理层向电源管理模块上报成功进入 L0 低功耗状态的指示;

6) PCIe 的电源管理模块在接收到 PCIe 的物理层进入 L0 低功耗状态的指示后, PCIe 的电源管理模块也会指示 PCIe 的控制器进入 L0 的低功耗状态。

首先, 从进入 L1 低功耗状态的流程和退出 L1 低功耗状态的流程可知, PCIe 控制器, 包括 PCIe 的物理层和 SerDes 等进入低功耗状态前, 链路必须停止发送业务数据持续一段时间。一般在 us 和 ms 量级。但是, 当业务数据发送的间隔时间短于此时时间时, 低功耗机制就无法发挥作用, 链路的功耗仍然无法降低。

再者, 在 PCIe 协议中, 当链路在短暂时间内没有业务数据传输时, 需在 TX 方向插入无效的 IDLE 数据进行数据填充, 但是 IDLE 数据仍然会经过物理层的 FEC 和加扰等电路, 而物理层的 FEC 和加扰等电路仍然会消耗大量的功耗, 链路的功耗还是无法降低。

此外, PCIe 中, 进入低功耗状态和退出低功耗状态时, 由于 PCIe 的控制器进入低功耗状态时, PCIe 的控制器中的 SerDes 也会进入低功耗状态, 会导致进入低功耗状态的延时和退出低功耗状态的延时较高, 一般在几十 us 量级。而且, 链路在进入低功耗状态和退出低功耗状态时, 业务数据会被阻塞, 频繁进入低功耗状态和退出低功耗状态, 链路中 SerDes 中的高速输入/输出 (Input/Output, I/O) 频繁用于切换流程, 不能发送业务数据, 对高速 I/O 的性能产生一定影响, 无法实现快速切换。

由此, 本申请提供一种高速串行接口, 该高速串行接口例如具体可以应用于 PCIe 或以太网等网络架构中。

在本申请中, 该高速串行接口用于发送端发送业务数据时, 高速串行接口中的监控器可以监控物理层是否还有业务数据在发送, 在确定无业务数据发送时, 监控器会触发门控时钟电路停止向发送端的物理层电路的部分模块发送时钟信号, 这就相当于关闭了发送端的物理层电路的部分模块。并且, 会触发控制码流产生电路产生第一控制码流, 第一控制码流相当于指示远端即接收端的物理层电路的部分模块的开关, 用于指示接收端的物理层电路的部分模块关闭。当接收端的码流检测电路检测到第一控制码流时, 也会触发接收端中的门控时钟电路关闭接收端的物理层电路的部分模块。这种使用门控时钟电路以及控制码流使得发送端的物理层电路的部分模块和接收端的物理层电路的部分模块进入低功耗状态的方法, 响应速度往往在几 ns 级别, 响应速度远远低于现有技术中, PCIe 进入 L1 低功耗状态或 L0s 低功耗状态等的流程耗费的 us 或 ms 级别的时间, 链路功耗大大被降低。

类似的, 本申请退出低功耗进入正常业务数据传输的流程, 可通过第二控制码流实现, 使得退出低功耗进入正常业务数据传输的切换时间相对 PCIe 退出 L1 低功耗状态或 L0s 低功耗状态等的时间更短, 响应速度更快。

况且，本申请的高速串行接口中，发送端的门控时钟电路未向发送端的物理层电路发送时钟信号时，可使得发送端的物理层电路的部分模块被关闭，包括发送端的物理层电路中的 FEC 编码电路和加扰电路等都会被关闭而未正常工作。接收端的门控时钟电路未向接收端的物理层电路的部分模块发送时钟信号时，接收端的物理层电路的部分模块被关闭，包括接收端的物理层中的 FEC 解码电路和解扰电路等都会被关闭而未正常工作。相对现有的 PCIe 协议中，在进入低功耗状态时，如若没有业务数据传输，发送方向也会插入 IDLE 数据，仍然会经过 FEC 电路和加解扰电路等带来的功耗依然较高的问题，本申请中，发送端的物理层电路的部分模块和接收端的物理层电路的部分模块都会无法正常工作，包括物理层中的 FEC 电路和加解扰电路等也未正常工作时，可大大降低链路的功耗。

而且，相对现有技术 PCIe 中，当链路进入到低功耗工作状态时，链路中的 SerDes 也会进入到低功耗状态时，本申请可通过在发送第一控制码流后，SerDes 的发送电路在物理层的电路被关闭时仍然可处理工作状态，继续用于发送随机码流。自然地，接收端的 SerDes 的接收电路也处于工作状态，继续用于接收随机码流，这样可确保 SerDes 中的时钟数据恢复（Clock and Data Recovery, CDR）可在稳定的锁定状态，可降低对高速 I/O 的性能影响。

需要理解，本申请的高速串行接口包括接收电路和发送电路，当存在传输业务数据的两侧高速串行接口时，一侧高速串行接口的发送电路可与另一侧高速串行接口的接收电路配合工作。

在一些实施例中，如图 1 所示，一侧高速串行接口可以包括在系统级芯片（System-on-a-Chip, SoC）中，另一侧高速串行接口可以包括在网卡（Network Card），例如以太网网卡中。SoC 可以使用高速串行接口连接到网卡，SoC 可与网卡之间传输业务数据，且 SoC 可使用网卡与外部网络进行通信。

参考图 1，高速串行接口集成在 SoC 的 I/O 控制器中，与 SoC 的系统总线连接。在系统总线上还连接有中央处理单元（central processing unit, CPU）、直接存储器存取控制器（direct memory access controller, DAMC）和存储器（memory）等组件。

在一些实施例中，本申请将 SoC 的高速串行接口作为发送端的高速串行接口看待时，相当于是对高速串行接口中的物理层电路进行了改进。在 SoC 的高速串行接口包括应用层（application layer, AP）/传输层（Transport Layer, TL）/数据链路层（data link layer, DL）、物理层（Physical Layer, PHY）以及 SerDes 的电路基础上，对高速串行接口增加了监控器、门控时钟电路和控制码流产生电路等电路。

类似的，网卡也包括高速串行接口，高速串行接口集成在 SoC 的 I/O 控制器中，将网卡中的高速串行接口可看作接收端的高速串行接口，并对接收端的高速串行接口也进行了改进。在网卡中的高速串行接口控制器包括 AP/TL/DL、PHY 以及 SerDes 的基础上，增加了门控时钟电路和码流检测电路等。

其中，SoC 中的高速串行接口可通过速串行接口中的 SerDes 与外部的网卡对接，构成一个拥有高速 I/O 接口的芯片系统。

需理解，SoC 中的高速串行接口也可以作为接收端的高速串行接口，网卡中的高速串行接口也可以作为发送端的高速串行接口。也就是说，SoC 中的高速串行接口不

仅包括发送端的高速串行接口，也包括接收端的高速串行接口，网卡中的高速串行接口也不仅包括发送端的高速串行接口，也包括接收端的高速串行接口。

下面对发送端和接收端的高速串行接口中的 DL 和 PHY 组成的系统框架进一步进行介绍。如图 2 所示。需理解，发送端同样也存在接收电路，接收端也同样存在发送电路。图 2 中示出了一侧中的 DL、PHY 以及 SerDes 组成的发送和接收两个方向与链路对侧通信的信号流程。DL 的数据通路包括 DL_TX 和 DL_RX 两个方向，PHY 的数据通路也包括 PL_TX 和 PL_RX 两个方向，PHY 包括 FEC 以及加解扰电路等功耗较高的电路。其中，DL_TX 为发送端的数据链路层的部分模块，具体可为发送端的数据链路层的发送电路；DL_RX 为接收端的数据链路层的部分模块，具体可为接收端的数据链路层的接收电路；PL_TX 为发送端的物理层电路的部分模块，具体可为发送端的物理层电路的发送电路；PL_RX 为接收端的物理层电路的部分模块，具体可为接收端的物理层电路的接收电路。PL_TX 可从 DL_TX 接收数据，经过 PHY 的 FEC 编码电路以及加扰电路等各种编码处理后发送给 SerDes；PL_RX 可从对侧的 SerDes 接收数据，经过 PHY 中的解扰电路等解码处理后发送给对侧的 DL_RX 进一步处理。

需要说明的是，本申请不限定发送端的物理层电路的发送电路（PL_TX）仅包括 FEC 编码电路和加扰电路，还可以包括其他较为耗电的发送电路；同样的，本申请也不限定接收端的物理层电路的接收电路（PL_RX）仅包括 FEC 解码电路和解扰电路，还可以包括其他较为耗电的接收电路。例如发送端的物理层电路的发送电路还可以包括数据分发电路，接收端的物理层电路的接收电路还可以包括符号锁定（Symbol Lock）电路、去偏移（Deskew）电路等。

本申请相当于是对 PHY 外围的电路进行了改进，在发送端的 PHY 外围增加了监控器、门控时钟电路和控制码流产生电路等，在接收端的 PHY 外围增加了码流检测电路和门控时钟电路等。

在一些实施例中，发送端的 PHY 外围还增加了随机码流产生电路，用于产生随机码流。

下面先对本申请的发送端的高速串行接口进行介绍。该高速串行接口包括发送端的数据链路层电路、发送端的物理层电路、监控器、门控时钟电路、控制码流产生电路、随机码流产生电路和串行器-解串器，还包括以下电路。如图 3A 所示为一种发送端的高速串行接口的结构示意图。

监控器，用于在发送端没有业务数据发送的情况下，指示门控时钟电路停止向发送端的物理层电路的部分模块发送时钟信号。

门控时钟电路，用于停止向发送端的物理层电路的部分模块发送时钟信号。

控制码流产生电路，用于在确定门控时钟电路停止发送时钟信号的情况下，通过串行器-解串器发送第一控制码流，第一控制码流用于指示发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块。也就相当于关闭发送端的物理层电路的部分模块后，第一控制码流未经过发送端的物理层电路的部分模块。

随机码流产生电路，用于向串行器-解串器发送随机码流。也就相当于关闭发送端

的物理层电路的部分模块后，随机码流未经过发送端的物理层电路的部分模块。

这样，发送端没有业务数据发送时，发送端的高速串行接口中的物理层电路中的部分模块会被关闭，发送端也会通过发送第一控制码流指示发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块，接收端相当于确定发送端已没有业务数据待发送，接收端也可以关闭接收端的物理层电路，以节省发送端和接收端的耗电。其中，本申请还可以发送随机码流，使得高速串行接口中的串行器-解串器，即 SerDes 处于工作状态。

示例性的，如图 3B 所示，发送端的物理层电路的部分模块为发送端的物理层电路的发送电路，即 PL_TX，此时，

监控器（monitor），用于监控 DL_TX 是否在向 PL_TX 发送业务数据，并在确定 DL_TX 没有向 PL_TX 发送业务数据时，指示门控时钟电路（CLK_GAT）停止向 PL_TX 发送时钟信号。

门控时钟电路，用于停止向 PL_TX 发送时钟信号。

控制码流产生电路（maker insert），用于在确定门控时钟电路停止发送时钟信号时，发送第一控制码流，第一控制码流用于指示业务数据的接收端关闭 PL_RX。

在一些实施例中，还包括多路选择电路（MUX），用于选择输出业务数据，或在接收到输出第一控制码流的指示时，选择输出第一控制码流。

当门控时钟电路用于停止向 PL_TX 发送时钟信号时，该时钟信号相当于停止向 PL_TX 发送用于传输业务数据的脉冲信号。如果 PL_TX 接收不到时钟信号，PL_TX 中的 FEC 编码电路和加扰电路等就不能正常工作，PL_TX 不再输出业务数据至 MUX。

由此，对于发生侧的高速串行接口来说，如果确定 DL_TX 没有向 PL_TX 发送业务数据时，可通过门控时钟电路关闭 PL_TX。同时，控制码流产生电路也可以产生指示接收端的 PL_RX 关闭的第一控制码流。

需要说明的是，本申请可以通过停止发送时钟信号来关闭对应的部分模块，或者说，停止向部分模块发送时钟信号相当于关闭了该部分模块。

例如门控时钟电路停止发送时钟信号，以关闭发送端的物理层电路的部分模块，或者说，门控时钟电路停止向发送端的物理层电路的部分模块发送时钟信号相当于关闭了发送端的物理层电路的该部分模块。

相应地，再对本申请的接收端的高速串行接口进行介绍。

对于接收端，如图 4 中的 (a) 所示，高速串行接口包括接收端的数据链路层电路、接收端的物理层电路、码流检测电路、门控时钟电路和串行器-解串器，其中：码流检测电路，用于通过串行器-解串器接收第一控制码流，第一控制码流用于指示发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块；

码流检测电路，还用于指示门控时钟电路停止向接收端的物理层电路的部分模块发送时钟信号；

门控时钟电路，用于停止向接收端的物理层电路的部分模块发送时钟信号；

码流检测电路，还用于通过串行器-解串器接收随机码流。

示例性的，如图4中的(b)所示，该接收端的高速串行接口中的物理层电路的部分模块包括接收端的 PL_RX，高速串行接口还包括接收端的 DL_RX、码流检测电路 (maker check) 和门控时钟电路。

- 5 码流检测电路，用于在接收到第一控制码流，第一控制码流用于指示关闭 PL_RX 时，指示门控时钟电路停止向 PL_RX 发送时钟信号。

门控时钟电路，用于停止向 PL_RX 发送时钟信号。

码流检测电路，还用于通过 SerDes 接收随机码流，随机码流未经过接收端的 PL_RX。

- 10 也即，对于接收端的高速串行接口，如果接收到指示关闭 PL_RX 的第一控制码流时，门控时钟电路不再向 PL_RX 发送时钟信号。当门控时钟电路停止向 PL_RX 发送时钟信号时，相当于不向 PL_RX 发送接收业务数据的脉冲信号。如果 PL_TX 接收不到时钟信号，PL_RX 中的 FEC 解码电路和解扰电路等就不能正常工作，PL_RX 不再输出业务数据至 DL_RX。

- 15 需要说明的是，本申请可以通过停止发送时钟信号来关闭对应的部分模块，或者说，停止向部分模块发送时钟信号相当于关闭了该部分模块。

例如门控时钟电路停止发送时钟信号，以关闭接收端的物理层电路的部分模块，或者说，门控时钟电路停止向接收端的物理层电路的部分模块发送时钟信号相当于关闭了接收端的物理层电路的部分模块。

- 20 这样，本申请在高速串行接口确定链路短暂时间内没有业务数据发送期间，可控制发送端的 PL_TX 和接收端的 PL_RX 关闭，例如关闭 PL_TX 中的 FEC 和加扰电路等功耗较高的电路，以及 PL_RX 中的 FEC 和解扰电路等功耗较高的电路，降低了链路功耗。

- 25 况且，本申请在发送端关闭 PL_TX 的基础上，使用第一控制码流指示 PL_RX 也关闭时，第一控制码流相当于指示电路关闭的开关，响应速度相对现有的如 PCIe 协议中进入和退出低功耗延迟在 us 和 ms 级别，本申请使用的开关响应速度可在 ns 级别实现，响应速度较快。

- 30 在图3A、图3B和图4示出的高速串行接口的基础上，如图5所示为发送端的高速串行接口，该发送端的高速串行接口还包括 SerDes TX，即 SerDes 的发送电路，用于输出业务数据或第一控制码流。

在一些实施例中，当发送端发送完第一控制码流后，为了保证 SerDes 一直有数据传输而不会出现故障，发送端的高速串行接口还可包括随机码流产生电路，用于产生随机码流，使得 SerDes 中的 CDR 电路处于锁定状态。其中，该随机码流包括数量均衡的 0 和 1。

- 35 本申请中，SerDes 中的 CDR 电路处于锁定状态可理解为 SerDes 中的 CDR 电路一直处于数据传输状态，而不进入低功耗状态。对于发送端，SerDes 中的 CDR 电路处于锁定状态可理解为 SerDes 中的 CDR 电路一直用于数据发送，例如发送业务数据、第一控制码流或随机码流等；对于接收端，SerDes 中的 CDR 电路处于锁定状态可理解为 SerDes 中的 CDR 电路一直用于接收数据，例如接收业务数据、第一控制码流或

随机码流等。

具体地，参考图 5，DL_TX 的第一端 a 与 PL_TX 的第一端 b 耦合，PL_TX 的第二端 c 与 MUX 电路的第一端 d 耦合，监控器的第一端 e 耦合在第一端 a 和第一端 b 之间，监控器的第二端 f 与门控时钟电路的第一端 g 耦合，门控时钟电路的第二端 h 与 PL_TX 的第三端 i 耦合，控制码流产生电路的第一端 j 与 MUX 电路的第二端 k 耦合，随机码流产生电路的第一端 l 与 MUX 电路的第三端 m 耦合，监控器的第三端 n 与 MUX 的第四端 o 耦合，MUX 的第五端 p 与 SerDes TX 的第一端 q 耦合，SerDes TX 的输出端与接收端的 SerDes RX 建立有链路。

其中，DL_TX，为数据链路层的发送方向电路，用于向 PL_TX 发送业务数据。
PL_TX，为物理层的发送方向电路，用于从 DL_TX 接收业务数据，并通过 PL_TX 中的 FEC 和加扰电路等对业务数据进行编码处理后，通过 MUX 电路发送给 SerDes TX。

门控时钟电路，用于对输入到 PL_TX 中的各个模块的时钟进行门控开关。例如当输入的时钟信号使能为 1 时，意味着门控时钟电路打开，当输入的时钟信号使能为 0 时，意味着门控时钟电路关闭。

监控器，用于监控 DL_TX 是否在向 PL_TX 发送业务数据。

控制码流产生电路，用于在确定 PL_TX 关闭时，向发送的数据中插入标记电路关闭的标记，在确定 PL_TX 开启时，向发送的数据中插入标记电路开启的标记，并通过 MUX 电路发送给 SerDes TX，以便接收端识别到物理层电路开关的动作。

随机码流产生电路，用于在确定本端的 PL_TX 关闭时，通过 MUX 向 SerDes TX 发送无效的随机码流。

SerDes TX，为 SerDes 的发送方向电路，用于将 PL_TX 发送的并行数据转换为串行码流发送到链路上。

基于以上对发送端的高速串行接口的介绍，发送端的高速串行接口发送数据的过程包括如下过程。

1) DL_TX 向 PL_TX 发送业务数据；

2) PL_TX 对业务数据进行 FEC 编码以及字节 (Byte) 分发等物理层的编码处理和加扰电路加扰后发送至 MUX 电路，以便通过 MUX 电路将处理后的业务数据通过 SerDes TX 发送给接收端；

3) 当监控器确定 DL_TX 无业务数据发送时，监控器指示门控时钟电路停止向 PL_TX 发送时钟信号，并触发控制码流产生电路通过 MUX 电路向 SerDes TX 发送第一控制码流；

4) 当监控器确定第一控制码流发送完时，触发随机码流产生电路发送随机码流，即通过 MUX 向 SerDes TX 发送随机码流。

相应地，在图 3 和图 4 示出的高速串行接口的基础上，如图 6 所示为接收端的高速串行接口，该接收端的高速串行接口还包括 SerDes RX，即 SerDes 的接收电路，用于接收业务数据或第一控制码流或随机码流等。

具体地，参考图 6，SerDes RX 的第一端 a' 与码流检测电路的第一端 b' 耦合，码流检测电路的第二端 c' 与 PL_RX 的第一端 d' 耦合，PL_RX 的第二端 e' 与 DL_RX 的第一端 f' 耦合，码流检测电路的第三端 g' 与门控时钟电路的第一端 h' 耦合，门控时钟电路

的第二端 i' 与 PL_RX 的第三端 j' 耦合。

其中, SerDes RX, 用于从链路上接收串行数据, 并进行串并转换, 将并行数据通过码流检测电路发送给 PL_RX。

码流检测电路, 用于检测 SerDes RX 输出的码流中是否为含有指示电路开关的控制码流, 并根据控制码流确定开启 PL_RX 还是关闭 PL_RX。

门控时钟电路, 用于对输入到 PL_RX 中的各个模块的时钟信号, 该时钟信号指示 PL_RX 开启或关闭。例如输入的时钟信号使能为 1 时, 意味着打开 PL_RX 电路, 输入的时钟信号使能为 0 时, 意味着关闭 PL_RX 电路。

PL_RX, 为物理层的接收方向模块, 用于接收 SerDes RX 通过码流检测电路发送的业务数据, 并经过物理层的解码和解扰等处理后发送给 DL_RX。

DL_RX, 为数据链路层的接收方向模块, 用于接收并处理 PL_RX 输出的业务数据。

基于以上对接收端的高速串行接口的介绍, 接收端的高速串行接口接收数据的过程包括如下过程。

1) SerDes RX 接收发送端发送的串行数据, 将串行数据转换为并行数据后发送给码流检测电路;

2) 码流检测电路检测接收到的数据, 如果检测到是业务数据, 将业务数据发送给 PL_RX 电路; 如果检测到是第一控制码流, 触发门控时钟电路停止向 PL_RX 电路发送时钟信号; 如果是随机码流, 则可丢弃随机码流;

3) 码流检测电路将业务数据发送给 PL_RX 电路, PL_RX 电路对业务数据进行解扰和 FEC 解码等处理后, 将处理后的数据发送给 DL_RX。

由此, 在高速串行接口中, 本申请可在链路暂时没有业务数据发送期间, 控制发送端的 PL 和接收端的 PL 关闭, 以降低链路功耗。况且, 本申请使用控制码流作为指示电路的开关, 响应速度可得到提升。并且, 本申请在发送完控制码流后, 还可以发送随机码流, 可以保证高速串行接口中发送端的 SerDes 和接收端的 SerDes 中的 CDR 在稳定的锁定状态, 不易出现接口误码等问题。

与降低功耗的过程相应地, 如果通过发送第一控制码流关闭对端的物理层电路, 在恢复业务数据的发送时, 还可以通过发送第二控制码流开启对端的物理层电路。下面结合本申请的高速串行接口的发送端和接收端的电路实现, 对本申请关闭 PL_TX 和 PL_RX 的过程和开启 PL_TX 和 PL_RX 的流程进一步进行介绍。

A、本申请提供一种数据传输方法, 如图 7 所示, 应用于发送端的高速串行接口, 高速串行接口包括物理层电路, 该方法包括:

701、发送端在没有业务数据发送的情况下, 发送端发送第一控制码流; 第一控制码流用于指示发送端关闭了发送端的物理层电路中的部分模块, 或第一控制码流用于指示发送端将要关闭发送端的物理层电路中的部分模块, 或第一控制码流用于指示接收端关闭接收端的物理层电路中的部分模块。

步骤 701 的具体实现可以参见下文中对图 9 中的步骤①、②、⑤的介绍。

702、发送端关闭发送端的物理层电路的部分模块。

步骤 701 的具体实现可以参见下文中对图 9 中的步骤③、④的介绍。

需要说明的是，本申请不限定发送端关闭发送端的物理层电路的部分模块与发送端发送第一控制码流的先后时机，即可选的，发送端关闭了发送端的物理层电路的部分模块后，发送端发送第一控制码流；可选的，发送端关闭发送端的物理层电路的部分模块发生在发送端发送第一控制码流的过程中；可选的，发送端在发送完第一控制码流后，发送端关闭了发送端的物理层电路的部分模块。

703、发送端发送随机码流。

步骤 703 的具体实现可以参见下文中对图 9 中的步骤⑥的介绍。

本申请也不限定发送端关闭发送端的物理层电路的部分模块与发送端发送随机码流的先后时机，即可选的，发送端关闭了发送端的物理层电路的部分模块后，发送端发送随机码流；可选的，发送端关闭发送端的物理层电路的部分模块发生在发送端发送随机码流的过程中；可选的，发送端在发送完随机码流后，发送端关闭了发送端的物理层电路的部分模块。

相应地，对于高速串行接口，高速串行接口包括接收端的物理层电路，如图 8 所示，该方法包括：

801、接收端接收第一控制码流；第一控制码流用于指示发送端关闭了发送端的物理层电路的部分模块，或第一控制码流用于指示发送端将要关闭发送端的物理层电路的部分模块，或第一控制码流用于指示接收端关闭接收端的物理层电路的部分模块。

步骤 801 的具体实现可以参见下文中对图 9 中的步骤⑦的介绍。

802、接收端关闭接收端的物理层电路的部分模块。

步骤 802 的具体实现可以参见下文中对图 9 中的步骤⑧、⑨的介绍。

803、接收端接收随机码流。

随机码流未经过接收端的物理层电路的部分模块。

本申请也不限定接收端关闭接收端的物理层电路的部分模块与接收端接收随机码流的先后时机，即可选的，接收端关闭了接收端的物理层电路的部分模块后，接收端接收随机码流；可选的，接收端关闭接收端的物理层电路的部分模块发生在接收端接收随机码流的过程中；可选的，接收端在接收完随机码流后，接收端关闭了接收端的物理层电路的部分模块。

步骤 803 的具体实现可以参见下文中对图 9 中的步骤⑩的介绍。

需要说明的是，关闭物理层电路的部分模块的方式包括：关闭相关模块的电源，关闭相关模块的时钟，或者停止向相关模块发送时钟信号等，从而让物理层电路的该部分模块处于不工作的状态。

示例性的，参考图 9 示出的电路结构，以发送端的物理层电路的部分模块为 PL_TX，接收端的物理层电路的部分模块为 PL_RX 为例，关闭 PL_TX 和 PL_RX 的流程可以包括如下所示。

①DL_TX 发送完业务数据后，停止向 PL_TX 发送业务数据。

②监控器检测到 DL_TX 没有业务数据发送。

在 DL_TX 向 PL_TX 每发送一个业务数据时，监控器都会接收到一个第一信号，第一信号指示 DL_TX 在向 PL_TX 发送业务数据。

当 DL_TX 接收不到第一信号的时间超过预设时间段时，监控器确定 DL_TX 没有

向 PL_TX 发送业务数据。这里的预设时间段例如可以为 1us 或 1ns 等。

③监控器在等待 PL_TX 发送完从 DL_TX 输出的业务数据后, 向第一门控时钟电路发送关闭 PL_TX 的部分电路的请求。

当监控器确定 DL_TX 没有向 PL_TX 发送业务数据时, 有可能 PL_TX 还并未将从 PL_TX 接收到的业务数据完全发送到 MUX, 因此, 监控器在等待 PL_TX 发送完从 DL_TX 输出的业务数据后, 例如等待距离 PL_TX 发送完最后一个业务数据的时间超过一个时间段, 确定 PL_TX 发送完从 DL_TX 输出的业务数据。此时, 监控器启动进入低功耗时状态的流程, 向第一门控时钟电路发送关闭 PL_TX 的部分电路的请求。这里的 PL_TX 的部分电路可以包括 FEC 和加扰电路功耗较大的电路。

④第一门控时钟电路关闭 PL_TX 的部分电路。

需理解, PL_TX 可发送业务数据, 是由于连续接收到第一门控时钟的时钟信号触发的, 当第一门控时钟在接收到关闭 PL_TX 的部分电路的请求时, 可通过停止向 PL_TX 的部分电路发送时钟信号, 关闭 PL_TX 的部分电路。

例如, 第一门控时钟电路将输出给 PL_TX 的部分电路的时钟信号的使能值从 1 更新为 0, 以指示 PL_TX 的部分电路关闭。

⑤控制码流产生电路向 SerDes TX 发送第一控制码流, 第一控制码流指示关闭 PL_RX 的部分电路, SerDes TX 将第一控制码流的并行数据转换为串行数据后发送到链路上。

在一些实施例中, 当监控器确定第一门控时钟电路关闭 PL_TX 的部分电路时, 监控器可触发控制码流产生电路产生第一控制码流, 以便控制接收端的 PL_RX 的部分电路关闭。例如, 监控器向控制码流产生电路发送第二信号, 第二信号用于指示控制码流产生电路发送第一控制码流。这种情况下, 监控器与控制码流产生电路耦合。监控器可以触发 MUX 电路选择发送第一控制码流到 SerDes TX。

在一些实施例中, 在发送端的高速串行接口中, 运行有控制高速串行接口的电路全局的控制电路, 当控制电路确定第一门控时钟电路关闭 PL_TX 的部分电路时, 控制电路可触发控制码流产生电路产生第一控制码流, 且控制电路触发 MUX 电路选择发送第一控制码流到 SerDes TX。

⑥随机码流产生电路向 SerDes TX 发送随机码流, SerDes TX 将随机码流的并行数据转换为串行数据后发送到链路上。

在一些实施例中, 在监控器确定控制码流产生电路发送第一控制码流结束时, 可触发随机码流产生电路产生随机码流, 以便通过 SerDes TX 发送随机码流到链路上。例如, 监控器在确定控制码流产生电路发送完第一控制码流时, 向随机码流产生电路发送第三信号, 第三信号用于指示随机码流产生电路发送随机码流。这种情况下, 监控器与随机码流产生电路耦合。监控器可以触发 MUX 电路选择发送随机码流到 SerDes TX。

在一些实施例中, 当控制电路确定控制码流产生电路发送完第一控制码流时, 控制电路可触发随机码流产生电路产生随机码流, 且控制电路触发 MUX 电路选择发送随机码流到 SerDes TX。

⑦SerDes RX 在接收到的第一控制码流的串行数据转换为并行数据后发送给码流

检测电路。

⑧码流检测电路在识别出第一控制码流为关闭 PL_RX 的部分电路的码流时,向第二门控时钟电路发送关闭 PL_RX 的部分电路的指示。

5 在一些实施例中,第一控制码流包括多个重复的标记标识符、第一标记结束标识和第一码流内容,第一码流内容指示接收端关闭 PL_RX 的部分电路。第一控制码流的具体实现可参见后文中对第一控制码流的具体介绍。第一标记结束标识用于指示第一控制码流的结束比特位置。多个重复的标记标识符用于指示第一控制码流是区别于业务数据码流的控制码流。

可理解,码流检测电路持续检测 SerDes RX 输出的码流,如果接收到第一控制码流,识别出第一控制码流是一个关闭 PL_RX 的部分电路的请求,则码流检测电路可立即向第二门控时钟电路发送关闭 PL_RX 的部分电路的指示。

⑨第二门控时钟电路在接收到关闭 PL_RX 的部分电路的指示时,等待 PL_RX 完成业务数据处理后,关闭 PL_RX 的部分电路。

15 当第二门控时钟电路在接收到关闭 PL_RX 的部分电路的指示,可能 PL_RX 还未完全将从 SerDes RX 接收到的业务数据发送给 DL_RX,因此,当第二门控时钟电路确定距离 PL_RX 最后一次向 DL_RX 发送业务数据的时间超过预设时间段时,停止向 PL_RX 发送时钟信号。预设时间段例如可以为 1ns 或 2ns 等。

PL_RX 的部分电路关闭时,PL_RX 的部分电路进入低功耗状态。

20 ⑩(图中 9 未示出)SerDes RX 接收随机码流,并将随机码流发送给码流检测电路,码流检测电路在识别出随机码流后,丢弃随机码流。

B、开启物理层电路时,对于发送端的流程,如图 10 所示,该方法还可以包括:

101、在发送端恢复发送业务数据的情况下,发送第二控制码流,第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块,或,第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块,或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块。

步骤 101 的具体实现可以参见下文中对图 12 中的步骤(1)、(2)、(6)的介绍。

102、发送端开启发送端的物理层电路的部分模块。

步骤 102 的具体实现可以参见下文中对图 12 中的步骤(3)、(4)的介绍。

30 本申请也不限定发送端开启发送端的物理层电路与发送端发送第二控制码流的先后时机,即可选的,发送端开启了发送端的物理层电路后,发送端发送第二控制码流;可选的,发送端开启发送端的物理层电路发生在发送端发送第二控制码流的过程中;可选的,发送端在发送完第二控制码流后,发送端开启了发送端的物理层电路。

103、发送端控制发送端的物理层电路向串行器-解串器发送业务数据。

步骤 102 的具体实现可以参见下文中对图 12 中的步骤(5)、(7)的介绍。

35 相应地,对于接收端的流程,如图 11 所示,该方法还可以包括:

111、接收端控制串行器-解串器接收第二控制码流,第二控制码流用于指示发送端开启了发送端的物理层电路中的部分模块,或,第二控制码流用于指示发送端将要开启发送端的物理层电路中的部分模块,或第二控制码流用于指示接收端开启接收端的物理层电路中的部分模块。

步骤 111 的具体实现可以参见下文中对图 12 中的步骤(9)的介绍。

112、接收端开启接收端的物理层电路的部分模块。

步骤 112 的具体实现可以参见下文中对图 12 中的步骤(10)的介绍。

113、接收端控制接收端的物理层电路接收通过串行器-解串器传输的业务数据。

5 步骤 113 的具体实现可以参见下文中对图 12 中的步骤(8)、(11)、(12)的介绍。

需要说明的是，开启物理层电路的部分模块的方式包括：开启相应模块的时钟或者开启相应模块的电源，或者控制时钟电路向相应模块发送时钟信号，从而让物理层模块处于工作的状态。

10 示例性的，参考图 12 示出的电路结构，以发送端的物理层电路的部分模块为 PL_TX，接收端的物理层电路的部分模块为 PL_RX 为例，开启 PL_TX 和 PL_RX 的流程可以如下所示。

(1)DL_TX 接收到上层发送的业务数据，开始向 PL_TX 发送有业务数据。

即，DL_TX 又回恢复到传输业务数据的状态。

(2)监控器检测到 DL_TX 开始发送业务数据。

15 当 DL_TX 开始向 PL_TX 发送业务数据时，又会向监控器发送第一信号。监控器接收到第一信号，意味着监控器检测到 DL_TX 恢复向 PL_TX 发送业务数据。

(3)监控器指示第一门控时钟电路开启 PL_TX 的部分电路。

即监控器开始执行退出低功耗状态的流程。

(4)第一门控时钟电路开启 PL_TX 的部分电路。

20 即第一门控时钟电路开始向 PL_TX 的部分电路发送时钟信号。例如将时钟信号的使能值由 0 更新为 1。

(5)随机码流产生电路停止发送随机码流。

25 在一些实施例中，当监控器向第一门控时钟发送指示后，可向随机码流产生电路发送第四信号，指示随机码流产生电路停止发送随机码流。也相当于，随机码流产生电路确定第一门控时钟电路开始发送时钟信号给 PL_TX 的部分电路。

同时，监控器指示 MUX 电路停止选择发送随机码流，开始选择发送业务数据。

(6)控制码流产生电路发送第二控制码流，第二控制码流用于指示接收端开启 PL_RX。

30 在一些实施例中，监控器在指示第一门控时钟电路开始发送时钟信号时，还以指示控制码流产生电路发送第二控制码流。

在一些实施例中，第二控制码流包括多个重复的标记标识符、第二标记结束标识和第二码流内容，第二码流内容指示接收端开启 PL_RX。第二码流内容用于指示关闭物理层电路，第二标记结束标识用于指示第二控制码流的结束比特位置，多个重复的标记标识符用于指示第二控制码流是区别于业务数据码流的控制码流。

35 (7)监控器确定第二控制码流发送完时，监控器指示 MUX 电路开始发送业务数据。

在一些实施例中，当监控器确定距离控制码流产生电路发送完第二控制码流的最后一个数据的时间超过一定时间段时，确定第二控制码流发送完。这时，监控器可指示 MUX 电路选择发送从 PL_RX 接收到的业务数据给 SerDes TX。SerDes TX 将并行的业务数据转换为串行数据发送到链路上。

(8)SerDes RX 将接收到的串行的业务数据转换为并行数据发送给码流检测模块。

(9)码流检测模块持续检测 SerDes RX 输出的码流，在识别出第二控制码流时，指示第二门控时钟电路向 PL_RX 发送时钟信号。

即码流检测模块指示第二门控时钟电路开启 PL_RX 的部分电路。

5 (10)第二门控时钟电路开始向 PL_RX 发送时钟信号。

(11)码流检测电路将第二控制码流之后接收到的业务数据发送给 PL_RX。

(12)PL_RX 对接收到的业务数据进行物理层解码和解扰等处理后输出给 DL_RX。

由此一来，在本申请中，本申请通过监控器、门控时钟电路、控制码流产生电路和码流检测电路等电路的配合，可以解决高速串行接口在短暂时间内没有业务数据发送时，物理层电路还在工作产生的功耗浪费问题。本申请可以在链路短暂时间内没有业务数据发送期间，控制发送端的 PL 的发送电路关闭和接收端的 PL 的接收电路关闭，降低链路功耗。其中的第一控制码流和第二控制码流相当于控制 PL 层电路的开关，该开关的响应速度通常在几 ns 级别，速度远快于 PCIe 中 L0s、L1、L2 等低功耗状态切换的时间，解决了高速串行接口在进行功耗切换时，进入和退出过程时间较慢的问题。

15 而且，需要理解，假设各实施例中的发送端为 SoC，接收端为网卡，本申请可以控制 SoC 向网卡发送数据的方向中，SoC 中的 PL 的发送电路的关闭和开启，以及网卡中的 PL 的接收电路的关闭和开启。同时，SoC 也可以作为接收端，网卡作为发送端，本申请也可以控制网卡向 SoC 发送数据的方向中，网卡中的 PL 的发送电路的关闭和开启，以及 SoC 中的 PL 的接收电路的关闭和开启。也就是说，本申请中，打开和关闭物理层电路的架构和流程在一侧中的发送和接收两个方向是完全独立的。本申请可以在有任务运行阶段，区分一侧中发送和接收两个方向的业务数据发送状态，即独立监控链路中发送和接收两个方向，可独立控制发送方向或接收方向的物理层电路。也即，链路的发送和接收两个方向可以并行独立的进行开干，互不影响，而传统的物理层功耗切换无法区分方向。即传统的物理层电路的开启和关闭，相当于一侧中的物理层的发送电路和接收电路都被关闭。

25 下面对本申请涉及到的第一控制码流和第二控制码流，以及随机码流的实现进行进一步介绍。

控制码流

30 从上文中已经理解，本申请中的第一控制码流可以用于指示接收端业务数据已经发送完，接收端可以关闭 PL_RX 的部分电路。第二控制码流在发送端恢复发送业务数据时，用于指示接收端知道发送端已经开始或将要开始发送业务数据，接收端可开启 PL_RX 的部分电路。

本申请中，第一控制码流和第二控制码流可被物理层唯一识别，经过链路传输后具有一定的容忍误码能力，确定在有误码的情况下仍然可以被准确识别，并且码流内含有打开或关闭物理层的部分电路的指示。本申请对控制码流的结构和内容不做限制。

35 需要说明的是，本申请的第一控制码流和第二控制码流还可以具有检错和纠错的能力，这样可以确保在链路传输过程中有误码的情况下，接收端可以正确识别第一控制码流和第二控制码流。

同时，需理解，本申请的第一控制码流和第二控制码流需与业务数据区分开来。在一些实施例中，一种符合上述要求的控制码流的结构可以如表 1 所示。

表 1 控制码流结构

marker Identifier0	marker Identifier1	...	marker IdentifierN	marker end	marker payload
--------------------	--------------------	-----	--------------------	------------	----------------

即控制码流包括多个域段：N+1 个重复的标记标识符、标记结束（marker end）标识符和码流内容（marker payload）。N 为大于或等于 0 的整数。

N+1 个重复的标记标识符即图 9 中的标记标识符 0（marker Identifier0）、标记标识符 1（marker Identifier1）、...、标记标识符 N（marker IdentifierN）。N+1 个重复的标记标识符用于识别当前的数据是否是控制码流。

为了保证控制码流有一定的容错能力，标记标识符可通过汉明编码构造。在接收端，码流检测电路可以根据汉明码的检测和纠错原理对接收到的控制码流进行检错和纠错，保证从多种码流中识别出控制码流。

标记结束标识符，用于指示控制码流结束，如果接收端接收到标记结束标识符，再接收码流内容的长度后，控制码流接收结束。

码流内容用于指示当前的控制码流是用于关闭物理层的电路或开启物理层的电路。码流内容可以是汉明码编码构造，由不同的汉明编码指示打开还是关闭物理层的部分电路。例如指示打开或关闭 FEC 和加解扰电路等。

示例性的，本申请中使用 eBCH（extended Bose Ray-Chaudhuri Hocquenghem）编码时，假设具体使用 eBCH-16，eBCH-16 由 BCH(15, 5)和 1 比特偶校验构成。其中 BCH(15, 5)的净荷部分(payload)为 5 比特，码长 15 比特，eBCH 编码的生成多项式可表示为 $g_{BCH(15,5)}(x) = x^{10} + x^8 + x^5 + x^4 + x^2 + x + 1$ 。整个 eBCH 码字集合共有 32 个，如表 2 所示为 BCH(15, 5)码字集合。

表 2 BCH(15, 5)码字集合

	Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	Bit8	Bit9	Bit10	Bit11	Bit12	Bit13	Bit14	Bit15
CW0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
CW1	0	0	0	0	1	0	1	0	0	1	1	0	1	1	1	1
CW2	0	0	0	1	0	1	0	0	1	1	0	1	1	1	0	1
CW3	0	0	0	1	1	1	1	0	1	0	1	1	0	0	1	0
CW4	0	0	1	0	0	0	1	1	1	1	0	1	0	1	1	0
CW5	0	0	1	0	1	0	0	1	1	0	1	1	1	0	0	1
CW6	0	0	1	1	0	1	1	1	0	0	0	0	1	0	1	1
CW7	0	0	1	1	1	1	0	1	0	1	1	0	0	1	0	0
CW8	0	1	0	0	0	1	1	1	0	0	1	0	1	1	0	0
CW9	0	1	0	0	1	1	0	1	1	1	0	0	0	0	1	1
CW10	0	1	0	1	0	0	1	1	0	1	1	1	0	0	0	1
CW11	0	1	0	1	1	0	0	1	0	0	0	1	1	1	1	0
CW12	0	1	1	0	0	1	0	0	0	1	1	1	1	0	1	0

CW13	0	1	1	0	1	1	1	0	0	0	0	1	0	1	0	1
CW14	0	1	1	1	0	0	0	0	1	0	1	0	0	1	1	1
CW15	0	1	1	1	1	0	1	0	1	1	0	0	1	0	0	0
CW16	1	0	0	0	0	1	0	1	0	0	1	1	0	1	1	1
CW17	1	0	0	0	1	1	1	1	0	1	0	1	1	0	0	0
CW18	1	0	0	1	0	0	0	1	1	1	1	0	1	0	1	0
CW19	1	0	0	1	1	0	1	1	1	0	0	0	0	1	0	1
CW20	1	0	1	0	0	1	1	0	1	1	1	0	0	0	0	1
CW21	1	0	1	0	1	1	0	0	1	0	0	0	1	1	1	0
CW22	1	0	1	1	0	0	1	0	0	0	1	1	1	1	0	0
CW23	1	0	1	1	1	0	0	0	0	1	0	1	0	0	1	1
CW24	1	1	0	0	0	0	1	0	1	0	0	1	1	0	1	1
CW25	1	1	0	0	1	0	0	0	1	1	1	1	0	1	0	0
CW26	1	1	0	1	0	1	1	0	0	1	0	0	0	1	1	0
CW27	1	1	0	1	1	1	0	0	0	0	1	0	1	0	0	1
CW28	1	1	1	0	0	0	0	1	0	1	0	0	1	1	0	1
CW29	1	1	1	0	1	0	1	1	0	0	1	0	0	0	1	0
CW30	1	1	1	1	0	1	0	1	1	0	0	1	0	0	0	0
CW31	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

在发送第一控制码流或第二控制码流时，需还要考虑 0 和 1 的均衡（单位时间内发送的数据中 0 和 1 的数量均衡。），当使用 BCH(15, 5)码字集合得到编码结果后，可根据表 3 示出的满足直流均衡的码字集合确定满足 0 和 1 均衡后的码字。

表 3 满足直流均衡的码字集合

Num	eBCH 码字 (Code)	原始的 BCH Code (76543210_76543210)	NRZ (43275160_75432160) (76543210_76543210)	PAM4 Symbol (3210 210)
0	8	01000111_10101100	00100111_11011000	0312_2130
1	28	11100001_01001101	00011011_00011011	0132_0132
2	3	00011110_10110010	11100100_11100100	2310_2310
3	23	10111000_01010011	11011000_00100111	2130_0312
4	9	01001101_11000011	01100011_10000111	1302_3012
5	21	10101100_10001110	01111000_10011100	1230_3120
6	10	01010011_01110001	10000111_01100011	3012_1302
7	22	10110010_00111100	10011100_01111000	3120_1230

- 5 其中，当控制码流产生电路产生了类似原始的 BCH Code 时，为了照顾编码后的数据中的 0 和 1 的数量均衡，可通过不归零码（Non-Return to Zero, NRZ）或电平脉冲幅度调制（Level Pulse Amplitude Modulation, PAM）4 码型进行 01 均衡调整，PAM4 码型中每个 symbol 代表两个 bit。例如，采用 NRZ 时，调制前的码字是

01000111_10101100, 按照 NRZ 中(43275160_75432160)和(76543210_76543210)的位置对应调整关系, 调制后的码字为 00100111_11011000。

下面举例一种控制码流的实例, 参考表 4。

表 4 一种控制码流的实例

Symbol Number	描述 (Description)
0 至 (4*M-1) , [M 可在 1~5 中取值]	Marker identify: CW21,CW28
4*M 至(4*M+3)	Marker END: CW22,CW3
4*N+4 至(4*N+11)	Resvered
4*N+12 至(4*N+19)	[63:0] Marker Payload CW3,CW8
4*N+20 至(4*N+27)	[63:0] Marker Payload CW23,CW3: Closed FEC,SCRAMBER CW28,CW8: Open FEC,SCRAMBER

- 5
- 参考表 4, Symbol Number 表示每种描述信息占用的符号数量。该实例中, 描述了 Marker identify, 即标记标识符使用的码字为表 2 中的 CW21,CW28; Marker END, 即标记结束标识符使用的码字为 CW22, CW3; Marker Payload, 即标记内容使用的码字为 CW3, CW8。当控制码流的内容指示关闭 (closed) 物理层的电路时, 标记内容使用的码字为 CW23, CW3; 当控制码流的内容指示开启 (open) 物理层的电路时, 标记内容使用的码字为 CW28, CW8。在确定了控制码流使用的码字后, 可根据表 3 示出的调制 01 均衡的码字集合为码字中的 0 和 1 的位置进行调整。
- 10

随机码流

- 15
- 上文中可知, 随机码流是在发送端发送了第一控制码流后发送的, 其目的是为了保证 PL_TX 没有发送业务数据后, 继续向链路中的 SerDes 输入码流, 可避免 SerDes 无码流发送时导致接收端的 SerDes 接收数据时出现异常, 使 SerDes 中的 CDR 一直处于锁定状态。

在本申请中, 随机码流的生成需要保证一定的随机性, 且要满足 0 和 1 的数量均衡。

- 20
- 在一些实施例中, 随机码流产生电路可使用 $G(X)=X^{23}+X^{21}+X^{16}+X^8+X^5+X^2+1$ 多项式生成伪随机码流, 截取其中的一段数据作为本申请中要发送的随机码流。

当然, 还可以通过其他方式实现本申请中的控制码流和随机码流, 本申请对此不做限定。

- 25
- 可以理解的是, 为了实现上述功能, 高速串行接口包含了执行各个功能相应的硬件和/或软件模块。结合本文中所公开的实施例描述的各示例的算法步骤, 本申请能够以硬件或硬件和计算机软件的结合形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行, 取决于技术方案的特定应用和设计约束条件。本领域技术人员可以结合实施例对每个特定的应用来使用不同方法来实现所描述的功能, 但是这种实现不应认为超出本申请的范围。

本实施例可以根据上述方法示例对高速串行接口进行功能模块的划分，例如，可以对各个功能划分各个功能模块，也可以将两个或两个以上的功能集成在一个处理模块中。上述集成的模块可以采用硬件的形式实现。需要说明的是，本实施例中对模块的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。

5 在采用对应各个功能划分各个功能模块的情况下，图 13 示出了上述实施例中涉及的网络设备 130 的一种可能的组成示意图，网络设备可以包括串行接口电路，如图 13 所示，网络设备包括发送码流的发送端和接收端时，发送端例如为上文中的 SoC，接收端例如为上文中的网卡，该网络设备 130 可以包括：确定单元 1301、码流生成单元 1302、第一控制单元 1303、发送单元 1304、接收单元 1305、检测单元 1306 和第二控制单元 1307。

其中，确定单元 1301 可以用于支持网络设备 130 执行上述确定高速串行接口停止或恢复发送业务数据，和/或用于本文所描述的技术的其他过程。确定单元 1301 相当于本申请中的监控器的功能。

15 码流生成单元 1302 可以用于支持网络设备 130 执行上述生成第一控制码流、第二控制码流和随机码流等过程，和/或用于本文所描述的技术的其他过程。码流生成单元 1302 相当于包括本申请中的控制码流生成电路和随机码流生成电路的功能。

第一控制单元 1303 可以用于支持网络设备 130 执行上述发送端的时钟信号的产生和发送等过程，和/或用于本文所描述的技术的其他过程。第一控制单元 1303 相当于包括本申请中的发送端的门控时钟电路的功能。

20 发送单元 1304 可以用于支持网络设备 130 执行上述发送第一控制码流、第二控制码流和随机码流以及业务数据等过程，和/或用于本文所描述的技术的其他过程。发送单元 1304 包括本申请的 SerDes 的发送电路的功能。

25 接收单元 1305 可以用于支持网络设备 130 执行上述接收第一控制码流、第二控制码流和随机码流以及业务数据等过程，和/或用于本文所描述的技术的其他过程。接收单元 1305 包括本申请的 SerDes 的接收电路的功能。

检测单元 1306 可以用于支持网络设备 130 执行上述第一控制码流、第二控制码流和随机码流等检测过程。

30 第二控制单元 1307 可以用于支持网络设备 130 执行上述接收端的时钟信号的产生和发送等过程，和/或用于本文所描述的技术的其他过程。第二控制单元 1307 相当于包括本申请中的接收端的门控时钟电路的功能。

需要说明的是，上述方法实施例涉及的各步骤的所有相关内容均可以援引到对应功能模块的功能描述，在此不再赘述。

本实施例提供的网络设备 130，用于执行上述数据传输方法，因此可以达到与上述实现方法相同的效果。

35 在采用集成的单元的情况下，网络设备 130 可以包括处理模块、存储模块和通信模块。其中，处理模块可以用于对网络设备 130 的动作进行控制管理，例如，可以用于支持网络设备 130 执行上述确定单元 1301、码流生成单元 1302、第一控制单元 1303、检测单元 1306 和第二控制单元 1307 执行的步骤。存储模块可以用于支持网络设备 130 存储程序代码和数据等。通信模块，可以用于支持网络设备 130 中的发送端和接收端

间的通信。本申请中，通信模块，可以用于支持网络设备 130 执行上述发送单元 1304、接收单元 1305 执行的步骤。

其中，处理模块可以是处理器或控制器。其可以实现或执行结合本申请公开内容所描述的各种示例性的逻辑方框、模块和电路。处理器也可以是实现计算功能的组合，
5 例如包含一个或多个微处理器组合，数字信号处理（digital signal processing, DSP）和微处理器的组合等等。存储模块可以是存储器。通信模块具体可以为 SerDes 等电路。

本申请实施例还提供一种电子设备，包括一个或多个处理器以及一个或多个存储器。该一个或多个存储器与一个或多个处理器耦合，一个或多个存储器用于存储计算机程序代码，计算机程序代码包括计算机指令，当一个或多个处理器执行计算机指令
10 时，使得电子设备执行上述相关方法步骤实现上述实施例中的数据传输方法。

本申请的实施例还提供一种计算机存储介质，该计算机存储介质中存储有计算机指令，当该计算机指令在电子设备上运行时，使得电子设备执行上述相关方法步骤实现上述实施例中的数据传输方法。

本申请的实施例还提供了一种计算机程序产品，当该计算机程序产品在计算机上
15 运行时，使得计算机执行上述相关步骤，以实现上述实施例中包含高速串行接口的电子设备执行的数据传输方法。

另外，本申请的实施例还提供一种装置，这个装置具体可以是芯片，组件或模块，该装置可包括相连的处理器和存储器；其中，存储器用于存储计算机执行指令，当装置运行时，处理器可执行存储器存储的计算机执行指令，以使芯片执行上述各方法实
20 施例中包含高速串行接口的电子设备执行的数据传输方法。

其中，本实施例提供的电子设备、计算机存储介质、计算机程序产品或芯片均用于执行上文所提供的对应的方法，因此，其所能达到的有益效果可参考上文所提供的对应的方法中的有益效果，此处不再赘述。

通过以上实施方式的描述，所属领域的技术人员可以了解到，为描述的方便和简
25 洁，仅以上述各功能模块的划分进行举例说明，实际应用中，可以根据需要而将上述功能分配由不同的功能模块完成，即将装置的内部结构划分成不同的功能模块，以完成以上描述的全部或者部分功能。

在本申请所提供的几个实施例中，应该理解到，所揭露的装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述模块
30 或单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个装置，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显
35 示的部件可以是一个物理单元或多个物理单元，即可以位于一个地方，或者也可以分布到多个不同地方。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成

的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现。

所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个可读取存储介质中。基于这样的理解，本申请实施例的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该软件产品存储在一个存储介质中，包括若干指令用以使得一个设备（可以是单片机，芯片等）或处理器（processor）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（read only memory, ROM）、随机存取存储器（random access memory, RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

以上内容，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1.一种高速串行接口,其特征在于,所述高速串行接口包括发送端的物理层电路、监控器、门控时钟电路、控制码流产生电路、随机码流产生电路和串行器-解串器,还包括:

5 所述监控器,用于在所述发送端没有业务数据发送的情况下,指示所述门控时钟电路停止向所述发送端的物理层电路的部分模块发送时钟信号;

 所述门控时钟电路,用于停止向所述发送端的物理层电路的部分模块发送所述时钟信号;

10 所述控制码流产生电路,用于在确定所述门控时钟电路停止发送所述时钟信号的情况下,通过所述串行器-解串器发送第一控制码流,所述第一控制码流用于指示所述发送端关闭了所述发送端的物理层电路的部分模块,或所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路的部分模块,或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路的部分模块;

 所述随机码流产生电路,用于向所述串行器-解串器发送随机码流。

15 2.根据权利要求1所述的高速串行接口,其特征在于,所述发送端的物理电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个;

 所述接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

3.根据权利要求1或2所述的高速串行接口,其特征在于,所述高速串行接口还包括所述发送端的数据链路层,所述监控器,具体用于:

20 监控所述发送端的数据链路层是否在向所述发送端的物理层电路发送所述业务数据;

 确定所述发送端的数据链路层没有向所述发送端的物理层电路发送所述业务数据时,确定发送端没有所述业务数据发送。

4.根据权利要求1-3任一项所述的高速串行接口,其特征在于,所述监控器还用于:

25 确定所述门控时钟电路停止向所述发送端的物理层电路的部分模块发送所述时钟信号时,向所述控制码流产生电路发送第一信号,所述第一信号用于指示所述控制码流产生电路发送所述第一控制码流;

 在确定所述控制码流产生电路发送完所述第一控制码流时,向所述随机码流产生电路发送第二信号,所述第二信号用于指示所述随机码流产生电路发送所述随机码流。

30 5.根据权利要求1-4任一项所述的高速串行接口,其特征在于,

 所述监控器,还用于在所述发送端恢复发送所述业务数据时,指示所述门控时钟电路向所述发送端的物理层电路的部分模块发送所述时钟信号;

 所述门控时钟电路,还用于向所述发送端的物理层电路的部分模块发送所述时钟信号;

35 所述随机码流产生电路,还用于在确定所述门控时钟电路开始发送所述时钟信号时,停止发送所述随机码流;

 所述控制码流产生电路,还用于在确定所述发送端恢复发送所述业务数据时,通过所述串行器-解串器发送第二控制码流,所述第二控制码流用于指示所述发送端开启了所述发送端的物理层电路中的部分模块,或,所述第二控制码流用于指示所述发送

端将要开启所述发送端的物理层电路中的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路中的部分模块；

所述发送端的物理层电路，用于通过所述串行器-解串器开始发送所述业务数据。

6.根据权利要求5所述的高速串行接口，其特征在于，

5 所述第一控制码流包括多个重复的码流标识符、第一标记结束标识和第一码流内容，所述第一码流内容指示所述发送端关闭了所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路中的部分模块；所述第一标记结束标识用于指示所述第一控制码流的结束比特位置；

10 所述第二控制码流包括所述多个重复的码流标识符、第二标记结束标识和第二码流内容，所述第二码流内容指示所述发送端开启了所述发送端的物理层电路的部分模块，或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路的部分模块；所述第二标记结束标识用于指示所述第二控制码流的结束比特位置；

15 所述随机码流用于使得所述串行器-解串器中的时钟数据恢复 CDR 电路处于锁定状态，且所述随机码流包括数量均衡的0和1。

7.一种高速串行接口，其特征在于，所述高速串行接口包括接收端的物理层电路、码流检测电路、门控时钟电路和串行器-解串器，其中：

20 所述码流检测电路，用于通过所述串行器-解串器接收第一控制码流，所述第一控制码流用于指示发送端关闭了所述发送端的物理层电路的部分模块，或所述第一控制码流用于指示发送端将要关闭所述发送端的物理层电路的部分模块，或所述第一控制码流用于指示所述接收端关闭所述接收端的物理层电路的部分模块；

所述码流检测电路，还用于指示所述门控时钟电路停止向所述接收端的物理层电路的部分模块发送时钟信号；

25 所述门控时钟电路，用于停止向所述接收端的物理层电路的部分模块发送所述时钟信号；

所述码流检测电路，还用于通过所述串行器-解串器接收随机码流。

8.根据权利要求7所述的高速串行接口，其特征在于，所述发送端的物理层电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；

30 所述接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

9.根据权利要求7或8所述的高速串行接口，其特征在于，所述高速串行接口还包括所述接收端的数据链路层；

35 所述门控时钟电路具体用于：确定距离所述接收端的物理层电路最后一次向所述接收端的数据链路层发送业务数据的时间超过预设时间段时，停止向所述接收端的物理层电路的部分模块发送所述时钟信号。

10.根据权利要求7-9任一项所述的高速串行接口，其特征在于，

所述码流检测电路，还用于控制所述串行器-解串器接收第二控制码流，所述第二控制码流用于指示所述发送端开启了所述发送端的物理层电路中的部分模块，或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路中的部分模块，

或所述第二控制码流用于指示接收端开启所述接收端的物理层电路中的部分模块时，指示所述门控时钟电路向所述接收端的物理层电路的部分模块发送所述时钟信号；

所述门控时钟电路，还用于向所述接收端的物理层电路的部分模块发送所述时钟信号；

- 5 所述码流检测电路，还用于将从所述串行器-解串器接收到的业务数据发送给所述接收端的物理层电路。

11.根据权利要求 10 所述的高速串行接口，其特征在于，

- 所述第一控制码流包括多个重复的标记标识符、第一标记结束标识和第一码流内容，所述第一码流内容指示所述发送端关闭了所述发送端的物理层电路中的部分模块，
10 或所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路中的部分模块；所述第一标记结束标识用于指示所述第一控制码流的结束比特位置；

- 所述第二控制码流包括多个重复的标记标识符、第二标记结束标识和第二码流内容，所述第二码流内容指示所述发送端开启了所述发送端的物理层电路的部分模块，
15 或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路的部分模块；所述第二标记结束标识用于指示所述第二控制码流的结束比特位置；

所述随机码流用于使得所述串行器-解串器中的时钟数据恢复 CDR 电路继续处于锁定状态，且所述随机码流包括数量均衡的 0 和 1；

- 20 所述码流检测电路，还用于在识别出所述随机码流时，丢弃所述随机码流。

12.一种数据传输方法，应用于高速串行接口，所述高速串行接口包括发送端的物理层电路；其特征在于，所述方法包括：

- 所述发送端在没有业务数据发送的情况下，所述发送端发送第一控制码流，所述第一控制码流用于指示所述发送端关闭了所述发送端的物理层电路中的部分模块，或
25 所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路中的部分模块；

所述发送端关闭所述发送端的物理层电路的部分模块；

所述发送端发送随机码流。

- 13.根据权利要求 12 所述的方法，其特征在于，所述发送端的物理层电路的部分
30 模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；

所述接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

14.根据权利要求 12 或 13 所述的方法，其特征在于，所述高速串行接口还包括所述发送端的数据链路层；

所述发送端没有业务数据发送包括：

- 35 所述发送端的数据链路层没有向所述发送端的物理层电路发送所述业务数据时，所述发送端确定所述发送端没有所述业务数据发送。

15.根据权利要求 12-14 任一项所述的方法，其特征在于，所述高速串行接口还包括串行器-解串器，所述方法还包括：

在所述发送端恢复发送所述业务数据的情况下，所述发送端发送第二控制码流，

所述第二控制码流用于指示所述发送端开启了所述发送端的物理层电路中的部分模块，或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路中的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路中的部分模块；

- 5 所述发送端开启所述发送端的物理层电路的部分模块；
 所述发送端控制所述发送端的物理层电路向所述串行器-解串器发送所述业务数据。

16.根据权利要求 15 所述的方法，其特征在于，

- 所述第一控制码流包括多个重复的码流标识符、第一标记结束标识和第一码流内容，所述第一码流内容指示所述发送端关闭了所述发送端的物理层电路中的部分模块，
10 或所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路中的部分模块；所述第一标记结束标识用于指示所述第一控制码流的结束比特位置；

- 所述第二控制码流包括所述多个重复的码流标识符、第二标记结束标识和第二码流内容，所述第二码流内容指示所述发送端开启了所述发送端的物理层电路的部分模块，或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路的部分模块；
15 所述第二标记结束标识用于指示所述第二控制码流的结束比特位置；

- 所述随机码流用于使得所述串行器-解串器中的时钟数据恢复 CDR 电路处于锁定状态，且所述随机码流包括数量均衡的 0 和 1。

17.一种数据传输方法，应用于高速串行接口，所述高速串行接口包括接收端的物理层电路，其特征在于，所述方法包括：

- 所述接收端接收第一控制码流；所述第一控制码流用于指示发送端关闭了所述发送端的物理层电路的部分模块，或所述第一控制码流用于指示发送端将要关闭所述发送端的物理层电路的部分模块，或所述第一控制码流用于指示所述接收端关闭所述接收端的物理层电路的部分模块；
25 所述接收端关闭所述接收端的物理层电路的部分模块；

 所述接收端接收随机码流。

- 18.根据权利要求 17 所述的方法，其特征在于，所述发送端的物理层电路的部分模块包括前向纠错码 FEC 编码电路或加扰电路中的至少一个；
30 所述接收端的物理层电路的部分模块包括 FEC 解码电路或解扰电路中的至少一个。

19.根据权利要求 17 或 18 所述的方法，其特征在于，所述高速串行接口还包括串行器-解串器，所述方法还包括：

- 所述接收端控制所述串行器-解串器接收第二控制码流，所述第二控制码流用于指示所述发送端开启了所述发送端的物理层电路中的部分模块，或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路中的部分模块，或所述第二控制码流用于指示所述接收端开启所述接收端的物理层电路中的部分模块；
35 所述接收端开启所述接收端的物理层电路的部分模块；

 所述接收端控制所述接收端的物理层电路接收通过所述串行器-解串器传输的业

务数据。

20.根据权利要求 19 所述的方法，其特征在于，

- 5 所述第一控制码流包括多个重复的标记标识符、第一标记结束标识和第一码流内容，所述第一码流内容指示所述发送端关闭了所述发送端的物理层电路中的部分模块，
或所述第一控制码流用于指示所述发送端将要关闭所述发送端的物理层电路中的部分模块，或所述第一控制码流用于指示接收端关闭所述接收端的物理层电路中的部分模块；所述第一标记结束标识用于指示所述第一控制码流的结束比特位置；

- 10 所述第二控制码流包括多个重复的标记标识符、第二标记结束标识和第二码流内容，所述第二码流内容指示所述发送端开启了所述发送端的物理层电路的部分模块，
或，所述第二控制码流用于指示所述发送端将要开启所述发送端的物理层电路的部分模块，或所述第二控制码流用于指示接收端开启所述接收端的物理层电路的部分模块；
所述第二标记结束标识用于指示所述第二控制码流的结束比特位置；

所述随机码流用于使得所述串行器-解串器中的时钟数据恢复 CDR 电路处于锁定状态，且所述随机码流包括数量均衡的 0 和 1；

- 15 所述方法还包括：在识别出所述随机码流时，丢弃所述随机码流。

21.一种计算机可读存储介质，其特征在于，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述权利要求 12-16 中的任一项所述的方法。

22. 一种计算机可读存储介质，其特征在于，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述权利要求 17-20 中的任一项所述的方法。