

請求の範囲

- [請求項1] 第1方向に積層された複数の第1電極層と、
前記第1方向に積層された複数の第2電極層と、
前記複数の第1電極層を前記第1方向に貫く第1柱状体と、
前記複数の第2電極層を前記第1方向に貫く第2柱状体と、
前記第1柱状体と前記第2柱状体とを接続する接続部と、
前記接続部を囲む島状のスペーサ膜と、
を備え、
前記複数の第1電極層と前記複数の第2電極層は、前記第1方向に
並べて配置され、
前記接続部および前記スペーサ膜は、前記複数の第1電極層と前記
複数の第2電極層との間に位置する半導体記憶装置。
- [請求項2] 前記スペーサ膜に囲まれた前記接続部における前記第1方向に直交
する第2方向の最小幅は、前記複数の第1電極層を貫く部分における
前記第1柱状体の前記第2方向の幅よりも狭い請求項1記載の半導体
記憶装置。
- [請求項3] 前記スペーサ膜における前記第1方向に直交する第2方向の幅は、
前記第1柱状体の前記第2方向の幅より広い請求項1記載の半導体記
憶装置。
- [請求項4] 前記第1方向に直交する断面における前記第1柱状体は、略円形の
形状を有し、前記断面における前記第1柱状体の中心は、前記第1方
向に直交する断面における前記スペーサ膜の中心と略一致する請求項
1記載の半導体記憶装置。
- [請求項5] 前記第1柱状体は、前記複数の第1電極層のうちの前記接続部から
最も離れた第1電極層を貫く部分において、前記接続部の前記最小幅
よりも狭い前記2方向の幅を有する請求項1記載の半導体記憶装置。
- [請求項6] 前記第2柱状体の前記第2方向の幅は、前記第1柱状体の前記第2
方向の幅よりも小さい請求項1記載の半導体記憶装置。

- [請求項7] 前記第1柱状体および前記接続部は、前記第1方向に延びる絶縁性コアと、前記絶縁性コアを囲み前記第1方向に延びる半導体膜と、を含み、
- 前記第1柱状体における前記半導体膜の外径は、前記接続部における前記半導体膜の外径の最小値よりも大きい請求項1記載の半導体記憶装置。
- [請求項8] 第1方向に積層された複数の第1電極層と、
- 前記第1方向に積層された複数の第2電極層と、
- 前記複数の第1電極層を前記第1方向に貫く第1柱状体と、
- 前記複数の第2電極層を前記第1方向に貫き、前記第1柱状体に接続された第2柱状体と、
- 前記第1柱状体の前記第2柱状体に接続された端部を囲む島状のストッパー膜と、
- を備え、
- 前記複数の第1電極層と前記複数の第2電極層は、前記第1方向に並べて配置され、
- 前記ストッパー膜は、前記複数の第1電極層と前記複数の第2電極層との間に位置し、
- 前記ストッパー膜は、第1部分と、前記第1柱状体と前記第1部分との間に位置する第2部分とを含み、前記第1部分の前記第1方向の第1幅は、前記第2部分の前記第1方向の第2幅よりも狭い半導体記憶装置。
- [請求項9] 前記複数の第1電極層は、前記ストッパー膜に最近接した位置に設けられた第1電極層を含み、
- 前記複数の第2電極層は、前記ストッパー膜に最近接した位置に設けられた第2電極層を含み、
- 前記ストッパー膜は、前記第1電極層に向き合う第1表面を有し、
- 前記ストッパー膜は、前記第1表面に沿って前記第1柱状体から前

記ストッパー膜の外縁に向かう第2方向における前記第1表面の第1長さ、前記第1表面と前記第2電極との間に位置する部分の前記第2方向における第2長さ、を有し、

前記第1長さは、前記第2長さよりも長い請求項8記載の半導体記憶装置。

[請求項10] 前記複数の第1電極層のうちの隣接する2つの第1電極層の間に設けられた第1絶縁膜と、

前記複数の第2電極層のうちの隣接する2つの第2電極層の間に設けられた第2絶縁膜と、

をさらに備え、

前記ストッパー膜は、前記第1絶縁膜の材料および前記第2絶縁膜の材料とは異なる材料を含む請求項8記載の半導体記憶装置。

[請求項11] 前記ストッパー膜は、金属酸化物を含む請求項10記載の半導体記憶装置。

[請求項12] 前記ストッパー膜は、半導体を含む請求項10記載の半導体記憶装置。

[請求項13] 前記第2電極層と前記第3電極層との間に設けられた第3絶縁膜をさらに備えた請求項12記載の半導体記憶装置。

[請求項14] 第1方向に積層された複数の第1電極層と、
前記第1方向に積層された複数の第2電極層と、
前記複数の第1電極層を前記第1方向に貫く複数の第1柱状体と、
前記複数の第2電極層を前記第1方向に貫き、前記複数の第1柱状体にそれぞれ接続された複数の第2柱状体と、

前記複数の第1柱状体の前記複数の第2柱状体に接続された端部を囲むストッパー膜と、

を備え、

前記複数の第1電極層と前記複数の第2電極層は、前記第1方向に並べて配置され、

前記ストッパー膜は、前記複数の第 1 電極層と前記複数の第 2 電極層との間に位置し、

前記複数の第 1 電極層は、前記ストッパー膜に最近接した位置に設けられた第 1 電極層を含み、

前記複数の第 2 電極層は、前記ストッパー膜に最近接した位置に設けられた第 2 電極層を含み、

前記ストッパー膜は、前記第 1 電極層と前記第 2 電極層との間において、前記複数の第 1 柱状体と前記複数の第 2 柱状体が接続された領域に配置された半導体記憶装置。

[請求項15] 前記ストッパー膜は、前記複数の第 1 柱状体のうちの隣接する 2 つの第 1 柱状体の間に位置する第 1 部分と、前記 2 つの柱状体のうちの 1 つと前記第 1 部分との間に位置する第 2 部分と、前記 2 つの柱状体のうちの別の 1 つと前記第 1 部分との間に位置する第 3 部分と、を含み、

前記第 1 部分の前記第 1 方向における第 1 厚さは、前記第 2 部分の前記第 1 方向における第 2 厚さおよび前記第 3 部分の前記第 1 方向における第 3 厚さよりも薄いクレーム 14 記載の半導体記憶装置。

[請求項16] 前記ストッパー膜は、金属酸化物を含む請求項 14 記載の半導体記憶装置。