

半导体结构

相关申请的交叉引用

本申请要求于 2021 年 1 月 28 日提交中国专利局、申请号为 2021101169290、发明名称为“半导体结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，特别是涉及一种半导体结构。

背景技术

电容具有储能性能，其并联在电源端与接地端之间，可以使得电路工作过程中电源端产生的电压波动变的平缓，使得电源端的工作性能更加稳定。所以，在电路设计中，常常需要加上大量的电容结构，以加强电源端的稳定性。不仅仅是电源端，当信号端需要去除高频噪声时，也可以通过在信号端加电容的方式实现。

现有半导体芯片中，通常是在芯片中空余的地方增加电容结构，以稳定芯片中电源端或信号端。但是，这样的话无形之中会增加芯片面积，从而增加产品成本。

发明内容

根据一些实施例，提供一种半导体芯片。

一种半导体结构，包括：

焊盘结构，位于衬底上方；

电容结构，位于所述衬底与所述焊盘结构之间，与所述焊盘结构相对设置，包括至少两个并联且间隔设置的电容单元，每个所述电容单元包括至少一个电容器件。

上述半导体结构，可以有效提升焊盘结构所在区域的利用率。相对于传统地在芯片中空余的地方增加电容结构的设置方式，本申请可以有效防止芯片面积由于电容结构的设置而增大。同时，本申请在较大尺寸的焊盘结构下的每个电容单元的尺寸相对较小。而在工艺制作过程中，较小尺寸的电容单元的各相关膜层更容易进行均匀成膜。因此，本申请可以提高各相关膜层的成膜质量，从而使得电容结构的可靠性更高，从而使得相关电源的电源电压更加稳定。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的半导体结构的剖面示意图；

图 2 为一实施例中提供的半导体结构的平面示意图；

图 3 为一实施例中提供的半导体结构的局部结构示意图；

图 4 为一实施例中提供的导电层与电容器件电连接示意图；

图 5 为图 3 中的导电层示意图；

图 6 为图 3 中的第一金属层与第一导电部以及第三导电部示意图；

图 7 为晶体管类型的电容示意图；

图 8 为图 3 中的电容结构示意图。

具体实施方式

5 为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

10 应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，
15 这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一导电部成为第二导电部，且类似地，可以将第二导电部成为第一掺杂类型。

20 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”
25 元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转 90 度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用
30 时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

请参阅图 1 以及图 2，在一个实施例中，提供一种半导体结构，包括衬底 100、焊盘结构 200 以及电容结构 300。具体地，半导体结构可以为半导体芯片上的上结构。

衬底 100 可以但不限于为硅衬底。

35 焊盘结构 200 位于衬底 100 上方，其可以为电源焊盘或者信号焊盘或者接地焊盘等。即焊盘结构 200 的具体种类并没有限制。

具体地，当焊盘结构 200 为电源焊盘时，其可以通过打引线 with 封装基板进行电连接，从而获取相应的电源电压（如 VDDQ、VPP、VDD 等）。当焊盘结构 200 为信号焊盘时，
40 其可以通过打引线 with 封装基板进行电连接，从而获取相应的控制信号（如片选信号 CS、复位信号 RESET 等）。当焊盘结构 200 为接地焊盘时，其可以通过打引线 with 封装基板进行电连接，从并联在而进行接地。

电容结构 300 并联在芯片电路的电源端与接地端之间，用于使得电路工作过程中电源产生的电压波动变的平缓，去除电源上的高频噪声，使得电源的工作性能更加稳定。

具体地，电容结构 300 位于衬底 100 与焊盘结构 200 之间，且与焊盘结构 200 相对设置。
45 所以，电容结构 300 位于焊盘结构 200 下方。

因此，在本实施例中，可以有效提升焊盘结构 200 所在区域的利用率。相对于传统地在芯片中空余的地方增加电容结构的设置方式，本实施例可以有效防止芯片面积由于电容结构的设置而增大。

同时，请参阅图 3，在本实施例电容结构 300 包括至少两个并联且间隔设置的电容单元 310。每个电容单元可以包括一个电容器件 311，也可以包括更多个电容器件 311。

因此，在较大尺寸的焊盘结构 200 下的每个电容单元 310 的尺寸相对较小。而在工艺制作过程中，较小尺寸的电容单元的各相关膜层更容易进行均匀成膜。因此，本申请可以提高各相关膜层的成膜质量，从而使得电容结构的可靠性更高，从而使得相关电源的电源电压更加稳定。

可以理解的是，这里的“相关电源”指的是电容结构 300 所连接的电源端。

在一个实施例中，电容结构 300 在衬底 100 上的正投影位于焊盘结构 200 在衬底 100 上的正投影的内部。

此时，电容结构 300 完全位于焊盘结构 200 的下方，因此可以更加有效地利用焊盘结构 200 所在区域的利用率，使得芯片面积完全不受电容结构 300 设置的影响，从而有利于实现芯片小型化。

当然，本申请并不以此为限制，电容结构 300 在衬底 100 上的正投影也可以部分位于焊盘结构 200 在衬底 100 上的正投影的外部。或者，电容结构 300 在衬底 100 上的正投影也可以与焊盘结构 200 在衬底 100 上的正投影重合。

在一个实施例中，电容结构 300 在衬底 100 上的正投影的中心与焊盘结构 200 在衬底 100 上的正投影的中心重合。

此时，电容结构 300 与焊盘结构 200 正相对，从而有利于使得电容结构 300 在各处性能比较均匀。

值得注意的是，本申请电容结构 300 在衬底 100 上的正投影的中心与焊盘结构 200 在衬底 100 上的正投影的中心也可以不重合，本申请对此并没有限制。

在一个实施例中，请参阅图 4，电容单元 310 中的电容器件 311 包括第一极板 3111 以及第二极板 3112。第一极板 3111 与第二极板 3112 相对设置，从而进行电荷存储。

同时，请同时参阅图 1，半导体结构还包括导电层 400。导电层 400 包括第一导电部 410 与第二导电部 420。第一导电部 410 与第二导电部 420 相互绝缘。

第一导电部 410 电连接各电容器件 311 的第一极板 3111，即各个电容单元 310 内的各电容器件 311 的第一极板 3111 均电连接至第一导电部 410。因此，第一导电部 410 的设置，可以将各个电容单元 310 内的各电容器件 311 的第一极板 3111 均电连接至同一电路节点处。

同样地，第二导电部 420 电连接各电容器件 311 的第二极板 3112，即各个电容单元 310 内的各电容器件 311 的第二极板 3112 均电连接至第二导电部 420。因此，第二导电部 420 的设置，可以将各个电容单元 310 内的各电容器件 311 的第二极板 3112 均电连接至同一电路节点处。

因此，导电层 400 的设置，可以方便有效地将各电容单元 310 内的各电容器件 311 并联而形成电容结构 310。

同时，第一导电部 410 与第二导电部 420 中的其中一个还电连接电源端，另一个还电连接接地端。即第一导电部 410 还电连接芯片电路中的电源端，第二导电部 420 还电连接芯片电路中的接地端。或者，第二导电部 420 还电连接芯片电路中的电源端，第一导电部 410 还电连接芯片电路中的接地端。

此时，可以方便有效地将各电容器件 311 并联后形成的电容结构 310 引入芯片电路中。

具体地，电容器件 311 可以为晶体管类型的电容，请参阅图 4 以及图 7，晶体管类型的电容的栅极构成电容器件的第一极板 3111，晶体管类型的电容的源极、漏极以及衬底

100 的相应部分构成电容器件 311 的第二极板 3112。

此时，可以设置各电容器件 311 的第一极板 3111（即晶体管类型的电容的栅极）通过第一电容通孔 410a 电连接至第一导电部 410。各电容器件 311 的第二极板 3112（即晶体管类型的电容的源极、漏极以及衬底 100 的相应部分）可以通过第二电容通孔 420a 电连接至第二导电部 420。

同时，此时可以设置第一导电部 410 还电连接芯片电路中的电源端，第二导电部 420 还电连接芯片电路中的接地端。

当电容器件 311 可以为晶体管类型的电容时，也可以是晶体管类型的电容的栅极构成电容器件的 第二极板 3112，晶体管类型的电容的源极、漏极以及衬底 100 的相应部分构成电容器件 311 的第一极板 3111。本申请对此并没有限制。

或者电容器件 311 也可以为其他类型的电容（例如两个相对设置的金属板形成的平行板电容），本申请对此也没有限制。

在一个实施例中，请参阅图 5 以及图 3，导电层 400 的第二导电部 420 为一体结构，且跨越电容结构 300 内的各个电容器件 311，进而使得电容结构 300 内的各个电容器件 311 的第二极板 3112 均可以通过互连通孔而与第二导电部 420 电连接。

第一导电部 410 为分体结构，且包括多个电连接的子导电部 411。子导电部 411 跨越电容结构 300 内的相邻的电容器件 311，进而使得相邻的电容器件 311 的第一极板 3111 可以通过互连通孔而与同一子导电部 411 电连接。于此同时，第一导电部 410 的各个子导电部 411 相互电连接。因此此时可以将电容结构 300 内的各个电容器件 311 的第一极板 3111 均电连接在一起。

同时，本实施例第一导电部 410 的各子导电部 411 在衬底 100 上的正投影与第二导电部 420 在衬底 100 上的正投影间隔设置，即第一导电部 410 的正投影与第二导电部 420 在衬底 100 上的正投影间隔设置。

此时，本实施例第一导电部 410 与第二导电部 420 可以便于在成膜工艺过程中同时形成，进而可以有效简化工艺过程，提高生产效率。

具体地，在工艺过程中，可以首先形成一层导电材料层，然后再将导电材料层图形化，从而形成第二导电部 420 与多个子导电部 411。

当然，本实施例第一导电部 410 与第二导电部 420 也可以于不同的成膜工艺过程中，分步形成。此时第一导电部 410 的各子导电部 411 在衬底 100 上的正投影与第二导电部 420 在衬底 100 上的正投影间隔设置。

值得注意的是，在本实施例中，第一导电部 410 的正投影与第二导电部 420 在衬底 100 上的正投影间隔设置。但是，本申请也并不以此为限制。

例如，在一些实施例中，第一导电部 410 与第二导电部 420 可以分步形成。此时，第一导电部 410 与第二导电部 420 可以均设置成一体结构形式。此时，第一导电部 410 在衬底 100 上的正投影与第二导电部 420 在衬底 100 上的正投影也可以重叠或者部分重叠。

又如，在一些实施例中，第一导电部 410 与第二导电部 420 可以分步形成。此时，分体结构的第一导电部 410 在衬底 100 上的正投影与一体结构的第二导电部 420 在衬底 100 上的正投影也可以相互连接。

此外，在本实施例中，如果导电层 400 的分体结构的第一导电部 410 电连接电源端，而一体结构第二导电部 420 电连接接地端。则，进一步地，当半导体芯片上设多个本实施例的半导体结构时，多个半导体结构的导电层 200 的第二导电部 420 也可以为一个连接在一起的一体结构。

当然，当半导体芯片上设多个本实施例的半导体结构时，多个半导体结构的导电层 200 的第二导电部 420 也可以为分体设置，而每个半导体结构内的第二导电部 420 为一体结构。

同时,在本实施例中,也可以设置分体结构的第一导电部 410 电连接接地端,而一体结构的第二导电部 420 电连接电源端。此时,各当半导体芯片上设多个本实施例的半导体结构时,多个半导体结构的导电层 200 可以相互独立设置。

5 在一个实施例中,请继续参阅图 3,在上述实施例的基础上,每个电容单元 310 包括至少两个并联设置的电容器件 311。电容结构 300 内的各电容器件 311 呈 M 行 N 列的阵列排布,M 和 N 均为大于等于 2 的整数。

通过阵列排布电容器件 311,可以便于第一导电部 410 的各个子导电部 411 与第二导电部 420 的版图设计。

10 在本实施例中,请同时参阅图 3 以及图 5,子导电部 411 包括第一子部 4111。同一第一子部 4111 跨越在两两相邻且呈中心对称分布的四个电容器件 311。此时,同一第一子部 4111 可以同时电连接四个电容器件 311,而为四个电容器件 311 提供电源端信号,进而实现其多功能性。作为示例,第一子部 4111 可以呈“工”字型。

此时,进一步地,可以设置每个电容器件 311 的四个角落均电连接子导电部 411,从而使得每个电容器件 311 均可以稳定可靠地获取电信号。

15 可以理解的是,子导电部 411 包括除了第一子部 4111 之外,还可以包括只跨域相邻两个电容器件 311 的第二子部 4112。第二子部 4112 可以跨越位于电容结构 300 的边缘的相邻两个电容器件 311,而第一子部 4111 可以位于第一子部 4112 形成的环状区域内部。

同时,导电层 400 还可以包括第三导电部 430,第三导电部 430 可以设置在位于角落的电容结构 311 的上方而电连接位于角落的电容结构 311。

20 在一个实施例中,请查阅图 3 以及图 6,焊盘结构 200 包括第一金属层 210。第一金属层 210 一端电连接电源端。并且,第一金属层 210 的另一端通过第一通孔 210a 电连接各子导电部 411。

通过第一金属层 210 的设置,可以简便有效地将各子导电部 411 电连接在一起,并与电源端取得电连接。此时,分体结构的第一导电部 410 电连接电源端,而一体结构第二导电部 420 电连接接地端。

25 在一个实施例中,同样请查阅图 3 以及图 6,焊盘结构 200 包括第一金属层 210。第一金属层 210 一端电连接接地端。并且,第一金属层 210 的另一端通过第一通孔 210a 电连接各子导电部 411。

通过第一金属层 210 的设置,可以简便有效地将各子导电部 411 电连接在一起,并与接地端取得电连接。此时,分体结构的第一导电部 410 电连接接地端,而一体结构的第二导电部 420 电连接电源端。

30 在一个实施例中,请参阅图 1,焊盘结构 200 还包括第二金属层 220、第三金属层 230 以及第四金属层 240。第三金属层 230 通过第三通孔 230a 与第二金属层 220 连接,第四金属层 240 通过第四通孔 240a 与第三金属层 230 连接。

35 通过多层金属层的设置,可以有效提高焊盘结构 200 的机械强度,使得焊盘结构 200 通过打线工艺与封装基板进行电连接时,可以不被损坏。

进一步地,可以设置第二金属层 220 在衬底 100 上的正投影的形状为环状,且第二金属层 220 在衬底 100 上的正投影围绕电容结构 300 在衬底 100 上的正投影。

40 此时,环状的第二金属层 220 一方面可以保障焊盘结构 200 的机械强度,另一方面,其在打线工艺过程中承受压力,也可以有效防止被其环绕的电容结构 300 在打线过程受到损伤。

更进一步地,可以设置第三金属层 230 在衬底 100 上的正投影与第二金属层 220 在衬底 100 上的正投影相重叠,进而进一步强化第二金属层 230 的作用。

45 在一个实施例中,焊盘结构 200 为电源焊盘。此时,如前述说明,焊盘结构 200 (具体地为第四金属层 240) 可以通过打引线与封装基板进行电连接,从而获取相应的电源电

压（如 VDDQ、VPP、VDD 等）。

所以，此时焊盘结构 200 用于向芯片电路输入电源电压，从而可以作为芯片电路的一个电源端。焊盘结构 200 的第四金属层 240 接收封装基板上的相应电源信号，并依次通过第三金属层 230 与第二金属层 220 将电源信号输入芯片电路中。

5 同时，在本实施例中，还将第二金属层 220 通过第二通孔电连接第一金属层 210，进而电连接的各子导电部 411。而各子导电部 411 又电连接电容结构 300 的各电容器件 311。

因此，此时可以将电容结构 300 的一端电连接其上方的焊盘结构 200，从而稳定由焊盘结构 200 输入的电源电压。

10 在一个实施例中，焊盘结构 200 为接地焊盘。此时，如前述说明，焊盘结构 200（具体地为第四金属层 240）可以通过打引线与封装基板进行电连接，从而进行接地。

所以，此时焊盘结构 200 可以作为芯片电路的一个接地端。焊盘结构 200 的第二金属层 220、第三金属层 230 以及第四金属层 240 依次电连接，并通过第四金属层 240 电连接封装基板而接地。

15 同时，在本实施例中，还将第二金属层 220 通过第二通孔电连接第一金属层 210，进而电连接的各子导电部 411。而各子导电部 411 又电连接电容结构 300 的各电容器件 311。

因此，此时可以将电容结构 300 的一端有效接地，从而稳定由电源端输入的电源电压。

当然，在其他实施例中，焊盘结构 200 也可以不为电源焊盘和/或接地焊盘。此时，电源端和/或接地端可以位于焊盘结构 200 之外的外部电路中。

20 或者，焊盘结构 200 为电源焊盘时，电源端也可以位于焊盘结构 200 之外的外部电路中。焊盘结构 200 为接地焊盘时，接地端也可以位于焊盘结构 200 之外的外部电路中。本申请对此并没有限制。

这里，可以理解的是，焊盘结构 200 之外的外部电路，是指芯片电路中的与焊盘结构 200 无电连接关系的电路。

25 在一个实施例中，电容器件 311 包括晶体管类型的电容。请参阅图 7，晶体管类型的电容的栅极 10 构成电容器件的第一极板 3111，晶体管类型的电容的源极、漏极以及衬底 100 的相应部分构成电容器件的第二极板 3112。分体结构的第一导电部 410 电连接电源端，而一体结构第二导电部 420 电连接接地端。

请参阅图 1、图 2 以及图 3，半导体结构还包括保护环 500。保护环 500 一端连接衬底 100，而另一端连接第二导电部 420，进而可以通过第二导电部接地。

30 并且，保护环 500 在衬底 100 上的正投影围绕电容结构 300 在衬底 100 上的正投影。可以理解的是，图 3 为半导体结构的局部结构示意图，因此图 3 中只有右侧部分示出了保护环 500。

因此，本实施例中，保护环 50 可以有效防止晶体管类型的电容发生闩锁效应。

35 同时，保护环 500 的设置也可以使得各个晶体管类型的电容的作为第二极板 3112 的衬底部分可以通过保护环 500 统一与第二导电部 420 电连接。

在一个实施例中，请参阅图 3 以及图 8，电容单元 310 包括至少两个晶体管类型的电容，同一电容单元 310 内，相邻两个晶体管类型的电容共用源极 20 或漏极 30。此时，可以在面积一定时，做出相对比较大的电容容值。

当然，相邻两个晶体管类型的电容也可以不共用源极或漏极，本申请对此没有限制。

40 在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“一个实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

- 5 以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对本申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

- 1.一种半导体结构, 包括:
焊盘结构, 位于衬底上方;
电容结构, 位于所述衬底与所述焊盘结构之间, 与所述焊盘结构相对设置, 包括至少两个并联且间隔设置的电容单元, 每个所述电容单元包括至少一个电容器件。
- 5 2.根据权利要求1所述的半导体结构, 其中所述电容结构在所述衬底上的正投影位于所述焊盘结构在所述衬底上的正投影的内部。
- 3.根据权利要求1或2所述的半导体结构, 其中所述电容结构在所述衬底上的正投影的中心与所述焊盘结构在所述衬底上的正投影的中心重合。
- 4.根据权利要求1所述的半导体结构, 其中所述电容器件包括相对设置的第一极板以及第二极板, 所述半导体结构还包括导电层, 所述导电层包括相互绝缘的第一导电部与第二导电部, 所述第一导电部电连接各所述电容器件的所述第一极板, 所述第二导电部电连接各所述电容器件的所述第二极板, 并且, 所述第一导电部与所述第二导电部中的其中一个还电连接电源端, 另一个还电连接接地端。
- 10 5.根据权利要求4所述的半导体结构, 其中所述第二导电部为一体结构, 且跨越所述电容结构内的各个电容器件, 所述第一导电部为分体结构, 且包括多个相互电连接的子导电部, 所述子导电部跨越所述电容结构内的相邻的所述电容器件, 各所述子导电部在所述衬底上的正投影与所述第二导电部在所述衬底上的正投影间隔设置。
- 15 6.根据权利要求5所述的半导体结构, 其中每个所述电容单元包括至少两个并联设置的电容器件, 所述电容结构内的各所述电容器件呈M行N列的阵列排布, 所述M和所述N均为大于等于2的整数;
- 20 所述子导电部包括第一子部, 同一所述第一子部跨越在两两相邻且呈中心对称分布的四个电容器件。
- 7.根据权利要求5所述的半导体结构, 其中所述焊盘结构包括第一金属层, 所述第一金属层一端电连接所述电源端或者所述接地端, 且另一端通过第一通孔电连接各所述子导电部。
- 25 8.根据权利要求7所述的半导体结构, 其中所述焊盘结构还包括第二金属层、第三金属层以及第四金属层, 所述第三金属层通过第三通孔与所述第二金属层连接, 所述第四金属层通过第四通孔与所述第三金属层连接。
- 9.根据权利要求8所述的半导体结构, 其中所述第二金属层在所述衬底上的正投影的形状为环状, 且所述第二金属层在所述衬底上的正投影围绕所述电容结构在所述衬底上的正投影。
- 30 10.根据权利要求9所述的半导体结构, 其中所述第三金属层在所述衬底上的正投影与所述第二金属层在所述衬底上的正投影相重叠。
- 11.根据权利要求8-10任一项所述的半导体结构, 其中所述焊盘结构为电源焊盘或接地焊盘, 且所述第二金属层通过第二通孔电连接所述第一金属层。
- 35 12.根据权利要求4-10任一项所述的半导体结构, 其中所述电源端和/或所述接地端位于所述焊盘结构之外的外部电路。
- 13.根据权利要求5所述的半导体结构, 其中所述电容器件包括晶体管类型的电容, 所述晶体管类型的电容的栅极构成所述电容器件的第一极板, 所述晶体管类型的电容的源极、漏极以及所述衬底构成所述电容器件的第二极板。
- 40 14.根据权利要求13所述的半导体结构, 其中所述第一导电部电连接所述电源端, 且所述第二导电部电连接所述接地端;
- 所述半导体结构还包括保护环, 所述保护环两端分别连接所述衬底与所述第二导电部, 且所述保护环在所述衬底上的正投影围绕所述电容结构在所述衬底上的正投影。

15.根据权利要求 13 所述的半导体结构，其中所述电容单元包括至少两个所述晶体管类型的电容，同一所述电容单元内，相邻两个所述晶体管类型的电容共用所述源极或所述漏极。