

权利要求书

1. 一种读写转换电路，其特征在于，包括：
读写转换模块，响应于读写控制信号以进行读写操作；
控制模块，响应于读写速度配置信号以输出可变的所述读写控制信号，以控制
5 制所述读写转换模块的读写操作的速度可变。
2. 如权利要求 1 所述的读写转换电路，其特征在于，还包括：速度配置模块，
与所述控制模块连接，用于向所述控制模块输出所述读写速度配置信号。
3. 如权利要求 2 所述的读写转换电路，其特征在于，所述读写控制信号包括读
取控制信号以及写入控制信号，所述读写转换模块响应于所述读取控制信号
10 以进行读取操作，响应于所述写入控制信号以进行写入操作；
所述速度配置模块包括：读取速度配置单元，用于向所述控制模块输出所述
读写速度配置信号中的读取速度配置信号，以使所述控制模块响应于所述读
取速度配置信号输出可变的所述读取控制信号，以控制所述读取操作的速度
可变；
15 写入速度配置单元，用于向所述控制模块输出所述读写速度配置信号中的写
入速度配置信号，以使所述控制模块响应于所述读取速度配置信号输出可变
的写入控制信号，以控制所述写入操作的速度可变。
4. 如权利要求 1 所述的读写转换电路，其特征在于，还包括：本地数据线、本
地互补数据线以及全局数据线；在所述读写操作期间，所述本地数据线以及
20 所述本地互补数据线与所述全局数据线之间进行数据传输，且所述本地数据
线与所述本地互补数据线的的数据信号相位相反。
5. 如权利要求 4 所述的读写转换电路，其特征在于，所述读写转换模块包括：

本地读写单元，响应于所述读写控制信号中的本地读写控制信号以进行本地读写操作；所述控制模块包括：本地控制单元，响应于所述读写速度配置信号中本地读写速度配置信号，以输出可变的所述本地读写控制信号，控制所述本地读写单元的本地读写操作的速度可变。

- 5 6. 如权利要求 5 所述的读写转换电路，其特征在于，所述读写转换电路还包括：
本地速度配置模块，与所述本地控制单元连接，用于向所述本地控制单元输出所述本地读写速度配置信号。
7. 如权利要求 5 所述的读写转换电路，其特征在于，所述读写转换电路还包括：
敏感放大器，所述敏感放大器经由所述本地数据线以及所述本地互补数据线与
10 与所述本地读写单元连接，用于感测位线电压。
8. 如权利要求 7 所述的读写转换电路，其特征在于，同一所述本地读写单元经由所述本地数据线以及所述本地互补数据线与多个所述敏感放大器连接。
9. 如权利要求 7 所述的读写转换电路，其特征在于，写入数据路径包括：从所述本地读写单元经所述本地数据线以及所述本地互补数据线到所述敏感放
15 大器，再经由所述敏感放大器到所述位线；读取数据路径包括：从所述位线经所述敏感放大器到所述本地数据线以及所述本地互补数据线，再经由所述本地数据线以及所述本地互补数据线到所述本地读写单元。
10. 如权利要求 4 所述的读写转换电路，其特征在于，所述读写转换模块包括：
全局读写单元，响应于所述读写控制信号中的全局读写控制信号以进行全局
20 读写操作；所述控制模块包括：全局控制单元，响应于所述读写速度配置信号中的全局读写速度配置信号，以输出可变的所述全局读写控制信号，以控制所述全局读写单元的全局读写操作的速度可变。

- 11.如权利要求 10 所述的读写转换电路，其特征在于，所述读写转换电路还包括：全局速度配置模块，与所述全局控制单元连接，用于向所述全局控制单元输出所述全局读写速度配置信号。
- 12.如权利要求 5 所述的读写转换电路，其特征在于，所述本地读写单元包括：
5 本地放大器，连接在所述本地数据线以及所述本地互补数据线之间，用于对所述本地数据线的的数据以及所述本地互补数据线的的数据放大。
- 13.如权利要求 12 所述的读写转换电路，其特征在于，所述本地放大器包括：
第一反相器，所述第一反相器的第一输入端与所述本地数据线电连接，所述
第一反相器的第一输出端与所述本地互补数据线电连接；第二反相器，所述
10 第二反相器的第二输入端与所述第一反相器的第一输出端以及所述本地互补数据线电连接，所述第二反相器的第二输出端与所述第一反相器的第一输入端以及所述本地数据线电连接。
- 14.如权利要求 13 所述的读写转换电路，其特征在于，所述第一反相器包括：
第一 PMOS 管以及第一 NMOS 管，所述第一 PMOS 管栅极以及所述第一
15 NMOS 管栅极连接且作为所述第一反相器的第一输入端，所述第一 PMOS 管源极与工作电源连接，所述第一 PMOS 管漏极与所述第一 NMOS 管漏极连接且作为所述第一反相器的第一输出端；所述第二反相器包括：第零 PMOS 管以及第零 NMOS 管，所述第零 PMOS 管栅极与所述第零 NMOS 管栅极连接且作为所述第二反相器的第二输入端，所述第零 PMOS 管源极与工
20 作电源连接，所述第零 PMOS 管漏极与所述第零 NMOS 管漏极连接且作为所述第二反相器的第二输出端。
- 15.如权利要求 5 所述的读写转换电路，其特征在于，所述本地读写单元包括本

地读取转换电路,用于响应于所述本地读写控制信号中的本地读取控制信号,将所述本地数据线以及所述本地互补数据线的数据传输至所述全局数据线;所述本地读取转换电路包括:

第三 NMOS 管以及第四 NMOS 管;所述第三 NMOS 管漏极与所述全局数据线连接,所述第三 NMOS 管栅极与所述本地互补数据线连接,所述第三 NMOS 管源极与所述第四 NMOS 管漏极连接;所述第四 NMOS 管栅极接收所述本地读取控制信号中的本地读信号,源极接地。

16.如权利要求 15 所述的读写转换电路,其特征在于,所述读写转换电路还包括:全局互补数据线,且在所述读取操作期间,所述全局互补数据线与所述全局数据线的信号相位相反;所述本地读取转换电路还包括:第八 NMOS 管以及第九 NMOS 管;所述第八 NMOS 管漏极与所述全局互补数据线连接,所述第八 NMOS 管栅极与所述本地数据线连接,所述第八 NMOS 管源极与所述第九 NMOS 管漏极连接;所述第九 NMOS 管栅极接收所述本地读信号,源极接地。

15 17.如权利要求 5 所述的读写转换电路,其特征在于,所述本地读写单元包括:本地写入转换电路,用于响应于所述本地读写控制信号中的本地写入控制信号,将所述全局数据线的数据传输至所述本地数据线以及所述本地互补数据线;所述本地写入转换电路包括:

第五 NMOS 管、第六 NMOS 管以及第七 NMOS 管;所述第五 NMOS 管漏极与所述本地互补数据线连接,所述第五 NMOS 管栅极与所述第七 NMOS 管源极连接,所述第五 NMOS 管源极与所述第六 NMOS 管漏极连接;所述第六 NMOS 管栅极接收所述本地写入控制信号中的本地写信号,源极接地;

所述第七 NMOS 管漏极与所述本地数据线连接,栅极接收所述本地写信号。

- 18.如权利要求 17 所述的读写转换电路,其特征在于,所述读写转换电路还包括:全局互补数据线,且在所述读写操作期间,所述全局互补数据线与所述全局数据线的信号相位相反;所述本地写入转换电路还包括:第十
5 NMOS 管、第十一 NMOS 管以及第十二 NMOS 管;所述第十 NMOS 管漏极与所述本地数据线连接,所述第十 NMOS 管栅极与所述第十二 NMOS 管源极连接且与所述全局互补数据线连接,所述第十 NMOS 管源极与所述第十一 NMOS 管漏极连接;所述第十一 NMOS 管栅极接收所述本地写信号,源极接地;所述第十二 NMOS 管漏极与所述本地互补数据线连接,栅极接
10 收所述本地写信号。
- 19.如权利要求 5 所述的读写转换电路,其特征在于,所述本地读写单元还包括:预充电电路,所述预充电电路连接在所述本地数据线与所述本地互补数据线之间,用于响应预充电控制信号,对所述本地数据线以及所述本地互补数据线进行预充电。
- 15 20.一种存储器,其特征在于,包括:如权利要求 1-19 任一项所述的读写转换电路。