

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体を用いて形成された半導体装置およびその製造方法に関し、特に、液晶表示装置や有機ＥＬ表示装置のアクティブマトリクス基板およびその製造方法に関する。ここで、半導体装置は、アクティブマトリクス基板やそれを備える表示装置を含む。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「ＴＦＴ」）などのスイッチング素子を備えている。スイッチング素子としてＴＦＴを備えるアクティブマトリクス基板はＴＦＴ基板と呼ばれる。

[0003] ＴＦＴとしては、従来から、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0004] 近年、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成できる。

[0005] 特許文献１には、酸化物半導体ＴＦＴを備えるＴＦＴ基板の製造方法が開示されている。特許文献１に記載の製造方法によると、酸化物半導体層の一部を低抵抗化して画素電極を形成することにより、ＴＦＴ基板の製造工程数を削減することができる。

[0006] 近年、液晶表示装置等の高精細化が進むに連れて、画素開口率の低下が問

題となっている。なお、画素開口率とは、表示領域に占める画素（例えば、透過型液晶表示装置において、表示に寄与する光を透過する領域）の面積比率をいい、以下では、単に、「開口率」という。

[0007] 特に、モバイル用途の中小型の透過型液晶表示装置は、表示領域の面積が小さいので、当然に個々の画素の面積も小さく、高精細化による開口率の低下が顕著になる。また、モバイル用途の液晶表示装置の開口率が低下すると、所望の輝度を得るために、バックライトの輝度を増大させる必要があり、消費電力の増大を招くという問題も起こる。

[0008] 高い開口率を得るためには、画素毎に設けられるＴＦＴや補助容量などの不透明な材料で形成される素子の占める面積を小さくすればよいが、ＴＦＴや補助容量は、当然に、その機能を果たすために最低限必要なサイズがある。ＴＦＴとして酸化物半導体ＴＦＴを用いると、アモルファスシリコンＴＦＴを用いる場合よりも、ＴＦＴを小型化できるという利点を得られる。なお、補助容量は、画素の液晶層（電氣的には、「液晶容量」と呼ばれる）に印加された電圧を保持するために、液晶容量に対して電氣的に並列に設けられる容量であり、一般に、補助容量の少なくとも一部は画素と重なるように形成される。

先行技術文献

特許文献

[0009] 特許文献1：特開２０１１－９１２７９号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、高開口率化に対する要求は強く、酸化物半導体ＴＦＴを用いるだけでは、その要求に応えられない。また、表示装置の低価格化も進んでおり、高精細化で、高開口率の表示装置を安価に製造する技術の開発も求められている。

[0011] そこで、本発明の一実施形態は、簡便なプロセスで製造することができ、

且つ、従来よりも高精細で高開口率の表示装置を実現することが可能な T F T 基板およびその製造方法を提供することを主な目的とする。

課題を解決するための手段

- [0012] 本発明による実施形態の半導体装置は、基板と、前記基板の上に形成されたゲート電極と、前記ゲート電極の上に形成されたゲート絶縁層と、前記ゲート絶縁層の上に形成された酸化物半導体層と、前記酸化物半導体層に電気的に接続されたソース電極およびドレイン電極と、前記ドレイン電極と電気的に接続された第 1 透明電極と、前記ソース電極および前記ドレイン電極の上に形成された誘電体層と、前記誘電体層の上に形成された第 2 透明電極とを有し、前記第 2 透明電極の少なくとも一部は、前記誘電体層を介して前記第 1 透明電極と重なっており、前記第 1 透明電極の上面および下面の少なくとも一方は、前記酸化物半導体層に含まれる酸化物半導体を還元する性質を有する還元絶縁層と接しており、前記還元絶縁層は、前記酸化物半導体層のチャネル領域に接しておらず、前記酸化物半導体層および前記第 1 透明電極は、同一の酸化物膜から形成されている。
- [0013] ある実施形態において、前記誘電体層は、前記還元絶縁層と、前記酸化物半導体層のチャネル領域に接する酸化物絶縁層とを有する。
- [0014] ある実施形態において、前記ゲート絶縁層は、前記還元絶縁層と、酸化物半導体層の下面と接する前記酸化物絶縁層とを有する。
- [0015] ある実施形態において、前記第 1 透明電極の上に前記ドレイン電極が形成され、前記第 1 透明電極は前記ドレイン電極に直接接している。
- [0016] ある実施形態において、前記基板の法線方向から見たとき、前記還元絶縁層の端部は、前記ドレイン電極と重なる。
- [0017] ある実施形態において、前記酸化物膜は、 In 、 Ga および Zn を含む。
- [0018] ある実施形態において、前記酸化物半導体層は In-Ga-Zn-O 系の半導体を含む。
- [0019] 本発明による実施形態の半導体装置の製造方法は、基板を用意する工程（a）と、基板上にゲート電極およびゲート絶縁層を形成する工程（b）と、

前記ゲート絶縁層の上に酸化物半導体膜を形成する工程（c）と、前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程（d）と、前記ソース電極および前記ドレイン電極の上に誘電体層を形成する工程（e）と、前記工程（c）の前または後に、前記酸化物半導体膜の一部に接し、前記酸化物半導体膜の酸化物半導体を還元する性質を有する還元絶縁層を形成する工程であって、それにより前記酸化物半導体膜のうち前記還元絶縁層と接する部分に第1透明電極を形成し、還元されなかった部分に酸化物半導体層を形成する工程（f）と、前記誘電体層の上に第2透明電極を形成する工程であって、前記第2透明電極の少なくとも一部は前記誘電体層を介して前記第1透明電極と重なる、工程（g）と、を包含する。

[0020] ある実施形態において、前記工程（f）は、前記工程（b）に含まれる。

[0021] ある実施形態において、前記工程（f）は、前記工程（e）に含まれる。

[0022] ある実施形態において、前記誘電体層および前記ゲート絶縁層の少なくとも1つは、酸化物絶縁層を含み、前記酸化物絶縁層は、前記酸化物半導体層と接している。

[0023] ある実施形態において、前記基板の法線方向から見たとき、前記還元絶縁層の端部は、前記ドレイン電極と重なる。

[0024] ある実施形態において、前記酸化物半導体膜は In-Ga-Zn-O 系の半導体を含む。

発明の効果

[0025] 本発明の実施形態によると、簡便なプロセスで製造することができ、且つ、従来よりも高精細で高開口率の表示装置を実現することが可能な TFT 基板およびその製造方法が提供される。

図面の簡単な説明

[0026] [図1]（a）は、本発明による実施形態における TFT 基板 100A の模式的な平面図であり、（b）は、（a）の A1-A1' 線に沿った TFT 基板 100A の模式的な断面図であり、（c）は、TFT 基板 100A を有する液晶表示装置 500 の模式的な断面図である。

[図2] (a) は酸化物半導体層に酸化物絶縁層が直接接している酸化物半導体 T F T のゲート電圧 (V_g) - ドレイン電流 (I_d) 曲線を示すグラフであり、(b) は酸化物半導体層に還元絶縁層 8 a が直接接している酸化物半導体 T F T のゲート電圧 (V_g) - ドレイン電流 (I_d) 曲線を示すグラフである。

[図3] (a) は、改変例の T F T 基板 1 0 0 A' の模式的な平面図であり、(b) は、(a) の A 2 - A 2' 線に沿った T F T 基板 1 0 0 A' の模式的な断面図である。

[図4] (a) ~ (e) は、本発明による実施形態における T F T 基板 1 0 0 A の製造工程の一例を説明する模式的な工程断面図である。

[図5] 本発明による他の実施形態における T F T 基板 1 0 0 B の模式的な断面図である。

[図6] (a) および (b) は、本発明による実施形態における T F T 基板 1 0 0 B の製造工程を説明する模式的な工程断面図である。

[図7] 本発明によるさらに他の実施形態における T F T 基板 1 0 0 C の模式的な断面図である。

[図8] 本発明によるさらに他の実施形態における T F T 基板 1 0 0 C の製造工程を説明する模式的な工程断面図である。

[図9] 本発明によるさらに他の実施形態における T F T 基板 1 0 0 D の模式的な断面図である。

発明を実施するための形態

[0027] 以下、図面を参照しながら、本発明による実施形態の半導体装置を説明する。本実施形態の半導体装置は、酸化物半導体からなる活性層を有する薄膜トランジスタ（酸化物半導体 T F T）を備える。なお、本実施形態の半導体装置は、酸化物半導体 T F T を備えていればよく、アクティブマトリクス基板、各種表示装置、電子機器などを広く含む。

[0028] ここでは、液晶表示装置に用いられる酸化物半導体 T F T を例に本発明による実施形態の半導体装置を説明する。

[0029] 図1(a)は本実施形態によるTFT基板100Aの模式的な平面図であり、図1(b)は図1(a)のA1-A1'線に沿った半導体装置(TFT基板)100Aの模式的な断面図である。図1(c)は、TFT基板100Aを有する液晶表示装置500の模式的な断面図である。図1(c)の破線矢印は電界方向を表している。

[0030] TFT基板100Aは、基板2と、基板2の上に形成されたゲート電極3と、ゲート電極3の上に形成されたゲート絶縁層4と、ゲート絶縁層4の上に形成された酸化物半導体層5と、酸化物半導体層5のチャネル領域に接する酸化物絶縁層と、酸化物半導体層5に電氣的に接続されたソース電極6sおよびドレイン電極6dと、ドレイン電極6dと電氣的に接続された第1透明電極7と、ソース電極6sおよびドレイン電極6dの上に形成された誘電体層8と、誘電体層8の上に形成された第2透明電極9とを有し、第2透明電極9の少なくとも一部は、誘電体層8を介して第1透明電極7と重なっており、第1透明電極7の上面および下面の少なくとも一方は、酸化物半導体層5に含まれる酸化物半導体を還元する性質を有する還元絶縁層8aと接しており、酸化物半導体層5および第1透明電極7は、同一の酸化物膜から形成されている。還元絶縁層8aは、酸化物半導体層5のチャネル領域とは接していない。

[0031] TFT基板100Aでは、第2透明電極9の少なくとも一部が誘電体層8を介して第1透明電極7と重なっていることにより補助容量を形成している。従って、TFT基板100Aが有する補助容量は透明なので（可視光を透過するので）、開口率を低下させることがない。従って、TFT基板100Aは、従来のように金属膜（ゲートメタル層またはソースメタル層）を用いて形成された不透明な電極を有する補助容量を備えるTFT基板よりも、高い開口率を有し得る。また、補助容量によって開口率が低下することがないので、補助容量の容量値（補助容量の面積）を必要に応じて、大きくできるという利点も得られる。

[0032] さらに、第1透明電極7の上にドレイン電極6dが形成され、第1透明電

極 7 はドレイン電極 6 d に直接接していることが好ましい。このような構造を採用すると、第 1 透明電極 7 をドレイン電極 6 d の略端部まで形成することができるので、T F T 基板 1 0 0 A は、特許文献 1 に記載されている T F T 基板よりも高い開口率を有し得る。

[0033] T F T 基板 1 0 0 A において、誘電体層 8 は還元絶縁層 8 a と絶縁保護層 8 b とを有している。還元絶縁層 8 a は第 1 透明電極 7 の上に形成され、絶縁保護層 8 b は還元絶縁層 8 a の上に形成されている。

[0034] 次に、T F T 基板 1 0 0 A の各構成要素を詳細に説明する。

[0035] 基板 2 は、典型的には透明基板であり、例えばガラス基板である。ガラス基板の他、プラスチック基板を用いることもできる。プラスチック基板は、熱硬化性樹脂または熱可塑性樹脂で形成された基板、さらには、これらの樹脂と無機繊維（例えば、ガラス繊維、ガラス繊維の不織布）との複合基板を含む。耐熱性を有する樹脂材料としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）、アクリル樹脂、ポリアミド樹脂を例示することができる。また、反射型液晶表示装置に用いる場合には、基板 2 として、シリコン基板を用いることもできる。

[0036] ゲート電極 3 は、ゲート配線 3' に電氣的に接続されている。ゲート電極 3 およびゲート配線 3' は、例えば、上層が W（タングステン）層であり、下層が T a N（窒化タンタル）層である積層構造を有する。このほか、ゲート電極 3 およびゲート配線 3' は、M o（モリブデン）／A l（アルミニウム）／M o から形成された積層構造を有してもよく、単層構造、2 層構造、4 層以上の積層構造を有してもよい。さらに、ゲート電極 3 a は、C u（銅）、A l、C r（クロム）、T a（タンタル）、T i（チタン）、M o および W から選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ゲート電極 3 の厚さは例えば約 4 2 0 n m である。ゲート電極 3 の厚さは例えば約 5 0 n m 以上約 6 0 0 n m 以下の範囲が好ましい。

[0037] ゲート絶縁層 4 は、下部ゲート絶縁層 4 a と上部ゲート絶縁層 4 b とを有する。酸化物半導体層 5 と接する上部ゲート絶縁層 4 b は酸化物絶縁層を含むことが好ましい。酸化物絶縁層が酸化物半導体層 5 と直接接触すると、酸化物絶縁層に含まれる酸素が酸化物半導体層 5 に供給され、酸化物半導体層 5 の酸素欠損による半導体特性の劣化を防ぐことができる。上部ゲート絶縁層 4 b は例えば SiO_2 (酸化シリコン) 層である。下部ゲート絶縁層 4 a は例えば SiN_x (窒化シリコン) 層である。本実施形態において、下部ゲート絶縁層 4 a の厚さは約 325 nm であり、上部ゲート絶縁層 4 b の厚さは約 50 nm であり、ゲート絶縁層 4 の厚さは約 375 nm である。このほかゲート絶縁層 4 としては、例えば SiO_2 (酸化シリコン)、 SiN_x (窒化シリコン)、 SiO_xN_y (酸化窒化シリコン、 $x > y$)、 SiN_xO_y (窒化酸化シリコン、 $x > y$)、 Al_2O_3 (酸化アルミニウム) または酸化タンタル (Ta_2O_5) から形成された単層または積層を用いることができる。ゲート絶縁層 4 の厚さは、例えば約 50 nm 以上約 600 nm 以下が好ましい。なお、基板 2 からの不純物などの拡散防止のため、下部ゲート絶縁層 4 a は SiN_x 、または SiN_xO_y (窒化酸化シリコン、 $x > y$) から形成されることが好ましい。上部ゲート絶縁層 4 b は酸化物半導体層 5 の半導体特性の劣化防止の観点から、 SiO_2 または SiO_xN_y (酸化窒化シリコン、 $x > y$) から形成されることが好ましい。さらに、低い温度でゲートリーク電流の少ない緻密なゲート絶縁層 4 を形成させるには、Ar (アルゴン) などの希ガスを用いながらゲート絶縁層 4 を形成するとよい。

[0038] 酸化物半導体層 5 は、例えば In-Ga-Zn-O 系の半導体 (以下、「IGZO 系半導体」と略する。) を含む。ここで、IGZO 系半導体は、In (インジウム)、Ga (ガリウム)、Zn (亜鉛) の三元系酸化物であって、In、Ga および Zn の割合 (組成比) は特に限定されず、例えば $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ 等を含む。IGZO 系半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 IGZO 系半導体としては、c 軸が層面に概ね垂

直に配向した結晶質 I G Z O 系半導体が好ましい。このような I G Z O 系半導体の結晶構造は、例えば、特開 2 0 1 2 - 1 3 4 4 7 5 号公報に開示されている。参考のために、特開 2 0 1 2 - 1 3 4 4 7 5 号公報の開示内容の全てを本明細書に援用する。

[0039] 酸化物半導体層 5 を構成する酸化物半導体材料は、I G Z O 系半導体に限定されず、例えば Z n - O 系半導体 (Z n O)、I n - Z n - O 系半導体 (I Z O (登録商標))、Z n - T i - O 系半導体 (Z T O)、C d - G e - O 系半導体、C d - P b - O 系半導体、C d O (酸化カドニウム)、M g - Z n - O 系半導体、I n - S n - Z n - O 系半導体 (例えば In_2O_3 - SnO_2 -Z n O)、I n - G a - S n - O 系半導体などであってもよい。さらに、酸化物半導体層 5 は、1 族元素、1 3 族元素、1 4 族元素、1 5 族元素および 1 7 族元素等のうち一種、又は複数種の不純物元素が添加された Z n O の非晶質 (アモルファス) 状態、多結晶状態又は非晶質状態と多結晶状態が混在する微結晶状態のもの、又は何も不純物元素が添加されていないものを含んでもよい。酸化物半導体層 5 として、アモルファス酸化物半導体層を用いると、低温で製造でき、かつ、高い移動度を実現できる。酸化物半導体層 5 の厚さは例えば約 5 0 n m である。酸化物半導体層 5 の厚さは、例えば約 3 0 n m 以上約 1 0 0 n m 以下が好ましい。

[0040] ソース電極 6 s およびドレイン電極 6 d は、例えば、T i / A l / T i から形成された積層構造を有する。このほか、ソース電極 6 s およびドレイン電極 6 d は、M o / A l / M o から形成された積層構造を有してもよく、単層構造、2 層構造または 4 層以上の積層構造を有してもよい。さらに、ソース電極 6 s およびドレイン電極 6 d は、A l、C r、T a、T i、M o および W から選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ソース電極 6 s およびドレイン電極 6 d の厚さは例えば約 3 5 0 n m である。ソース電極 6 s およびドレイン電極 6 d の厚さは、それぞれ例えば約 5 0 n m 以上約 6 0 0 n m 以下が好ましい。

[0041] 誘電体層 8 は、絶縁保護層 8 b を有する。誘電体層 8 は、第 1 透明電極 7

と第2透明電極9との間に形成され、補助容量を形成している。このように、透明電極7および9ならびに透明な誘電体層8から補助容量を形成すると、TF T基板100Aを表示パネルに用いたとき、高い開口率を有する表示パネルを製造できる。

[0042] 次に、図2を参照しながら還元絶縁層8aを説明する。還元絶縁層8aは、酸化物半導体層に接すると、その電氣的抵抗を低下させる機能を有する。図2(a)は、酸化物半導体層(活性層)の下面全体に接するように酸化物絶縁層(例えば SiO_2)が形成された構成を有する酸化物半導体TF Tのゲート電圧(V_g)ードレイン電流(I_d)曲線を表すグラフあり、図2(b)は、酸化物半導体層(活性層)の下面全体に接するように還元絶縁層(例えば SiN_x)が形成された構成を有する酸化物半導体TF Tのゲート電圧(V_g)ードレイン電流(I_d)曲線を表すグラフである。

[0043] 図2(a)から分かるように、酸化物絶縁層が酸化物半導体層に直接接している酸化物半導体TF Tは、良好なTF T特性を有する。

[0044] 一方、図2(b)から、還元絶縁層が酸化物半導体層に直接接している酸化物半導体TF Tは、TF T特性を有さず、還元絶縁層により酸化物半導体層が導体化されることが分かる。

[0045] 以上のことから分かるように、酸化物半導体層に還元絶縁層8aが接すると、酸化物半導体層の電気抵抗が小さくなる。これは、還元絶縁層8aが例えば水素を多く含み、還元絶縁層8aが酸化物半導体層5と接触して酸化物半導体層5を還元させることにより、酸化物半導体膜が低抵抗化され则认为られる。従って、このような還元絶縁層8aを酸化物半導体層5に直接接するように形成すると、酸化物半導体層5を低抵抗化させるのに、特別な低抵抗化処理(例えば、水素プラズマ処理等)を行わなくとも、酸化物半導体層5を低抵抗化できる。本実施形態のTF T基板100Aの製造プロセスにおいて、酸化物半導体膜の一部と接するように還元絶縁層8aを配置することにより、酸化物半導体膜を部分的に低抵抗化して電極を形成できる。酸化物半導体膜のうち低抵抗化されなかった部分は、TF Tの活性層として用い

ることができる。従って、製造プロセスが簡略化でき製造コストが削減される。

[0046] 還元絶縁層 8 a は例えば Si N_x から形成されている。基板温度約 100°C 以上約 250°C 以下（例えば、 220°C ）で、 Si H_4 と NH_3 との混合ガスの流量（単位：s s c m）比（ Si H_4 の流量 / NH_3 の流量）が 4 以上 20 以下となるように流量が調整された条件で、還元絶縁層 8 a を成膜し得る。また、還元絶縁層 8 a の厚さは、例えば約 100 nm である。還元絶縁層 8 a の厚さは、例えば約 50 nm 以上約 300 nm 以下が好ましい。

[0047] 絶縁保護層 8 b は、酸化物半導体層 5 のチャネル領域と接するように形成されている。絶縁保護層 8 b は絶縁酸化物（例えば Si O_2 ）から形成されることが好ましい。絶縁保護層 8 b が絶縁酸化物から形成されると、酸化物半導体層 5 の酸素欠損による半導体特性の劣化を防ぐことができる。このほか絶縁保護層 8 b は、例えば Si ON （酸化窒化シリコン、窒化酸化シリコン）、 Al_2O_3 または Ta_2O_5 から形成され得る。絶縁保護層 8 b の厚さは約 265 nm である。絶縁保護層 8 b の厚さは、例えば約 50 nm 以上約 300 nm 以下が好ましい。

[0048] 第 1 透明電極 7 は、例えば In-Ga-Zn-O 系の酸化物（ IGZO 系酸化物）を含む導電体層である。第 1 透明電極 7 の厚さは例えば約 50 nm である。第 1 透明電極 7 の厚さは、例えば約 20 nm 以上約 200 nm 以下が好ましい。詳細は後述するが、第 1 透明電極 7 と酸化物半導体層 5 とは同じ透明な酸化物膜から形成されている。第 1 透明電極 7 と酸化物半導体層 5 とを同一の酸化物膜から形成すると、製造プロセスが簡略化でき製造コストを削減し得る。酸化物膜としては、例えば、 IGZO 系半導体膜などの IGZO 系酸化物を含む膜を用いることができる。なお、前述のように、本明細書では、 IGZO 系酸化物のうち半導体特性を示すものを IGZO 系半導体と略する。

[0049] 第 2 透明電極 9 は、透明導電膜（例えば ITO （Indium Tin Oxide）、または IZO 膜）から形成されている。第 2 透明電極 9 の厚さは例えば約 10

0 nmである。第2透明電極9の厚さは、例えば約20 nm以上約200 nm以下が好ましい。

[0050] 図1(c)に示すように、TFT基板100Aは、例えば、Fringe Field Switching (FFS) モードの液晶表示装置500に用いられる。このとき、下層の第1透明電極7を画素電極（表示信号電圧が供給される）とし、上層の第2透明電極9を共通電極（共通電圧または対向電圧が供給される）として用いる。第2透明電極9には、少なくとも1以上のスリットが設けられる。このような構造のFFSモードの液晶表示装置500は、例えば、特開2011-53443号公報に開示されている。特開2011-53443号公報の開示内容の全てを参考のために本明細書に援用する。

[0051] 液晶表示装置500は、TFT基板100Aおよび対向基板200と、TFT基板100Aと対向基板200との間に形成された液晶層50とを有する。液晶表示装置500において、対向基板200の液晶層50側には、透明電極（例えばITO）などから形成され得た対向電極を備えていない。TFT基板100Aに形成された第1透明電極（画素電極）7と第2透明電極（共通電極）9とにより生じた横方向の電界により、液晶層50中の液晶分子の配向を制御して、表示させている。

[0052] TFT基板100Aは、図3に示すTFT基板100A'に改変し得る。図3(a)は、改変例のTFT基板100A'の模式的な平面図であり、図3(b)は、図3(a)のA2-A2'線に沿ったTFT基板100A'の模式的な断面図である。

[0053] 図3(a)および図3(b)に示すTFT基板100A'は、ゲート配線3'上に酸化物半導体層5を有し、基板2の法線方向から見たとき、ゲート配線3'とソース電極6sおよびドレイン電極6dとが重なる構造を有する点で、TFT基板100Aとは異なる。TFT基板100A'においては、ゲート配線3'がゲート電極3として機能する。TFT基板100A'は、TFT基板100Aよりもさらに高い開口率を有し得る。

[0054] なお、TFT基板100A'は、TFT基板100Aに比べて、ゲート・

ドレイン間の寄生容量 (C_{gd}) が大きいという欠点を有している。よく知られているように、ゲート・ドレイン間の寄生容量 (C_{gd}) が大きいと、フィードスルー電圧が大きくなる。フィードスルー電圧は、画像の焼き付きや、フリッカーの原因となる。フィードスルー電圧を低下させるためには、画素の全容量 (液晶容量 C_{lc} + 補助容量 C_s + ゲート・ドレイン間の寄生容量 C_{gd}) に対するゲート・ドレイン間の寄生容量 (C_{gd}) の比率を小さくすればよい。TFT基板100A'は、透明電極を備える透明な補助容量を有しているので、開口率を低下させることなく、補助容量の面積を大きくすることによって容量値を増大させることができる。すなわち、TFT基板100A'のように、ゲート・ドレイン間の寄生容量 (C_{gd}) が大きくなる構造を採用しても、フィードスルー電圧を十分に小さくできる。

[0055] また、画素の全容量が大きいということは、画素に所定の電圧を印加するために、多くの電荷を必要とする。TFT基板100A'は、従来のアモルファスTFTよりも電流供給能力の高い、酸化物半導体TFTを備えているので、画素の容量の増大によって表示品位が低下することがない。

[0056] 次に、TFT基板100Aの製造方法を説明する。

[0057] 本発明の実施形態における半導体装置100Aの製造方法は、基板2を用意する工程(a)と、基板2上にゲート電極3およびゲート絶縁層4を形成する工程(b)と、ゲート絶縁層4の上に酸化物半導体膜5'を形成する工程(c)と、酸化物半導体膜5'の上にソース電極6sおよびドレイン電極6dを形成する工程(d)と、ソース電極6sおよびドレイン電極6dの上に誘電体層8を形成する工程(e)と、工程(c)の前または後に、酸化物半導体膜5'の一部に接し、酸化物半導体膜5'の酸化物半導体を還元する性質を有する還元絶縁層8aを形成する工程であって、それにより酸化物半導体膜5'のうち還元絶縁層8aと接する部分に第1透明電極7を形成し、還元されなかった部分に酸化物半導体層5を形成する工程(f)と、誘電体層8の上に第2透明電極9を形成する工程であって、第2透明電極7の少なくとも一部は誘電体層8を介して第1透明電極7と重なる、工程(g)と、

を包含する。

[0058] このような半導体装置の製造方法は、簡略化された半導体装置の製造方法であるので、製造コストを削減し得る。

[0059] 次に、図4を参照しながら、TFT基板100Aの製造方法の一例を詳細に説明する。

[0060] 図4(a)～図4(e)は、TFT基板100Aの製造方法の一例を説明するための模式的な工程断面図である。

[0061] まず、図4(a)に示すように、基板2上にゲート電極3を形成する。基板2としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。ゲート電極3はスパッタ法で基板2上に導電膜を形成した後、フォトリソグラフィ法により導電膜のパターニングを行うことによって形成できる。ここでは、導電膜として、基板2側からTa₂N膜（厚さ：約50nm）およびW膜（厚さ：約370nm）をこの順で有する2層構造の積層膜を用いる。なお、第1導電膜として、例えば、Ti、Mo、Ta、W、Cu、AlまたはCrなどの単層膜、それらを含む積層膜、合金膜またはこれらの窒化金属膜などを用いてもよい。

[0062] 続いて、図4(b)に示すように、CVD（Chemical Vapor deposition）法により、ゲート電極3を覆うように下部ゲート絶縁層4aおよび上部ゲート絶縁層4bを形成する。ここでは、下部ゲート絶縁層4aはSi₃N₄膜（厚さ：約325nm）から形成され、上部ゲート絶縁層4bはSiO₂膜（厚さ：約50nm）から形成される。上部ゲート絶縁層4bは、例えばSiO₂、SiO_xN_y（酸化窒化シリコン、 $x > y$ ）、SiN_xO_y（窒化酸化シリコン、 $x > y$ ）、Al₂O₃またはTa₂O₅から形成され得る。下部ゲート絶縁層4aは、例えばSi₃N₄、SiO₂、SiO_xN_y（酸化窒化シリコン、 $x > y$ ）、SiN_xO_y（窒化酸化シリコン、 $x > y$ ）、Al₂O₃またはTa₂O₅から形成され得る。

[0063] 続いて、図4(c)に示すように、上部ゲート絶縁層4b上に酸化物半導体膜5'をスパッタ法にて形成する。酸化物半導体膜5'として例えばIG

ZO系半導体膜を用いる。酸化物半導体膜5'の厚さは約50nmである。

[0064] この後、酸化物半導体5'の上に、スパッタ法によりソース電極6sおよびドレイン電極6dを形成する導電膜（不図示）を形成する。次に、ハーフトーンマスクを用いたフォトリソグラフィ法、ドライエッチング法およびアッシング法により上記の導電膜および酸化物半導体膜5'を同時にパターニングして、酸化物半導体膜5'を所望の形状にパターニングするとともにソース電極6sおよびドレイン電極6dを形成する。このように、1枚のフォトマスクで、ソース電極6sおよびドレイン電極6dの形成ならびに酸化物半導体膜5'のパターニングを行えるので、製造プロセスを簡略化でき、製造コストを削減し得る。ソース電極6sおよびドレイン電極6dは、例えばTi／Al／Tiの積層構造を有する。下層のTi層の厚さは約50nmであり、Al層の厚さは約200nmであり、上層のTi層の厚さは約100nmである。

[0065] 続いて、図4（d）に示すように、酸化物半導体膜5'のチャネル領域を覆わないように還元絶縁層8aをCVD法およびフォトリソグラフィ法で形成する。本実施形態において、還元絶縁層8aを成膜する条件として、基板温度約100℃以上約250℃以下（例えば、約220℃）で、SiH₄とNH₃との混合ガスの流量比（SiH₄の流量／NH₃の流量）が4以上20以下となるような条件を用いた。基板2の法線方向から見たとき、還元絶縁層8aの端部がドレイン電極6dと重なる場合もある。このように還元絶縁層8aを形成すると、ドレイン電極6dのチャネル領域側とは反対側に位置する端部付近まで後述する第1透明電極7を形成することができ、画素の開口率が高まる。還元絶縁層8aは例えばSiN_xから形成され、その厚さは約100nmである。

[0066] 酸化物半導体膜5'のうち還元絶縁層8aと接触する部分は、還元絶縁層8aに含まれる例えば水素によって還元されて第1透明電極7が形成される。また、水素の拡散により、酸化物半導体膜5'のうちドレイン電極6dの下に位置する部分も低抵抗化されて、第1透明電極7の一部となる場合もある。

る。また、酸化物半導体膜 5' のうち低抵抗化されなかった部分に酸化物半導体層 5 が形成される。

[0067] 続いて、図 4 (e) に示すように、第 1 透明電極 7 の上に、酸化物半導体層 5 のチャネル領域と接する絶縁保護層 8 b を CVD 法で形成する。本実施形態では、還元絶縁層 8 a および絶縁保護層 8 b は、誘電体層 8 を構成する。絶縁保護層 8 b は例えば SiO_2 から形成されている。絶縁保護層 8 b の厚さは約 265 nm である。なお、絶縁保護層 8 b には不図示のコンタクトホールが公知の方法で形成されている。また、絶縁保護層 8 b を形成した後に、絶縁保護層 8 b を成膜する成膜温度以上の温度（例えば約 300℃）で、熱処理（アニール処理）してもよい。これにより、還元絶縁層 8 a に含まれる水素を酸化物半導体膜 5' 中により拡散することができ、上述の第 1 透明電極 7 の電気抵抗をより小さくし得る。

[0068] 続いて、図 1 (b) に示したように、絶縁保護層 8 b の上にスパッタ法などで透明導電膜を形成し、これをパターニングすることにより第 2 透明電極 9 を形成する。第 2 透明電極 9 の少なくとも一部は、誘電体層 8 を介して第 1 透明電極 7 と重なる。第 2 透明電極 9 は例えば ITO から形成され、その厚さは約 100 nm である。

[0069] また、図示していないが、この第 2 透明電極 9 を形成するための透明導電膜は共通電極だけでなく、ソース配線（ソースバスライン）と同じ導電膜から形成されたソースメタル層、またはゲート配線（ゲートバスライン）と同じ導電膜から形成されたゲートメタル層と電気的な接続をさせる際に用いられる引き出し配線として活用できる。これにより、例えば駆動回路を一体的に形成した TFT 基板を形成することができ、これにより高品位な表示装置を製造することが可能となる。

[0070] 次に、図 5 を参照しながら本発明による実施形態における TFT 基板 100B を説明する。図 5 は、TFT 基板 100B の模式的な断面図であり、図 1 (b) の TFT 基板 100A の断面図に対応している。TFT 基板 100A と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0071] 図5に示すTFT基板100Bは、TFT基板100Aの還元絶縁層8aが第1透明電極7の上に形成されておらず、第1透明電極7が下部のゲート絶縁層4aと接しているTFT基板である。TFT基板100Bにおいては、第1透明電極7の上に還元絶縁層8aを形成する代わりに、第1透明電極7の下に位置する下部のゲート絶縁層4aを還元絶縁層8aとして機能させ、下部のゲート絶縁層4aを第1透明電極7に接触させている。従って、下部のゲート絶縁層4aは還元絶縁層8aを形成する材料から形成されており、酸化物半導体層5は、下部のゲート絶縁層4aと接触していない。TFT基板100Bにおいて、誘電体層8は絶縁保護層8bを有し、還元絶縁層8aを有していない。

[0072] 次に、図6を参照しながらTFT基板100Bの製造方法の一例を説明する。図6(a)および図6(b)は、TFT基板100Bの製造方法を説明する模式的な工程断面図である。

[0073] 図6(a)に示すように、公知の方法で、基板2上にゲート電極3、下部のゲート絶縁層4aおよび上部のゲート絶縁層4bを形成する。このとき、下部のゲート絶縁層4aは、上述した還元絶縁層8aを形成する材料から形成される。また、上部のゲート絶縁層4bはパターニングされて、下部のゲート絶縁層4bの一部が露出される。

[0074] 次に、上述した方法で、上部および下部のゲート絶縁層4aおよび4b上に、酸化物半導体膜5'を形成し、酸化物半導体膜5'の上にソース電極6sおよびドレイン電極6dを形成する。

[0075] 図6(b)に示すように、酸化物半導体膜5'のうち下部のゲート絶縁層4aと接する部分には上述した還元作用により低抵抗化されて第1透明電極7が形成され、酸化物半導体膜のうち低抵抗化されなかった部分には酸化物半導体層5が形成される。酸化物半導体層5は、上部のゲート絶縁層4bと接するように形成される。

[0076] 続いて、上述した方法で第1透明電極7の上に、酸化物半導体層5のチャネル領域と接する絶縁保護層8bを形成して誘電体層8を形成する。その後

、絶縁保護層 8 b の上に第 1 透明電極 9 を形成し、図 5 に示した T F T 基板 1 0 0 B が製造される。

[0077] 次に、図 7 を参照しながら本発明による実施形態における T F T 基板 1 0 0 C を説明する。図 7 は、図 1 (b) に対応する T F T 基板 1 0 0 C の模式的な断面図である。T F T 基板 1 0 0 A と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0078] 図 7 に示す T F T 基板 1 0 0 C は、T F T 基板 1 0 0 B の第 1 透明電極 7 の上に還元絶縁層 8 a が形成されている T F T 基板である。従って、T F T 基板 1 0 0 C においては、第 1 透明電極 7 は、還元絶縁層 8 a および還元絶縁層 8 a を形成する材料から形成された下部のゲート絶縁層 4 a と接している。T F T 基板 1 0 0 C において、誘電体層 8 は還元絶縁層 8 a と絶縁保護層 8 b とを有する。T F T 基板 1 0 0 C において、下部のゲート絶縁層 4 a は還元絶縁層 8 a を形成する材料から形成されている。

[0079] 次に、図 8 を参照しながら T F T 基板 1 0 0 C の製造方法の他の一例を説明する。図 8 は、T F T 基板 1 0 0 C の製造方法を説明する模式的な工程断面図である。

[0080] 上述したように、基板 2 上にゲート電極 3、下部のゲート絶縁層 4 a、上部のゲート絶縁層 4 b、酸化物半導体膜 5'、ソース電極 6 s およびドレイン電極 6 d を形成する（図 6 (a) および図 6 (b) を参照）。

[0081] 続いて、図 8 に示すように、酸化物半導体膜 5' の上に還元絶縁層 4 a を上述した方法で形成する。還元絶縁層 4 a は、酸化物半導体膜 5' のチャネル領域に接しないように形成される。また、基板 2 の法線方向からみたとき、還元絶縁層 4 a の端部はドレイン電極 6 d と重なることが好ましい。

[0082] 酸化物半導体膜 5' のうち下部のゲート絶縁層 4 a または還元絶縁層 4 a と接する部分は低抵抗化されて、第 1 透明電極 7 が形成される。酸化物半導体膜 5' のうち低抵抗化されなかった部分には、酸化物半導体層 5 が形成される。

[0083] 続いて、上述したように、還元絶縁層 8 a の上に、酸化物半導体層 5 のチ

ャネル領域と接する絶縁保護層 8 b を形成し、絶縁保護層 8 b の上に第 2 透明電極 9 を形成して、図 7 に示した T F T 基板 1 0 0 C は製造される。

[0084] 次に、図 9 を参照しながら本発明による実施形態における T F T 基板 1 0 0 D を説明する。図 9 は、図 1 (b) に対応する T F T 基板 1 0 0 D の模式的な断面図である。T F T 基板 1 0 0 A と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0085] 図 9 に示す T F T 基板 1 0 0 D は、基板 2 上にゲート電極 3 と、ゲート電極 3 上に形成されたゲート絶縁層 4 と、ゲート絶縁層 4 の上に形成された還元絶縁層 8 a および酸化物半導体層 5 と、酸化物半導体層 5 の上に形成されたソース電極 6 s およびドレイン電極 6 d と、ソース電極 6 s およびドレイン電極 6 d の上に形成された誘電体層 8 と、誘電体層 8 の上に形成された第 2 透明電極 9 とを有する。

[0086] T F T 基板 1 0 0 D において、第 1 透明電極 7 の下に還元絶縁層 8 a が形成されている。還元絶縁層 8 a は、第 1 透明電極 7 と接し、酸化物半導体層 5 とは接していない。ゲート絶縁層 4 は、上述した上部のゲート絶縁層 4 b を形成する材料から形成されている。誘電体層 8 は、上述した絶縁保護層 8 b を有し、還元絶縁層 8 a を有しない。この例では、誘電体層 8 は、還元絶縁層 8 a を有してもよい。ゲート絶縁層 4 および絶縁保護層 8 b は、酸化物半導体層 5 と接している。

[0087] 以上、本発明の実施形態によると、製造コストを抑えつつ、表示品位の高い表示パネルを製造し得る半導体装置およびその半導体装置の製造方法が提供される。

産業上の利用可能性

[0088] 本発明は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス (E L) 表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。

符号の説明

[0089]	2	基板
	3	ゲート電極
	4	ゲート絶縁層
	4 a	下部のゲート絶縁層
	4 b	上部のゲート絶縁層
	5	酸化物半導体層
	6 s	ソース電極
	6 d	ドレイン電極
	7	第1透明電極
	8	誘電体層
	8 a	還元絶縁層
	8 b	絶縁保護層
	9	第2透明電極
	5 0	液晶層
	1 0 0 A	半導体装置（T F T基板）
	2 0 0	対向基板
	5 0 0	液晶表示装置

請求の範囲

- [請求項1] 基板と、
前記基板の上に形成されたゲート電極と、
前記ゲート電極の上に形成されたゲート絶縁層と、
前記ゲート絶縁層の上に形成された酸化物半導体層と、
前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
前記ドレイン電極と電氣的に接続された第1透明電極と、
前記ソース電極および前記ドレイン電極の上に形成された誘電体層と、
前記誘電体層の上に形成された第2透明電極とを有し、
前記第2透明電極の少なくとも一部は、前記誘電体層を介して前記第1透明電極と重なっており、
前記第1透明電極の上面および下面の少なくとも一方は、前記酸化物半導体層に含まれる酸化物半導体を還元する性質を有する還元絶縁層と接しており、
前記還元絶縁層は、前記酸化物半導体層のチャネル領域に接しておらず、
前記酸化物半導体層および前記第1透明電極は、同一の酸化物膜から形成されている、半導体装置。
- [請求項2] 前記誘電体層は、前記還元絶縁層と、前記酸化物半導体層のチャネル領域に接する酸化物絶縁層とを有する、請求項1に記載の半導体装置。
- [請求項3] 前記ゲート絶縁層は、前記還元絶縁層と、前記酸化物半導体層の下面と接する酸化物絶縁層とを有する、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1透明電極の上に前記ドレイン電極が形成され、
前記第1透明電極は前記ドレイン電極に直接接している、請求項1

から3のいずれかに記載の半導体装置。

[請求項5] 前記基板の法線方向から見たとき、
前記還元絶縁層の端部は、前記ドレイン電極と重なる、請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記酸化物膜は、In、GaおよびZnを含む、請求項1から5のいずれかに記載の半導体装置。

[請求項7] 基板を用意する工程(a)と、
基板上にゲート電極およびゲート絶縁層を形成する工程(b)と、
前記ゲート絶縁層の上に酸化物半導体膜を形成する工程(c)と、
前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程(d)と、

前記ソース電極および前記ドレイン電極の上に誘電体層を形成する工程(e)と、

前記工程(c)の前または後に、前記酸化物半導体膜の一部に接し、前記酸化物半導体膜の酸化物半導体を還元する性質を有する還元絶縁層を形成する工程であって、それにより前記酸化物半導体膜のうち前記還元絶縁層と接する部分に第1透明電極を形成し、還元されなかった部分に酸化物半導体層を形成する工程(f)と、

前記誘電体層の上に第2透明電極を形成する工程であって、前記第2透明電極の少なくとも一部は前記誘電体層を介して前記第1透明電極と重なる、工程(g)と、

を包含する、半導体装置の製造方法。

[請求項8] 前記工程(f)は、前記工程(b)に含まれる、請求項7に記載の半導体装置の製造方法。

[請求項9] 前記工程(f)は、前記工程(e)に含まれる、請求項7または8に記載の半導体装置の製造方法。

[請求項10] 前記誘電体層および前記ゲート絶縁層の少なくとも1つは、酸化物絶縁層を含み、

前記酸化物絶縁層は、前記酸化物半導体層と接している、請求項 7 から 9 のいずれかに記載の半導体装置の製造方法。

[請求項11] 前記基板の法線方向から見たとき、
前記還元絶縁層の端部は、前記ドレイン電極と重なる、請求項 7 から 10 のいずれかに記載の半導体装置の製造方法。

[請求項12] 前記酸化物半導体層は In-Ga-Zn-O 系の半導体を含む請求項 1 から 6 のいずれかに記載の半導体装置。

[請求項13] 前記酸化物半導体膜は In-Ga-Zn-O 系の半導体を含む請求項 7 から 11 のいずれかに記載の半導体装置の製造方法。