

数据处理电路及设备

5 本申请要求于 2021 年 03 月 19 日提交中国专利局、申请号为 202110296073.X、
申请名称为“数据处理电路及设备”的中国专利申请的优先权，其全部内容通过引用结
合在本申请中。

技术领域

10 本申请涉及但不限于一种数据处理电路及设备。

背景技术

在存储器中，通过存储阵列存储数据，存储器中的存储阵列可以为一个或多个。
其中一种常用的存储器可以为 DRAM（dynamic random access memory，动态随机存取
存储器），DRAM 为一种内存。为了提高 DRAM 的读写效率，在 DDR（double data
15 rate，双倍速率）DRAM 中，其内部的存储阵列通常划分为若干 BG（bank group，分
组），不同 BG 之间进行交叉读写。与每个 BG 相连接的数据线路需要在中心区域进
行合并，合并之后的数据线路共用一个数据总线，以实现数据的读取。
然而，上述方案中的中心区域的电路尺寸较大。

20 发明内容

本申请实施例提供一种数据处理电路及设备，包括：
第一存储组和第二存储组；
写入电路，包括一个写入输入缓存电路，通过所述写入输入缓存电路从写入总线接收
存储数据，通过第一读写总线向所述第一存储组写入所述存储数据，通过第二读写总线向
25 所述第二存储组写入所述存储数据；
读取电路，包括一个读取输出缓存电路，通过所述第一读写总线从所述第一存储组读
取所述存储数据，通过所述第二读写总线从所述第二存储组读取所述存储数据，通过所述
读取输出缓存电路向读取总线发送所述存储数据。
本申请实施例还提供一种存储器，包括：
30 两个上述数据处理电路，两个所述数据处理电路中的写入电路与同一写入总线连接，
两个所述数据处理电路中的读取电路与同一读取总线连接。
本申请实施例还提供一种电子设备，包括：上述存储器。
本申请实施例所提供了一种数据处理电路及设备，其中，数据处理电路包括：第一存
储组和第二存储组；写入电路，包括一个写入输入缓存电路，通过所述写入输入缓存电路
35 从写入总线接收存储数据，通过第一读写总线向所述第一存储组写入所述存储数据，通过
第二读写总线向所述第二存储组写入所述存储数据；读取电路，包括一个读取输出缓存电
路，通过所述第一读写总线从所述第一存储组读取所述存储数据，通过所述第二读写总线
从所述第二存储组读取所述存储数据，通过所述读取输出缓存电路向读取总线发送所述存

储数据。本申请实施例的每个写入电路包括一个写入输入缓存电路，每个读取电路包括一个读取输出缓存电路，由于写入电路和读取电路位于中心区域，从而可以减小中心区域的电路尺寸。

5 附图说明

图 1 示例性示出了现有技术中的一种存储器 DDR DRAM 的结构示意图；
图 2、图 3 示例性示出了本申请实施例提供的两种数据处理电路的结构示意图；
图 4 示例性示出了本申请实施例提供的第一读写总线、第二读写总线的排列示意图；
图 5、图 6 示例性示出了本申请实施例提供的两种数据处理电路的结构示意图；
图 7 示例性示出了本申请实施例提供的一种数据写入过程的时序图；
图 8 至图 11 示例性示出了本申请实施例提供的四种存储器的结构图；
图 12 示例性示出了本申请实施例提供的半锁存器的电路结构示意图；
图 13 示例性示出了本申请实施例提供的全锁存器的电路结构示意图；
图 14、图 15 示例性示出了本申请实施例提供的数据处理电路的两种具体结构示意图。

15

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本申请的实施例例如能够以除了在这里图示或描述的那些以外的顺序实施。

此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

本申请实施例可以应用于数据存取场景中，例如，将存储数据写入存储器或从存储器中读取存储数据。其中，本申请实施例中的存储器是内存。

图 1 示例性示出了现有技术中的一种存储器 DDR DRAM 的结构示意图。参照图 1 所示，DDR DRAM 包括四个用于存储数据的 BG：BG0、BG1、BG2 和 BG3。其中，BG0 和 BG1 并列设置在一排中，BG2 和 BG3 并列设置在另一排中，BG0 和 BG1 所在的排与 BG2 和 BG3 所在的排平行。

此外，上述两列之间存在一个中心区域 100，中心区域 100 中的电路用于控制向各个 BG 中写入存储数据和从各个 BG 中读取存储数据。在中心区域 100 中存在四个电路：写入电路 101、写入电路 103、读取电路 102 和读取电路 104。

其中，写入电路 101 用于将写入总线 106 中的存储数据写入 BG0 和 BG1，写入电路 103 用于将写入总线 106 中的存储数据写入 BG2 和 BG3，读取电路 102 用于将从 BG0 和

BG1 中读取的存储数据发送给读取总线 105，读取电路 104 用于将从 BG2 和 BG3 中读取的存储数据发送给读取总线 105。

上述写入总线 106 中的存储数据是从 DQ (data queue, 数据队列) 中获取的存储数据。

对于上述写入电路 101, 其中包括写入输入缓存电路 1013 和写入输入缓存电路 1016、
5 写入控制电路 1012 和写入控制电路 1015、写入输出缓存电路 1011 和写入输出缓存电路 1014。

可以看出，写入输入缓存电路 1013、写入控制电路 1012、写入输出缓存电路 1011 用于向 BG0 中写入存储数据，写入输入缓存电路 1016、写入控制电路 1015、写入输出缓存电路 1014 用于向 BG1 中写入存储数据。

10 其中，写入输入缓存电路 1013 一端与写入总线 106 连接，另一端与写入控制电路 1012 连接，用于将从写入总线 106 中获取的存储数据发送给写入控制电路 1012。

写入控制电路 1012 的一端与上述写入输入缓存电路 1013 连接，另一端与写入输出缓存电路 1011 连接，用于将从写入输入缓存电路 1013 中接收的存储数据发送给写入输出缓存电路 1011。

15 写入输出缓存电路 1011 的一端与上述写入控制电路 1012 连接，另一端与 BG0 连接，用于将从写入控制电路 1012 接收的存储数据发送给 BG0。

同理，写入输入缓存电路 1016 一端与写入总线 106 连接，另一端与写入控制电路 1015 连接，用于将从写入总线 106 接收的存储数据发送给写入控制电路 1015。

20 写入控制电路 1015 的一端与上述写入输入缓存电路 1016 连接，另一端与写入输出缓存电路 1014 连接，用于将从写入输入缓存电路 1016 接收的存储数据发送给写入输出缓存电路 1014。

写入输出缓存电路 1014 的一端与上述写入控制电路 1015 连接，另一端与 BG1 连接，用于将从写入控制电路 1015 接收的存储数据发送给 BG1。

可以理解的是，对于写入电路 103，其结构与写入电路 101 相同，区别在于写入电路
25 103 中的两个写入输出缓存电路分别与 BG2、BG3 连接，用于将存储数据写入 BG2 和 BG3 中。

对于上述读取电路 102, 其中包括读取输出缓存电路 1023 和读取输出缓存电路 1026、读取控制电路 1022 和读取控制电路 1025、读取输入缓存电路 1021 和读取输入缓存电路 1024。

30 可以看出，读取输入缓存电路 1021、读取控制电路 1022、读取输出缓存电路 1023 用于从 BG0 中读取存储数据，读取输入缓存电路 1024、读取控制电路 1025、读取输出缓存电路 1026 用于从 BG1 中读取存储数据。

其中，读取输入缓存电路 1021 一端与 BG0 连接，另一端与读取控制电路 1022 连接，用于将从 BG0 中读取的存储数据发送给读取控制电路 1022。

35 读取控制电路 1022 的一端与上述读取输入缓存电路 1021 连接，另一端与读取输出缓存电路 1023 连接，用于将从读取输入缓存电路 1021 中接收的存储数据发送给读取输出缓存电路 1023。

读取输出缓存电路 1023 的一端与上述读取控制电路 1022 连接，另一端与读取总线 105 连接，用于将从读取控制电路 1022 中接收的存储数据发送给读取总线 105。

同理，读取输入缓存电路 1024 一端与 BG1 连接，另一端与读取控制电路 1025 连接，用于将从 BG1 中读取的存储数据发送给读取控制电路 1025。

读取控制电路 1025 的一端与上述读取输入缓存电路 1024 连接，另一端与读取输出缓存电路 1026 连接，用于将从读取输入缓存电路 1024 中接收的存储数据发送给读取输出缓存电路 1026。

读取输出缓存电路 1026 的一端与上述读取控制电路 1025 连接，另一端与读取总线 105 连接，用于将从读取控制电路 1025 中接收的存储数据发送给读取总线 105。

可以理解的是，对于读取电路 104，其结构与读取电路 102 相同，区别在于读取电路 104 中的两个读取输入缓存电路分别与 BG2、BG3 连接，用于将 BG2 和 BG3 中的存储数据发送给读取总线 105。

然而，上述存储器的中心区域 100 的电路尺寸较大。

为了解决上述问题，申请人对上述电路进行研究之后发现，向 BG0 和 BG1 中写入存储数据的过程是交替进行的，两者的写入时间不同，从而两者之间不存在写入冲突。此外，向 BG0 和 BG1 中读取存储数据的过程也是交替进行的，两者的读取时间不同，从而两者之间不存在读取冲突。同理，BG2 和 BG3 也不存在写入冲突和读取冲突。

基于上述发现，本申请实施例可以进行以下至少一种电路合并：BG0 和 BG1 对应的写入输入缓存电路的合并、BG0 和 BG1 对应的写入控制电路的合并、BG0 和 BG1 对应的读取输出缓存电路的合并、BG0 和 BG1 对应的读取控制电路的合并、BG2 和 BG3 对应的写入输入缓存电路的合并、BG2 和 BG3 对应的写入控制电路的合并、BG2 和 BG3 对应的读取输出缓存电路的合并、BG2 和 BG3 对应的读取控制电路的合并。如此，合并之后的中心区域的电路尺寸可以减小。

下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图，对本申请的实施例进行描述。

图 2 和图 3 示例性示出了本申请实施例提供的两种数据处理电路的结构示意图。参照图 2 和图 3 所示，上述数据处理电路主要包括：

第一存储组 201 和第二存储组 202；写入电路 203，写入电路 203 中包括一个写入输入缓存电路 2031，写入电路 203 通过写入输入缓存电路 2031 从写入总线 206 接收存储数据，写入电路 203 通过第一读写总线 207 向第一存储组 201 写入存储数据，写入电路 203 通过第二读写总线 208 向第二存储组 202 写入存储数据；读取电路 204，读取电路 204 中包括一个读取输出缓存电路 2041，读取电路 204 通过第一读写总线 207 从第一存储组 201 中读取存储数据，读取电路 204 通过第二读写总线 208 从第二存储组 202 读取存储数据，读取电路 204 通过读取输出缓存电路 2041 向读取总线 205 发送存储数据。

其中，第一存储组 201 和第二存储组 202 的数据读写时间不同。上述第一存储组 201 和第二存储组 202 是交替存储数据的两个存储组，同时，也是交替写入存储数据的两个存储组，即向第一存储组 201 和第二存储组 202 中交替写入存储数据，从第一存储组 201 和第二存储组 202 中交替读取存储数据。此外，第一存储组 201 和第二存储组 202 的数据读写逻辑相同，从而可以将第一存储组 201 和第二存储组 202 的写入电路进行合并，将第一存储组 201 和第二存储组 202 的读取电路进行合并。例如，当上述第一存储组 201 为图 1 中的 BG0 时，第二存储组 202 为 BG1；当上述第一存储组 201 为图 1 中的 BG2 时，第二

存储组 202 为 BG3。

从图 2 中可以看出, 上述写入电路 203 中包括: 写入输入缓存电路 2031、第一写入控制电路 2032、第二写入控制电路 2034、第一写入输出缓存电路 2033 和第二写入输出缓存电路 2035。

- 5 其中, 写入输入缓存电路 2031, 分别与写入总线 206、第一写入控制电路 2032、第二写入控制电路 2034 连接, 用于将从写入总线 206 中获取的存储数据发送给第一写入控制电路 2032、第二写入控制电路 2034。

第一写入控制电路 2032, 分别与写入输入缓存电路 2031、第一写入输出缓存电路 2033 连接, 用于将写入输入缓存电路 2031 发送的存储数据发送给第一写入输出缓存电路 2033。

- 10 第二写入控制电路 2034, 分别与写入输入缓存电路 2031、第二写入输出缓存电路 2035 连接, 用于将写入输入缓存电路 2031 发送的存储数据发送给第二写入输出缓存电路 2035。第一写入输出缓存电路 2033, 分别与第一写入控制电路 2032、第一存储组 201 连接, 将第一写入控制电路 2032 发送的存储数据发送给第一存储组 201。

- 15 第二写入输出缓存电路 2035, 分别与第二写入控制电路 2034、第二存储组 202 连接, 将第二写入控制电路 2034 发送的存储数据发送给第二存储组 202。

- 20 其中, 第一写入输出缓存电路 2033 与第一存储组 201 通过第一读写总线 207 连接, 第二写入输出缓存电路 2035 与第二存储组 202 通过第二读写总线 208 连接。本申请实施例可以通过图 2 中的写入输入缓存电路 2031、第一写入控制电路 2032、第一写入输出缓存电路 2033, 将写入总线 206 中的存储数据写入到第一存储组 201 中, 通过写入输入缓存电路 2031、第二写入控制电路 2034、第二写入输出缓存电路 2035 将写入总线 206 中的存储数据写入到第二存储组 202 中。

从图 2 中可以看出, 上述读取电路 204 中包括: 读取输出缓存电路 2041、第一读取控制电路 2042、第二读取控制电路 2044、第一读取输入缓存电路 2043 和第二读取输入缓存电路 2045。

- 25 其中, 第一读取输入缓存电路 2043, 分别与第一存储组 201、第一读取控制电路 2042 连接, 用于将从第一存储组 201 中获取的存储数据发送给第一读取控制电路 2042。

第二读取输入缓存电路 2045, 分别与第二存储组 202、第二读取控制电路 2044 连接, 用于将从第二存储组 202 中获取的存储数据发送给第二读取控制电路 2044。

- 30 第一读取控制电路 2042, 分别与第一读取输入缓存电路 2043、读取输出缓存电路 2041 连接, 用于将从第一读取输入缓存电路 2043 获取的存储数据发送给读取输出缓存电路 2041。

第二读取控制电路 2044, 分别与第二读取输入缓存电路 2045、读取输出缓存电路 2041 连接, 用于将从第二读取输入缓存电路 2045 获取的存储数据发送给读取输出缓存电路 2041。

- 35 读取输出缓存电路 2041, 分别与第一读取控制电路 2042、第二读取控制电路 2044、读取总线 205 连接, 用于将从第一读取控制电路 2042、第二读取控制电路 2044 中获取的存储数据, 发送给读取总线 205。

其中, 第一读取输入缓存电路 2043 和第一存储组 201 之间通过第一读写总线 207 连接, 第二读取输入缓存电路 2045 和第二存储组 202 之间通过第二读写总线 208 连接。本申请实施例可以通过图 2 中的第一读取输入缓存电路 2043、第一读取控制电路 2042、读取输出缓存电路 2041, 将第一存储组 201 中的存储数据读取到读取总线 205 上, 可以通过

第二读取输入缓存电路 2045、第二读取控制电路 2044、读取输出缓存电路 2041，将第二存储组 202 中的存储数据读取到读取总线 205 上。

从图 3 中可以看出，写入电路 203 中包括：写入输入缓存电路 2031、写入控制电路 2036、第一写入输出缓存电路 2033 和第二写入输出缓存电路 2035。

5 其中，写入输入缓存电路 2031，分别与写入总线 206、写入控制电路 2036 连接，用于将从写入总线 206 中获取的存储数据发送给写入控制电路 2036。

写入控制电路 2036，分别与写入输入缓存电路 2031、第一写入输出缓存电路 2033、第二写入输出缓存电路连接 2035，用于将写入输入缓存电路 2031 发送的存储数据发送给第一写入输出缓存电路 2033 或第二写入输出缓存电路 2035。

10 第一写入输出缓存电路 2033，与第一存储组 201 连接，将写入控制电路 2036 发送的存储数据发送给第一存储组 201。

第二写入输出缓存电路 2035，与第二存储组 202 连接，将写入控制电路 2036 发送的存储数据发送给第二存储组 202。

本申请实施例可以通过图 3 中的写入输入缓存电路 2031、写入控制电路 2036、第一
15 写入输出缓存电路 2033，将写入总线 206 上的存储数据写入到第一存储组 201 中，可以通过写入输入缓存电路 2031、写入控制电路 2036、第二写入输出缓存电路 2035，将写入总线 206 上的存储数据写入到第二存储组 202 中。可选地，图 2 或 3 中的写入输入缓存电路 2031 通过第一控制信号接收存储数据，该第一控制信号的频率与写入存储数据的时钟频率相同。

20 上述写入输入缓存电路 2031 在从写入总线 206 上接收存储数据的过程中，需要依赖于第一控制信号的频率，第一控制信号的频率即为第一控制信号接收存储数据的频率。例如第一控制信号可以为一时钟信号，在每一个时钟信号的上升沿或下降沿将写入总线 206 上的存储数据转移到写入输入缓存电路 2031。

可以理解的是，当第一控制信号的频率大于写入存储数据的时钟频率时，写入输入缓存
25 电路 2031 在部分时刻无存储数据可接收，浪费写入输入缓存电路 2031 的资源；当第一控制信号的频率小于写入存储数据的时钟频率时，写入输入缓存电路 2031 会漏掉部分需要写入的存储数据。本申请实施例可以使第一控制信号的频率与写入存储数据的时钟频率相同，不仅可以节约资源还可以避免遗漏需要写入的存储数据。

可选地，图 2 或 3 中的第一写入输出缓存电路 2033 通过第二控制信号将存储数据写入
30 第一存储组 201 中，第二写入输出缓存电路 2035 通过第三控制信号将存储数据写入第二存储组 202 中，第二控制信号的频率与第三控制信号的频率为第一控制信号的频率的一半，第二控制信号的下降沿和第三控制信号的下降沿交替出现。

可以理解的是，写入电路 203 用于向第一存储组 201 和第二存储组 202 交替写入存储数据，从而第二控制信号的下降沿和第三控制信号的下降沿交替出现。对于图 2 所示的
35 写入电路 203，当第二控制信号的下降沿出现时，第一写入输出缓存电路 2033 将从第一写入控制电路 2032 中获取的存储数据写入第一存储组 201，当第三控制信号的下降沿出现时，第二写入输出缓存电路 2035 将从第二写入控制电路 2034 中获取的存储数据写入第二存储组 202。应当注意的是，控制信号的下降沿驱动并不构成对驱动方式的限定，在一些实施例中也可以使用上升沿驱动或者电平驱动。

对于图 3 所示的写入电路 203, 当第二控制信号的下降沿出现时, 第一写入输出缓存电路 2033 将从写入控制电路 2036 中获取的存储数据写入第一存储组 201, 当第三控制信号的下降沿出现时, 第二写入输出缓存电路 2035 将从写入控制电路 2036 中获取的存储数据写入第二存储组 202。

5 此外, 第二控制信号和第三控制信号的下降沿的到达频率为第一控制信号的频率的一半, 也就是写入存储数据的时钟频率的一半, 如此, 可以将写入总线 206 上的存储数据均匀、交替写入第一存储组 201 和第二存储组 202。例如, 按照如下顺序向第一存储组 201 和第二存储组 202 写入存储数据: 第一存储组 201-第二存储组 202-第一存储组 201-第二存储组 202-...-第一存储组 201-第二存储组 202, 如此循环。

10 从图 3 中可以看出, 上述读取电路 204 中包括: 读取输出缓存电路 2041、读取控制电路 2046、第一读取输入缓存电路 2043 和第二读取输入缓存电路 2045。

其中, 第一读取输入缓存电路 2043, 与第一存储组 201 连接, 用于从第一存储组 201 读取存储数据。

15 第二读取输入缓存电路 2045, 与第二存储组 202 连接, 用于从第二存储组 202 读取存储数据。

读取控制电路 2046, 分别与第一读取输入缓存电路 2043、第二读取输入缓存电路 2045 连接, 用于将第一读取输入缓存电路 2043 或第二读取输入缓存电路 2045 发送的存储数据发送给读取输出缓存电路 2041。

20 读取输出缓存电路 2041, 分别与读取控制电路 2046、读取总线 205 连接, 用于将从读取控制电路 2046 中获取的存储数据发送给读取总线 205。

其中, 第一读取输入缓存电路 2043 和第一存储组 201 之间通过第一读写总线 207 连接, 第二读取输入缓存电路 2045 和第二存储组 202 之间通过第二读写总线 208 连接。本申请实施例可以通过读取电路 204 中的读取输出缓存电路 2041、读取控制电路 2046、第一读取输入缓存电路 2043, 从第一存储组 201 中读取存储数据到读取总线 205 中, 通过读
25 取电路 204 中的读取输出缓存电路 2041、读取控制电路 2046、第二读取输入缓存电路 2045, 从第二存储组 202 中读取存储数据到读取总线 205 中。

需要说明的是, 图 1 中的写入控制电路 1012、写入控制电路 1015、读取控制电路 1022、读取控制电路 1025 中的数据的时间间隔均相同, 例如, 可以为 5 纳秒, 图 3 中的写入控制电路 2036、读取控制电路 2046 中的数据间隔均为图 1 中的写入控制电路 1012 的一半, 例
30 如, 为 2.5 纳秒。

上述图 3 中的读取总线 205、写入总线 206、第一读写总线 207、第二读写总线 208 的比特数可以根据实际应用场景选定。图 14 示例性示出了本申请实施例提供的一种数据处理电路的具体结构示意图。从图 14 中可以看出, 当读取总线 205、写入总线 206 均为 36(即 [35:0])比特时, 第一读写总线 207、第二读写总线 208 可以为 72(即 [71:0])比特。如此, 对于
35 于同一存储组, 可以同时进行写入和读取。例如, 在通过写入总线 206、第一读写总线 207 的 [35: 0] 比特向第一存储组 201 写入数据的同时, 还可以通过读取总线 205、第一读写总线 207 的 [71: 36] 比特从第一存储组 201 中读取数据。需要说明的是, 图 14 中的数据处理电路可以由多个子电路构成, 例如, 由 9 个子电路构成, 每个子电路的结构与图 14 中的电路结构相同, 但每个子电路的写入总线 206 和读取总线 205 均为 4(即 [3:0])比特, 第一读写

总线 207 和第二读写总线 208 均为 8（即[7:0]）比特，并且所有子电路中的第一存储组相同，所有子电路中的第二存储组相同。

可选地，图 2 或 3 中的第一读取输入缓存电路 2043 通过第四控制信号读取存储数据，第二读取输入缓存电路 2045 通过第五控制信号读取存储数据，第四控制信号的频率和第五控制信号的频率相同，第四控制信号中的下降沿和第五控制信号中的下降沿交替出现。

可以理解的是，读取电路 204 用于从第一存储组 201 和第二存储组 202 中交替读取存储数据，从而第四控制信号的下降沿和第五控制信号的下降沿交替出现。当第四控制信号的下降沿出现时，第一读取输入缓存电路 2043 从第一存储组 201 中读取存储数据，当第五控制信号的下降沿出现时，第二读取输入缓存电路 2045 从第二存储组 202 中读取存储数据。

此外，第四控制信号和第五控制信号的下降沿的到达频率相同，如此，可以从第一存储组 201 和第二存储组 202 中均匀、交替读取存储数据。例如，按照如下顺序从第一存储组 201 和第二存储组 202 中读取存储数据：第一存储组 201-第二存储组 202-第一存储组 201-第二存储组 202-...-第一存储组 201-第二存储组 202，如此循环。

可选地，图 2 或 3 中的读取输出缓存电路 2041 通过第六控制信号将存储数据发送给读取总线 205，第六控制信号的频率是第四控制信号的频率的两倍。

其中，第六控制信号的频率为第六控制信号中下降沿的到达频率，第六控制信号的下降沿到达时，读取输出缓存电路 2041 将存储数据发送给读取总线 205。由于读取输出缓存电路 2041 不仅要第一读取输入缓存电路 2043 从第一存储组 201 中读取的存储数据发送给读取总线 205 上，还需要将第二读取输入缓存电路 2045 从第二存储组 202 中读取的存储数据发送到读取总线 205 上，从而第六控制信号的频率是第四控制信号频率的两倍。

当第四控制信号和第五控制信号的下降沿交替进行时，读取输出缓存电路 2041 可以将第一存储组 201 中的存储数据和第二存储组 202 中的存储数据交替发送到读取总线 205 上。

可选地，第一读写总线 207 和第二读写总线 208 交叉排列，第一读写总线 207 包括多个比特的第一子总线，所述第二读写总线 208 包括多个比特的第二子总线，同一比特对应的第一子总线 and 第二子总线延伸至同一高度之后，分别与第一存储组 201、第二存储组 202 连接。

在实际应用中，多个比特的第一子总线可以实现对第一存储组 201 的多比特并行读取或多比特并行写入，多个比特的第二子总线可以实现对第二存储组 202 的多比特并行读取或多比特并行写入。图 4 示例性示出了本申请实施例提供的第一读写总线、第二读写总线的排列示意图。如图 4 所示，第一读写总线 207 包括 5 个比特的第一子总线：b11、b12、b13、b14 和 b15，第二读写总线包括 5 个比特的第二子总线：b21、b22、b23、b24 和 b25，其中，b11 和 b21 为同一比特，b12 和 b22 为同一比特，b13 和 b23 为同一比特，b14 和 b24 为同一比特，b15 和 b25 为同一比特。可以看出，b11 和 b21 延伸至同一高度后，b11 与第一存储组 201 连接，b12 与第二存储组 202 连接，以此类推。

从图 4 中可以看出，上述第一读写总线 207 中包括的第一子总线 and 第二读写总线 208 中包括的第二子总线之间交叉排列。

本申请实施例通过上述读写总线的排列方式可以使同一比特的第一子总线 and 第二子

总线共享一个横向线道，有助于减少线道数量，进而减小数据处理电路的尺寸。

可选地，写入电路 203 和读取电路 204 在第一直线上并列设置，第一存储组 201 和第二存储组 202 在第二直线上并列设置，第一直线和第二直线平行。

需要说明的是，第一直线和第二直线互相平行但不重合，如此，可以方便写入电路 203 和第一存储组 201 之间的线路连接、写入电路 203 和第二存储组 202 之间的线路连接、读取电路 204 和第一存储组 201 之间的线路连接、读取电路 204 和第二存储组 202 之间的线路连接。

可选地，写入电路 203 和读取电路 204 所在的第一区域、第一存储组 201 和第二存储组 202 所在的第二区域在第三直线上并列设置，第三直线和第一直线垂直。

可以理解的是，当第三直线和第一直线垂直，第一直线和第二直线平行时，可以使写入电路、读取电路、第一存储组和第二存储组构成一个近似矩形，有助于尽量减小电路的尺寸。

上文详细说明了在写入过程中，通过一个写入电路对第一存储组和第二存储组进行数据写入的原理，下面再详细说明通过两个写入电路对第一存储组和第二存储组进行数据写入的原理。

图 5 或图 6 示例性示出了本申请实施例提供的第三种数据处理电路的结构示意图。参照图 5 或图 6 所示，该数据处理电路主要包括：

第一存储组 301 和第二存储组 302；两个写入电路 303 和 304，写入电路 303 包括一个写入输入缓存电路 3031，写入电路 304 包括一个写入输入缓存电路 3041，写入电路 303 和 304 分别通过写入输入缓存电路 3031 和 3041 从同一写入总线 306 接收存储数据，通过第一读写总线 307 向第一存储组 301 写入存储数据，通过第二读写总线 308 向第二存储组 302 写入存储数据；两个写入输入缓存电路 3031 和 3041 采用的控制信号的频率均为写入总线 306 写入存储数据的时钟频率的一半，且下降沿交替出现。

其中，第一存储组 301 和第二存储组 302 的详细说明，可以参照第一存储组 201 和第二存储组 202 的详细说明，在此不再赘述。

从图 5 中可以看出，上述写入电路 303 中包括：写入输入缓存电路 3031、第一写入控制电路 3032、第二写入控制电路 3034、第一写入输出缓存电路 3033 和第二写入输出缓存电路 3035。

其中，写入输入缓存电路 3031，分别与写入总线 306、第一写入控制电路 3032、第二写入控制电路 3034 连接，用于将从写入总线 306 中获取的存储数据发送给第一写入控制电路 3032、第二写入控制电路 3034。

第一写入控制电路 3032，分别与写入输入缓存电路 3031、第一写入输出缓存电路 3033 连接，用于将写入输入缓存电路 3031 发送的存储数据发送给第一写入输出缓存电路 3033。

第二写入控制电路 3034，分别与写入输入缓存电路 3031、第二写入输出缓存电路 3035 连接，用于将写入输入缓存电路 3031 发送的存储数据发送给第二写入输出缓存电路 3035。

第一写入输出缓存电路 3033，分别与第一写入控制电路 3032、第一存储组 301 连接，将第一写入控制电路 3032 发送的存储数据发送给第一存储组 301。

第二写入输出缓存电路 3035，分别与第二写入控制电路 3034、第二存储组 302 连接，将第二写入控制电路 3034 发送的存储数据发送给第二存储组 302。

其中，第一写入输出缓存电路 3033 与第一存储组 301 通过第一读写总线 307 连接，第二写入输出缓存电路 3035 与第二存储组 302 通过第二读写总线 308 连接。本申请实施例可以通过图 5 中的写入输入缓存电路 3031、第一写入控制电路 3032、第一写入输出缓存电路 3033，将写入总线 306 中的存储数据写入到第一存储组 301 中，通过写入电路 303 5 中的写入输入缓存电路 3031、第二写入控制电路 3034、第二写入输出缓存电路 3035 将写入总线 306 中的存储数据写入到第二存储组 302 中。

写入电路 304 的结构与 303 相同，在此不再赘述。

本申请实施例可以通过图 5 中的第一支路（写入输入缓存电路 3031、第一写入控制电路 3032、第一写入输出缓存电路 3033 构成的电路），以及，第二支路（写入输入缓存电路 3041、第一写入控制电路 3042、第一写入输出缓存电路 3043 构成的电路），将写入总线 306 中的存储数据并行写入到第一存储组 301 中，通过图 5 中的第三支路（写入输入缓存电路 3031、第二写入控制电路 3034、第二写入输出缓存电路 3035 构成的电路），以及，第四支路（写入输入缓存电路 3041、第二写入控制电路 3044、第二写入输出缓存电路 3045 构成的电路），将写入总线 306 中的存储数据并行写入到第二存储组 302 中。

15 如图 5 所示，第一支路和第二支路共两条支路做并行写入，在一些实施例中，还可以有四条支路或八条支路做并行写入，写入支路的个数可以根据写入总线 306 的位数来确定，这里并不做限制。

从图 6 中可以看出，写入电路 303 包括：写入输入缓存电路 3031、写入控制电路 3036、第一写入输出缓存电路 3033 和第二写入输出缓存电路 3035。

20 写入输入缓存电路 3031，分别与写入总线 306、写入控制电路 3036 连接，用于将从写入总线 306 中获取的存储数据发送给写入控制电路 3036。

写入控制电路 3036，与自身写入电路 303 中的写入输入缓存电路 3031、自身写入电路 303 中的第一写入输出缓存电路 3033、自身写入电路 303 中的第二写入输出缓存电路 3035 连接，用于将写入输入缓存电路 3031 发送的存储数据发送给第一写入输出缓存电路 25 3033 或第二写入输出缓存电路 3035。

第一写入输出缓存电路 3033，与第一存储组 301 连接，用于将写入控制电路 3036 发送的存储数据发送给第一存储组 301。

第二写入输出缓存电路 3035，与第二存储组 302 连接，用于将写入控制电路 3036 发送的存储数据发送给第二存储组 302。

30 同理，写入电路 304 的结构与写入电路 303 的结构相同，在此不再赘述。

本申请实施例可以通过图 6 中的第一支路（写入输入缓存电路 3031、写入控制电路 3036、第一写入输出缓存电路 3033 构成的电路），以及，第二支路（写入输入缓存电路 3041、写入控制电路 3046、第一写入输出缓存电路 3043 构成的电路），将写入总线 306 中的存储数据并行写入到第一存储组 301 中，通过图 6 中的第三支路（写入输入缓存电路 35 3031、写入控制电路 3036、第二写入输出缓存电路 3035 构成的电路），以及，第四支路（写入输入缓存电路 3041、写入控制电路 3046、第二写入输出缓存电路 3045 构成的电路），将写入总线 306 中的存储数据并行写入到第二存储组 302 中。

如图 6 所示，第一支路和第二支路共两条支路做并行写入，在一些实施例中，还可以有四条支路或八条支路做并行写入，写入支路的个数可以根据写入总线 306 的位数来确定，

这里并不做限制。

需要说明的是，图 1 中的写入控制电路 1012、写入控制电路 1015、读取控制电路 1022、读取控制电路 1025 中的数据的时间间隔均相同，例如，可以为 5 纳秒，图 6 中的写入控制电路 3036、3046 中的数据间隔均为图 1 中的写入控制电路 1012 的一半，例如，为 2.5 纳秒。

上述图 6 中的写入总线 306、第一读写总线 307、第二读写总线 308 的比特数（即位
数）可以根据实际应用场景选定。图 15 示例性示出了本申请实施例提供的另一种数据处理
电路的具体结构示意图。从图 15 中可以看出，当写入总线 306 为 4（即[3:0]）比特时，第一
读写总线 307、第二读写总线 308 可以为 8（即[7:0]）比特。如此，可以将写入总线 306 上的
先后两个 4 比特，分别通过第一读写总线 307 的[3:0]比特和[7:4]比特同时写入到第一存储
组 201，或，可以将写入总线 306 上的先后两个 4 比特，分别通过第二读写总线 308 的[3:0]
比特和[7:4]比特同时写入到第二存储组 202。

从图 15 中还可以看出，对于第一存储组 201，写入电路 303 可以用于向第一存储组
201 写入 4（即[3:0]）比特，写入电路 304 可以用于向第一存储组 201 写入 4（即[7:4]）比
特。同理，对于第二存储组 202，写入电路 303 可以用于向第二存储组 202 写入 4（即[3:0]）
比特，写入电路 304 可以用于向第二存储组 202 写入 4（即[7:4]）比特。

图 15 中包括两个写入电路。在实际应用中，还可以数据处理电路还可以包括两个以上
的写入电路，其连接方式与图 15 所示的连接方式相同。例如，当写入总线 306 为 36（即
[35:0]）比特时，第一读写总线 307、第二读写总线可以为 72（即[71:0]）比特，从而其包
括的写入电路为 18 个，即包括 9 组图 15 所示的数据处理电路。

可选地，图 5 或图 6 中的两个写入电路 303、304 中的第一写入输出缓存电路 3033、
3043 采用相同的第二控制信号，两个写入电路 303、304 中的第二写入输出缓存电路 3035、
3045 采用相同的第三控制信号，第二控制信号和第三控制信号的频率均为写入存储数据的
时钟频率的四分之一，第二控制信号的下降沿和第三控制信号的下降沿交替出现。

图 7 示例性示出了本申请实施例提供的一种时序图，图 7 是图 6 的数据处理电路对应
的时序图。从图 7 中可以看出，两个写入电路 303、304 的写入输入缓存电路 3031 和 3041
采用的控制信号的频率，均为写入总线 306 写入存储数据的时钟频率的一半，即：写入输
入缓存电路 3031 的下降沿的出现频率、写入输入缓存电路 3041 的下降沿的出现频率是写
入存储数据的频率的一半。此外，还可以看出，写入输入缓存电路 3031 的下降沿和写入输
入缓存电路 3041 的下降沿交替出现。

在 t_1 时刻，由于写入输入缓存电路 3031 的控制信号的一个下降沿到达，从而写入控
制电路 3036 将当前接收到的存储数据 d_1 输出。在 t_2 时刻，由于写入输入缓存电路 3041
的控制信号的一个下降沿到达，从而写入控制电路 3046 将当前接收到的存储数据 d_2 输出。
同时，在 t_2 时刻，由于第一写入输出缓存电路 3033 的控制信号的一个下降沿到达，从而
第一写入输出缓存电路 3033 将写入控制电路 3036 输出的存储数据 d_1 写入第一存储组 301
中。同时，在 t_2 时刻，由于第一写入输出缓存电路 3043 的控制信号的一个下降沿到达，
从而第一写入输出缓存电路 3043 将写入控制电路 3046 输出的存储数据 d_2 写入到第二存
储组 302 中。可以看出，通过上述过程实现了将不同时刻的存储数据 d_1 和 d_2 在同一时刻
 t_2 写入到第一存储组 301 中。

同理，在 t_3 时刻，由于写入输入缓存电路 3031 的控制信号的一个下降沿到达，从而写入控制电路 3036 将当前接收到的存储数据 d3 输出。在 t_4 时刻，由于写入输入缓存电路 3041 的控制信号的一个下降沿到达，从而写入控制电路 3046 将当前接收到的存储数据 d4 输出。同时，在 t_4 时刻，由于第二写入输出缓存电路 3035 的控制信号的一个下降沿到达，从而第二写入输出缓存电路 3035 将写入控制电路 3036 输出的存储数据 d3 写入第二存储组 302 中。同时，在 t_4 时刻，由于第二写入输出缓存电路 3045 的控制信号的一个下降沿到达，从而第二写入输出缓存电路 3045 将写入控制电路 3046 输出的存储数据 d4 写入到第二存储组 302 中。可以看出，通过上述过程实现了将不同时刻的存储数据 d3 和 d4 在同一时刻 t_4 写入到第二存储组 302 中。

10 当图 6 中的写入总线为 4 比特时，上述图 7 中的存储数据 d1、d2、d3 和 d4 可以均为 4 比特，d1 为向第一存储组 301 写入的 [3:0] 比特，d2 为向第一存储组 301 写入的 [7:4] 比特，d3 为向第二存储组 302 写入的 [3:0] 比特，d4 为向第二存储组 302 写入的 [7:4] 比特。

15 可选地，参照图 6 中，两个写入电路 303、304 中的写入控制电路 3036、3046 采用的控制信号的频率、与写入输入缓存电路 3031、3041 采用的控制信号的频率相同。如此，可以同步的接收写入输入缓存电路 3031、3041 发送的存储数据，避免存储数据丢失。

可选地，其中一个写入电路中的第一写入输出缓存电路和第二写入输出缓存电路均采用全锁存器，另一个写入电路中的第一写入输出缓存电路和第二写入输出缓存电路均采用半锁存器。写入电路中的写入控制电路以列地址选通之间的时间延迟控制数据写入，列地址选通之间的时间延迟包括四个时钟周期。

其中，锁存器(Latch)是一种对脉冲电平或上升沿或下降沿敏感的存储单元电路，用于进行数据缓存。在本申请实施例中，写入输入缓存电路、第一写入输出缓存电路、第二写入输出缓存电路、第一读取输入缓存电路、第二读取输入缓存电路、读取输出缓存电路均为锁存器。

25 在本公开实施例中，对于写入电路，写入总线 306 中的存储数据在时间上串行，为了实现将串行的存储数据同时写入到第一存储组 301 或同时写入到第二存储组 302 中，先接收到存储数据的写入电路需要等待后接收到存储数据的写入电路，从而先接收到存储数据的写入电路中的第一写入输出缓存电路、第二写入输出缓存电路可以采用全锁存器，后接收到存储数据的写入电路中的第一写入输出缓存电路、第二写入输出缓存电路可以采用半锁存器。由于全锁存器对存储数据的缓存时长比半锁存器对存储数据的缓存时长长，从而可以使两个接收存储数据时间不同的写入电路，同时将存储数据写入，实现了串转并的数据写入过程。

30 图 12、图 13 示例性示出了本申请实施例提供的半锁存器和全锁存器的电路结构示意图。如图 12 和 13 所示，全锁存器是由两个半锁存器串联得到的，D 为数据输入端口，CK 和 CKB 为互补时钟端口，Q 和 QB 为数据输出端口。

可选地，第一读写总线和所述第二读写总线交叉排列。

可选地，第一读写总线包括多个比特的第一子总线，所述第二读写总线包括多个比特的第二子总线，同一比特对应的所述第一子总线和所述第二子总线延伸至同一高度之后，分别与所述第一存储组、所述第二存储组连接。

可选地，两个写入电路在第一直线上并列设置，所述第一存储组和所述第二存储组在第二直线上并列设置，所述第一直线和所述第二直线平行。

需要说明的是，第一直线和第二直线互相平行但不重合，如此，可以方便写入电路和第一存储组之间的线路连接、写入电路和第二存储组之间的线路连接。

- 5 可选地，两个所述写入电路所在的第一区域、所述第一存储组和所述第二存储组所在的第二区域在第三直线上并列设置，所述第三直线和所述第一直线垂直。

可选地，所述第一存储组和所述第二存储组的数据写入时间不同，所述第一存储组和所述第二存储组的数据写入逻辑相同。如此，可以在写入不存在冲突的情况下，将数据写入逻辑相同的第一存储组和第二存储组的写入电路进行合并。

- 10 图 8 至图 11 示例性示出了本申请实施例提供的四种存储器的结构示意图。参照图 8 至图 11 所示，两个数据处理电路中的各写入电路与同一写入总线连接，对于具有读取电路的两个数据处理电路，两个数据处理电路中的各读取电路与同一读取总线连接。

- 参照图 8 所示或图 9 所示，一个数据处理电路 401 包括：第一存储组 BG0、第二存储组 BG1、写入电路 203 和读取电路 204，另一个数据处理电路 402 包括：第一存储组 BG2、
15 第二存储组 BG3、写入电路 209 和读取电路 210。图 8 中的两个数据处理电路 401 和 402 与图 2 所示的数据处理电路的结构相同，图 9 中的两个数据处理电路 401 和 402 与图 3 所示的数据处理电路的结构相同。

当然，图 2 中的数据处理电路可以和图 3 中的数据处理电路可以构成一个存储器，即存储器中包括一个图 2 所示的数据处理电路和一个图 3 所示的数据处理电路。

- 20 参照图 10 所示或图 11 所示，一个数据处理电路 401 包括：第一存储组 BG0、第二存储组 BG1、写入电路 303 和写入电路 304，另一个数据处理电路 402 包括：第一存储组 BG2、第二存储组 BG3、写入电路 309 和写入电路 310。图 10 中的两个数据处理电路 401 和 402 与图 5 所示的数据处理电路的结构相同，图 11 中的两个数据处理电路 401 和 402 与图 6 所示的数据处理电路的结构相同。

- 25 当然，图 5 中的数据处理电路可以和图 6 中的数据处理电路可以构成一个存储器，即存储器中包括一个图 5 所示的数据处理电路和一个图 6 所示的数据处理电路。

可选地，上述存储器为双倍速率的动态随机存取存储器 DDR DRAM。

- 30 可选地，两个数据处理电路中的写入电路位于中心区域，其中一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的一侧，另一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的另一侧。

同理，两个数据处理电路中的读取电路位于中心区域，其中一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的一侧，另一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的另一侧。

- 35 如图 8 或 9 所示，写入电路 203、209、读取电路 204、210 位于中心区域 200 中，数据处理电路 401 中的第一存储组 BG0 和第二存储组 BG1 位于中心区域 200 的上侧，数据处理电路 402 中的第一存储组 BG2 和第二存储组 BG3 位于中心区域 200 的下侧。

如图 10 或 11 所示，写入电路 303、304、309、310 位于中心区域 300 中，数据处理电路 401 中的第一存储组 BG0 和第二存储组 BG1 位于中心区域 300 的上侧，数据处理电路 402 中的第一存储组 BG2 和第二存储组 BG3 位于中心区域 300 的下侧。如此，方便存储

组与读取电路、写入电路之间的线路连接。

在本申请实施例中，还提供一种电子设备，包括上述存储器。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

5 为了方便解释，已经结合具体的实施方式进行了上述说明。但是，上述示例性的讨论不是意图穷尽或者将实施方式限定到上述公开的具体形式。根据上述的教导，可以得到多种修改和变形。上述实施方式的选择和描述是为了更好的解释原理以及实际的应用，从而使得本领域技术人员更好的使用所述实施方式以及适于具体使用考虑的各种不同的变形的实施方式。

10

权 利 要 求 书

- 1、一种数据处理电路，包括：
第一存储组和第二存储组；
写入电路，包括一个写入输入缓存电路，通过所述写入输入缓存电路从写入总线接收存储数据，通过第一读写总线向所述第一存储组写入所述存储数据，通过第二读写总线向所述第二存储组写入所述存储数据；
读取电路，包括一个读取输出缓存电路，通过所述第一读写总线从所述第一存储组读取所述存储数据，通过所述第二读写总线从所述第二存储组读取所述存储数据，通过所述读取输出缓存电路向读取总线发送所述存储数据。
- 2、根据权利要求 1 所述的数据处理电路，其中，所述写入电路还包括：
写入控制电路，分别与所述写入输入缓存电路、第一写入输出缓存电路、第二写入输出缓存电路连接，将所述写入输入缓存电路发送的所述存储数据发送给所述第一写入输出缓存电路或所述第二写入输出缓存电路；
第一写入输出缓存电路，与所述第一存储组连接，将所述写入控制电路发送的所述存储数据发送给所述第一存储组；
第二写入输出缓存电路，与所述第二存储组连接，将所述写入控制电路发送的所述存储数据发送给所述第二存储组。
- 3、根据权利要求 2 所述的数据处理电路，其中，所述写入输入缓存电路通过第一控制信号接收所述存储数据，所述第一控制信号的频率与写入所述存储数据的时钟频率相同。
- 4、根据权利要求 3 所述的数据处理电路，其中，所述第一写入输出缓存电路通过第二控制信号将所述存储数据写入所述第一存储组中，所述第二写入输出缓存电路通过第三控制信号将所述存储数据写入所述第二存储组中，所述第二控制信号的频率与所述第三控制信号的频率为所述第一控制信号的频率的一半，所述第二控制信号的下降沿和所述第三控制信号的下降沿交替出现。
- 5、根据权利要求 1 至 4 任一项所述的数据处理电路，其中，所述读取电路包括：
第一读取输入缓存电路，与所述第一存储组连接，从所述第一存储组读取所述存储数据；
第二读取输入缓存电路，与所述第二存储组连接，从所述第二存储组读取所述存储数据；
读取控制电路，分别与所述第一读取输入缓存电路、所述第二读取输入缓存电路连接，将所述第一读取输入缓存电路或所述第二读取输入缓存电路发送的所述存储数据发送给所述读取输出缓存电路。
- 6、根据权利要求 5 所述的数据处理电路，其中，所述第一读取输入缓存电路通过第四控制信号读取所述存储数据，所述第二读取输入缓存电路通过第五控制信号读取所述存储数据，所述第四控制信号的频率和所述第五控制信号的频率相同，所述第四控制信号中的下降沿和所述第五控制信号中的下降沿交替出现。
- 7、根据权利要求 6 所述的数据处理电路，其中，所述读取输出缓存电路通过第六控制信号将所述存储数据发送给所述读取总线，所述第六控制信号的频率是所述第四控制信号的频率的两倍。
- 8、根据权利要求 1 至 4 任一项所述的数据处理电路，其中，所述第一读写总线和所述第二读写总线交叉排列。
- 9、根据权利要求 8 所述的数据处理电路，其中，所述第一读写总线包括多个比特

的第一子总线，所述第二读写总线包括多个比特的第二子总线，同一比特对应的所述第一子总线与所述第二子总线延伸至同一高度之后，分别与所述第一存储组、所述第二存储组连接。

- 5 10、根据权利要求 1 至 4 任一项所述的数据处理电路，其中，所述写入电路和所述读取电路在第一直线上并列设置，所述第一存储组和所述第二存储组在第二直线上并列设置，所述第一直线和所述第二直线平行。

11、根据权利要求 10 所述的数据处理电路，其中，所述写入电路和所述读取电路所在的第一区域、所述第一存储组和所述第二存储组所在的第二区域在第三直线上并列设置，所述第三直线和所述第一直线垂直。

- 10 12、根据权利要求 1 至 4 任一项所述的数据处理电路，其中，所述第一存储组和所述第二存储组的数据读写时间不同，所述第一存储组和所述第二存储组的数据读写逻辑相同。

- 15 13、一种存储器，包括两个如权利要求 1 至 12 任一项所述的数据处理电路，两个所述数据处理电路中的写入电路与同一写入总线连接，两个所述数据处理电路中的读取电路与同一读取总线连接。

14、根据权利要求 13 所述的存储器，其中，所述存储器为双倍速率的动态随机存取存储器 **DDR DRAM**。

- 20 15、根据权利要求 13 或 14 所述的存储器，其中，两个所述数据处理电路中的所述写入电路和所述读取电路位于中心区域，其中一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的一侧，另一个所述数据处理电路中的所述第一存储组和所述第二存储组位于所述中心区域的另一侧。

16、一种电子设备，包括权利要求 13 至 15 任一项所述的存储器。