明　細　書

発明の名称 ：

プラズマ処理装置、バイアス電源システム、及びプラズマ処理方法

技術分野

[0001]　本開示の例示的実施形態は、プラズマ処理装置、バイアス電源システム、及びプラズマ処理方法に関するものである。

背景技術

[0002]　プラズマによって基板を加工するプラズマ処理装置が知られている。特許文献１に記載されたプラズマ処理装置はチャンバ内に配置された基板保持電極及び対向電極と、高周波発生装置と、ＤＣ負パルス発生装置と、制御器とを備える。高周波発生装置は、基板保持電極に対し５０ＭＨｚ以上の高周波を印加する。ＤＣ負パルス発生装置は、この高周波と重畳するようにＤＣ負パルス電圧を基板保持電極に印加する。制御器は、高周波の印加が間欠的に行われるよう高周波発生装置を制御するとともに、高周波のオン・オフのタイミングに応じてＤＣ負パルスの印加が間欠的に行われるようＤＣ負パルス発生装置を制御する。

先行技術文献

特許文献

[0003] 特許文献1：特開２００９－１８７９７５号公報

発明の概要

発明が解決しようとする課題

[0004]　本開示は、電圧パルスの印加中にプラズマから基板に供給されるイオンのエネルギーの低下を抑制する技術を提供する。

課題を解決するための手段

[0005]　一つの例示的実施形態において、プラズマ処理装置が提供される。プラズマ処理装置はチャンバ、基板支持部、プラズマ生成部、及びバイアス電源シ

ステムを備える。基板支持部はバイアス電極を有する。基板支持部はチャンバ内に配置されている。プラズマ生成部は、チャンバ内でプラズマを生成するように構成されている。バイアス電源システムは、バイアス電極に電気的に結合されている。バイアス電源システムは、プラズマからのイオンを基板支持部上の基板に引き込むためにバイアス電極に断続的に電圧パルスを印加するよう構成されている。バイアス電源システムは、少なくとも一つの直流電源、スイッチング回路、及びパルス制御部を含む。スイッチング回路は、バイアス電極と少なくとも一つの直流電源との間で電気的に接続されている。パルス制御部は、スイッチング回路を制御するように構成されている。パルス制御部は、電圧パルスの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、スイッチング回路を制御するように構成されている。

発明の効果

[0006] 一つの例示的実施形態によれば、電圧パルスの印加中にプラズマから基板に供給されるイオンのエネルギーの低下を抑制する技術が提供される。

図面の簡単な説明

[0007] [図1]プラズマ処理システムの構成例を説明するための図である。

[図2]容量結合型のプラズマ処理装置の構成例を説明するための図である。

[図3]一つの例示的実施形態に係るプラズマ処理装置を概略的に示す図である。

[図4]一つの例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図5]一つの例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートである。

[図6]別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図7]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図8]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図9]図９の（ａ）は、更に別の例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートであり、図９の（ｂ）は、図９の（ａ）のタイミングチャートの一部分Ｓを拡大して示す図である。

[図10]別の例示的実施形態に係るプラズマ処理装置を概略的に示す図である。

[図11]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図12]更に別の例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートである。

[図13]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図14]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図15]更にまた別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図16]図１６の（ａ）は、更に別の例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートであり、図１６の（ｂ）は、図１６の（ａ）のタイミングチャートの一部分Ｓを拡大して示す図である。

[図17]更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。

[図18]一つの例示的実施形態に係るプラズマ処理方法の流れ図である。

[図19]本明細書に記載の動作をコンピュータ上で実施する処理回路のブロック図である。

発明を実施するための形態

[0008] 以下、図面を参照して種々の例示的実施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附すことと

する。

[0009] 図１は、プラズマ処理システムの構成例を説明するための図である。一実施形態において、プラズマ処理システムは、プラズマ処理装置１及び制御部２を含む。プラズマ処理システムは、基板処理システムの一例であり、プラズマ処理装置１は、基板処理装置の一例である。プラズマ処理装置１は、チャンバ１０、基板支持部１１及びプラズマ生成部１２を含む。チャンバ１０は、内部空間（プラズマ処理空間）を有する。また、チャンバ１０は、少なくとも１つの処理ガスを内部空間に供給するための少なくとも１つのガス供給口と、内部空間からガスを排出するための少なくとも１つのガス排出口とを有する。ガス供給口は、後述するガス供給部２０に接続され、ガス排出口は、後述する排気システム４０に接続される。基板支持部１１は、内部空間内に配置され、基板を支持するための基板支持面を有する。

[0010] プラズマ生成部１２は、内部空間内に供給された少なくとも１つの処理ガスからプラズマを生成するように構成される。内部空間において形成されるプラズマは、容量結合プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）、誘導結合プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ）、ＥＣＲプラズマ（Ｅｌｅｃｔｒｏｎ－Ｃｙｃｌｏｔｒｏｎ－Ｒｅｓｏｎａｎｃｅ Ｐｌａｓｍａ）、ヘリコン波励起プラズマ（ＨＷＰ：Ｈｅｌｉｃｏｎ Ｗａｖｅ Ｐｌａｓｍａ）、又は、表面波プラズマ（ＳＷＰ：Ｓｕｒｆａｃｅ Ｗａｖｅ Ｐｌａｓｍａ）等であってもよい。また、ＡＣ（Ａｌｔｅｒｎａｔｉｎｇ Ｃｕｒｒｅｎｔ）プラズマ生成部及びＤＣ（Ｄｉｒｅｃｔ Ｃｕｒｒｅｎｔ）プラズマ生成部を含む、種々のタイプのプラズマ生成部が用いられてもよい。一実施形態において、ＡＣプラズマ生成部で用いられるＡＣ信号（ＡＣ電力）は、１００ｋＨｚ～１０ＧＨｚの範囲内の周波数を有する。従って、ＡＣ信号は、ＲＦ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ）信号及びマイクロ波信号を含む。一実施形態において、ＲＦ信号は、１００ｋＨｚ～１５０ＭＨｚの範囲内の周波数を有する。

[0011] 制御部２は、本開示において述べられる種々の工程をプラズマ処理装置１に実行させるコンピュータ実行可能な命令を処理する。制御部２は、ここで述べられる種々の工程を実行するようにプラズマ処理装置１の各要素を制御するように構成され得る。一実施形態において、制御部２の一部又は全てがプラズマ処理装置１に含まれてもよい。制御部２は、処理部２ａ１、記憶部２ａ２及び通信インターフェース２ａ３を含んでもよい。制御部２は、例えばコンピュータ２ａにより実現される。処理部２ａ１は、記憶部２ａ２からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部２ａ２に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部２ａ２に格納され、処理部２ａ１によって記憶部２ａ２から読み出されて実行される。媒体は、コンピュータ２ａに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース２ａ３に接続されている通信回線であってもよい。処理部２ａ１は、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）であってもよい。記憶部２ａ２は、ＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）、ＨＤＤ（Ｈａｒｄ　Ｄｉｓｋ　Ｄｒｉｖｅ）、ＳＳＤ（Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｄｒｉｖｅ）、又はこれらの組み合わせを含んでもよい。通信インターフェース２ａ３は、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）等の通信回線を介してプラズマ処理装置１との間で通信してもよい。

[0012] 以下に、プラズマ処理装置１の一例としての容量結合型のプラズマ処理装置の構成例について説明する。図２は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0013] 容量結合型のプラズマ処理装置１は、チャンバ１０、ガス供給部２０、電源３０及び排気システム４０を含む。また、プラズマ処理装置１は、基板支持部１１及びガス導入部を含む。ガス導入部は、少なくとも１つの処理ガスをチャンバ１０内に導入するように構成される。ガス導入部は、シャワーヘ

ッド１３を含む。基板支持部１１は、チャンバ１０内に配置される。シャワーヘッド１３は、基板支持部１１の上方に配置される。一実施形態において、シャワーヘッド１３は、チャンバ１０の天部（ｃｅｉｌｉｎｇ）の少なくとも一部を構成する。チャンバ１０は、シャワーヘッド１３、チャンバ１０の側壁１０ａ及び基板支持部１１により規定された内部空間１０ｓを有する。チャンバ１０は接地される。シャワーヘッド１３及び基板支持部１１は、チャンバ１０の筐体とは電気的に絶縁される。

[0014] 基板支持部１１は、本体部１１１及びリングアセンブリ１１２を含む。本体部１１１は、基板Ｗを支持するための基板支持面１１１ａ（中央領域）と、リングアセンブリ１１２を支持するためのリング支持面１１１ｂ（環状領域）とを有する。本体部１１１のリング支持面１１１ｂは、平面視で本体部１１１の基板支持面１１１ａを囲んでいる。基板Ｗは、本体部１１１の基板支持面１１１ａ上に配置され、リングアセンブリ１１２は、本体部１１１の基板支持面１１１ａ上の基板Ｗを囲むように本体部１１１のリング支持面１１１ｂ上に配置される。

[0015] 一実施形態において、本体部１１１は、基台１１１０及び静電チャック１１１１を含む。基台１１１０は、導電性部材を含む。基台１１１０の導電性部材はバイアス電極として機能し得る。静電チャック１１１１は、基台１１１０の上に配置される。静電チャック１１１１は、セラミック部材１１１１ａとセラミック部材１１１１ａ内に配置される静電電極１１１１ｂとを含む。セラミック部材１１１１ａは、基板支持面１１１ａを有する。一実施形態において、セラミック部材１１１１ａは、リング支持面１１１ｂも有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック１１１１を囲む他の部材がリング支持面１１１ｂを有してもよい。この場合、リングアセンブリ１１２は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック１１１１と環状絶縁部材の両方の上に配置されてもよい。また、後述するＲＦ電源３１及び／又はＤＣ電源３２に結合される少なくとも１つのＲＦ／ＤＣ電極がセラミック部材１１１１ａ内に配置されてもよ

い。この場合、少なくとも１つのＲＦ／ＤＣ電極がバイアス電極として機能する。後述するバイアスＲＦ信号及び／又はＤＣ信号が少なくとも１つのＲＦ／ＤＣ電極に供給される場合、ＲＦ／ＤＣ電極はバイアス電極とも呼ばれる。なお、基台１１１０の導電性部材と少なくとも１つのＲＦ／ＤＣ電極とが複数のバイアス電極として機能してもよい。また、静電電極１１１１ｂがバイアス電極として機能してもよい。従って、基板支持部１１は、少なくとも１つのバイアス電極を含む。

[0016] リングアセンブリ１１２は、１又は複数の環状部材を含む。一実施形態において、１又は複数の環状部材は、１又は複数のエッジリングと少なくとも１つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。

[0017] また、基板支持部１１は、静電チャック１１１１、リングアセンブリ１１２及び基板のうち少なくとも１つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路１１１０ａ、又はこれらの組み合わせを含んでもよい。流路１１１０ａには、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路１１１０ａが基台１１１０内に形成され、１又は複数のヒータが静電チャック１１１１のセラミック部材１１１１ａ内に配置される。また、基板支持部１１は、基板Ｗの裏面と基板支持面１１１ａとの間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。

[0018] シャワーヘッド１３は、ガス供給部２０からの少なくとも１つの処理ガスを内部空間１０ｓ内に導入するように構成される。シャワーヘッド１３は、少なくとも１つのガス供給口１３ａ、少なくとも１つのガス拡散室１３ｂ、及び複数のガス導入口１３ｃを有する。ガス供給口１３ａに供給された処理ガスは、ガス拡散室１３ｂを通過して複数のガス導入口１３ｃから内部空間１０ｓ内に導入される。また、シャワーヘッド１３は、少なくとも１つの上部電極を含む。なお、ガス導入部は、シャワーヘッド１３に加えて、側壁１０ａに形成された１又は複数の開口部に取り付けられる１又は複数のサイド

ガス注入部（ＳＧＩ：Ｓｉｄｅ　Ｇａｓ　Ｉｎｊｅｃｔｏｒ）を含んでもよい。

[0019] ガス供給部２０は、少なくとも１つのガスソース２１及び少なくとも１つの流量制御器２２を含んでもよい。一実施形態において、ガス供給部２０は、少なくとも１つの処理ガスを、それぞれに対応のガスソース２１からそれぞれに対応の流量制御器２２を介してシャワーヘッド１３に供給するように構成される。各流量制御器２２は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部２０は、少なくとも１つの処理ガスの流量を変調又はパルス化する少なくとも１つの流量変調デバイスを含んでもよい。

[0020] 電源３０は、少なくとも１つのインピーダンス整合回路を介してチャンバ１０に結合されるＲＦ電源３１を含む。ＲＦ電源３１は、少なくとも１つのＲＦ信号（ＲＦ電力）を少なくとも１つのバイアス電極及び／又は少なくとも１つの上部電極に供給するように構成される。これにより、内部空間１０ｓに供給された少なくとも１つの処理ガスからプラズマが形成される。従って、ＲＦ電源３１は、プラズマ生成部１２の少なくとも一部として機能し得る。また、バイアスＲＦ信号を少なくとも１つのバイアス電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0021] 一実施形態において、ＲＦ電源３１は、第１のＲＦ生成部３１ａ及び第２のＲＦ生成部３１ｂを含む。第１のＲＦ生成部３１ａは、少なくとも１つのインピーダンス整合回路を介して少なくとも１つのバイアス電極及び／又は少なくとも１つの上部電極に結合され、プラズマ生成用のソースＲＦ信号（ソースＲＦ電力）を生成するように構成される。一実施形態において、ソースＲＦ信号は、１０ＭＨｚ～１５０ＭＨｚの範囲内の周波数を有する。一実施形態において、第１のＲＦ生成部３１ａは、異なる周波数を有する複数のソースＲＦ信号を生成するように構成されてもよい。生成された１又は複数のソースＲＦ信号は、少なくとも１つのバイアス電極及び／又は少なくとも

１つの上部電極に供給される。

[0022] 第２のＲＦ生成部３１ｂは、少なくとも１つのインピーダンス整合回路を介して少なくとも１つのバイアス電極に結合され、バイアスＲＦ信号（バイアスＲＦ電力）を生成するように構成される。バイアスＲＦ信号の周波数は、ソースＲＦ信号の周波数と同じであっても異なっていてもよい。一実施形態において、バイアスＲＦ信号は、ソースＲＦ信号の周波数よりも低い周波数を有する。一実施形態において、バイアスＲＦ信号は、１００ｋＨｚ～６０ＭＨｚの範囲内の周波数を有する。一実施形態において、第２のＲＦ生成部３１ｂは、異なる周波数を有する複数のバイアスＲＦ信号を生成するように構成されてもよい。生成された１又は複数のバイアスＲＦ信号は、少なくとも１つのバイアス電極に供給される。また、種々の実施形態において、ソースＲＦ信号及びバイアスＲＦ信号のうち少なくとも１つがパルス化されてもよい。

[0023] また、電源３０は、チャンバ１０に結合されるＤＣ電源３２を含んでもよい。ＤＣ電源３２は、第１のＤＣ生成部３２ａ及び第２のＤＣ生成部３２ｂを含む。一実施形態において、第１のＤＣ生成部３２ａは、少なくとも１つのバイアス電極に接続され、第１のＤＣ信号を生成するように構成される。生成された第１のＤＣ信号は、少なくとも１つのバイアス電極に印加される。一実施形態において、第２のＤＣ生成部３２ｂは、少なくとも１つの上部電極に接続され、第２のＤＣ信号を生成するように構成される。生成された第２のＤＣ信号は、少なくとも１つの上部電極に印加される。

[0024] 種々の実施形態において、第１及び第２のＤＣ信号がパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも１つのバイアス電極及び／又は少なくとも１つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、ＤＣ信号から電圧パルスのシーケンスを生成するための波形生成部が第１のＤＣ生成部３２ａと少なくとも１つのバイアス電極との間に接続される。従って、第１のＤＣ生成部３２ａ及び波形生成部は、電圧パルス

生成部を構成する。第２のＤＣ生成部３２ｂ及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも１つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、１周期内に１又は複数の正極性電圧パルスと１又は複数の負極性電圧パルスとを含んでもよい。なお、第１のＤＣ生成部３２ａ及び第２のＤＣ生成部３２ｂは、ＲＦ電源３１に加えて設けられてもよく、第１のＤＣ生成部３２ａが第２のＲＦ生成部３１ｂに代えて設けられてもよい。

[0025] 排気システム４０は、例えばチャンバ１０の底部に設けられたガス排出口１０ｅに接続され得る。排気システム４０は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、内部空間１０ｓ内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0026] 以下、図３を参照する。図３は、一つの例示的実施形態に係るプラズマ処理装置を概略的に示す図である。図３に示す基板支持部１１並びに電源及び当該電源に関連する構成は、プラズマ処理装置１において採用され得る。

[0027] プラズマ処理装置１は、基板支持部１１を備える。基板支持部１１は、チャンバ１０内に配置されている。基板支持部１１は、基台１１１０及び静電チャック１１１１を含んでいてもよい。基台１１１０は、バイアス電極ＢＥとして機能し得る。

[0028] 基板支持部１１は、第１の領域Ｒ１及び第２の領域Ｒ２を含んでいてもよい。図３において、第１の領域Ｒ１と第２の領域Ｒ２の境界は、破線で示されている。第１の領域Ｒ１は、軸線ＡＸに交差する領域であり、略円盤形状を有する。軸線ＡＸは、基板支持部１１の中心軸線であり、チャンバ１０の中心軸線に一致し得る。第１の領域Ｒ１は、その上面として、上述の基板支持面１１１ａを含む。第２の領域Ｒ２は、第１の領域Ｒ１を囲むように延在している。

[0029] 基板Ｗは、基板支持面１１１ａ上に載置され、第１の領域Ｒ１上で支持さ

れる。第２の領域Ｒ２は、軸線ＡＸの周りの環状の領域である。第２の領域Ｒ２は、その上面として、上述のリング支持面１１１ｂを含んでいてもよい。リングアセンブリ１１２に含まれるエッジリングＥＲは、リング支持面１１１ｂ上に載置され、第２の領域Ｒ２上で支持される。基板Wは、エッジリングＥＲによって囲まれた領域内に配置される。

[0030] 図３に示すように、静電チャック１１１１は、誘電体部１１１１ｄを含んでいてもよい。誘電体部１１１１ｄは、上述のセラミック部材１１１１ａであり得る。誘電体部１１１１ｄの中央部分は、第１の領域Ｒ１を構成していてもよく、その上面として、基板支持面１１１ａを有していてもよい。誘電体部１１１１ｄの周縁部分は、第２の領域Ｒ２を構成していてもよく、その上面として、リング支持面１１１ｂを有していてもよい。

[0031] 静電チャック１１１１は、静電電極１１１１ｂの一部として、チャック電極ＣＥ１を含んでいてもよい。チャック電極ＣＥ１は、誘電体部１１１１ｄ内且つ第１の領域Ｒ１内に配置される。チャック電極ＣＥ１は、導電性材料から形成された膜であってもよい。チャック電極ＣＥ１は、略円形の平面形状を有していてもよい。チャック電極ＣＥ１は、その中心が軸線ＡＸ上に位置するように配置され得る。チャック電極ＣＥ１は、基板支持面１１１ａと第１のバイアス電極ＢＥ１との間で延在し得る。

[0032] また、静電チャック１１１１は、静電電極１１１１ｂの別の一部として、チャック電極ＣＥ２及びＣＥ３を含んでいてもよい。チャック電極ＣＥ２及びＣＥ３の各々は、誘電体部１１１１ｄ内且つ第２の領域Ｒ２内に配置される。チャック電極ＣＥ２及びＣＥ３の各々は、導電性材料から形成された膜であってもよい。チャック電極ＣＥ２及びＣＥ３の各々は、軸線ＡＸの周りで周方向に延びていてもよく、略環状の平面形状を有していてもよい。チャック電極ＣＥ２は、チャック電極ＣＥ３に対して内側に配置されている。即ち、チャック電極ＣＥ２と軸線ＡＸとの間の径方向の距離は、チャック電極ＣＥ３と軸線ＡＸとの間の径方向の距離よりも小さい。

[0033] プラズマ処理装置１は、上述したように、第１のＲＦ生成部３１ａを更に

含んでいる。第１のＲＦ生成部３１ａは、整合器３１ａｍ及び電気的パス３０ｐを介してバイアス電極ＢＥに電気的に接続されてもよい。

[0034] プラズマ処理装置１は、直流電源４１ｐを更に含んでいてもよい。直流電源４１ｐは、スイッチ４１ｓを介してチャック電極ＣＥ１に電気的に接続されている。直流電源４１ｐとチャック電極ＣＥ１との間には、フィルタ４１ｆが更に接続されていてもよい。フィルタ４１ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。直流電源４１ｐからの電圧がチャック電極ＣＥ１に印加されると、静電チャック１１１１と基板Wとの間で静電引力が発生する。基板Wは、発生した静電引力により、第１の領域Ｒ１に引きつけられて第１の領域Ｒ１によって保持される。

[0035] プラズマ処理装置１は、直流電源４２ｐ及び４３ｐを更に含んでいてもよい。直流電源４２ｐは、スイッチ４２ｓを介してチャック電極ＣＥ２に電気的に接続されている。直流電源４２ｐとチャック電極ＣＥ２との間には、フィルタ４２ｆが更に接続されていてもよい。フィルタ４２ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。

[0036] 直流電源４３ｐは、スイッチ４３ｓを介してチャック電極ＣＥ３に電気的に接続されている。直流電源４３ｐとチャック電極ＣＥ３との間には、フィルタ４３ｆが更に接続されていてもよい。フィルタ４３ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。

[0037] 直流電源４２ｐ、４３ｐからの電圧がチャック電極ＣＥ２、ＣＥ３に印加されると、静電チャック１１１１とエッジリングＥＲとの間で静電引力が発生する。エッジリングＥＲは、発生した静電引力により、第２の領域Ｒ２に引きつけられて第２の領域Ｒ２によって保持される。なお、チャック電極ＣＥ２とチャック電極ＣＥ３には、それらの間に電位差が生じるように電圧が印加され得る。即ち、第２の領域Ｒ２は、双極型の静電チャックを構成して

いてもよい。

[0038] プラズマ処理装置１は、バイアス電源システム５０を備える。バイアス電源システム５０は、フィルタ３０１ｆ及び電気的パス３０ｐを介して、バイアス電極ＢＥに電気的に結合されている。フィルタ３０１ｆは、ソースＲＦ信号のようなＲＦ信号を遮断するか、減衰させるように構成されたローパスフィルタである。図３では、基台１１１０がバイアス電極ＢＥを構成しているが、バイアス電極ＢＥの基板支持部１１における場所は限定されない。バイアス電極ＢＥは、基台１１１０の少なくとも一つの導電性部材であってもよい。バイアス電極ＢＥは、例えば、静電チャック１１１１内の少なくとも一つの電極であってもよい。

[0039] 図４は、一つの例示的実施形態に係るバイアス電源システム５０を概略的に示す図である。バイアス電源システム５０は、プラズマからのイオンを基板支持部１１上の基板Ｗに引き込むためにバイアス電極ＢＥに断続的に電圧パルスＶＰ（図５参照）を印加するよう構成されている。電圧パルスＶＰは、周期的にバイアス電極ＢＥに印加されてもよい。即ち、電圧パルスＶＰは、その波形周期の時間長と同じ時間間隔で周期的に印加されてもよい。電圧パルスＶＰの波形周期の時間長の逆数であるバイアス周波数は、ソースＲＦ信号の周波数よりも低く、１００ｋＨｚ以上、５０ＭＨｚ以下の範囲内の周波数であってもよい。バイアス周波数は、例えば４００ｋＨｚである。

[0040] 図４に示すように、バイアス電源システム５０は、少なくとも一つの直流電源５１、スイッチング回路５３、及びパルス制御部５４を含む。スイッチング回路５３は、バイアス電極ＢＥと少なくとも一つの直流電源５１との間で電気的に接続されている。パルス制御部５４は、スイッチング回路５３を制御するように構成されている。パルス制御部５４は、電圧パルスＶＰの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、スイッチング回路５３を制御する。基準電位は、例えば接地電位である。

[0041] 一実施形態において、バイアス電源システム５０は、図４に示すように、

少なくとも一つの直流電源５１として、第１の直流電源５１１と第２の直流電源５１２を含み得る。第１の直流電源５１１は、基準電位に対して上記の到達電圧レベルよりも小さい電位差を有する出力電圧を出力可能である。第２の直流電源５１２は、到達電圧レベルを有する出力電圧を出力可能である。第１の直流電源５１１及び第２の直流電源５１２の各々は、可変直流電源であり得る。第１の直流電源５１１の正極はグランドに接続されている。第２の直流電源５１２の正極はグランドに接続されている。

[0042] 一実施形態において、スイッチング回路５３は、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２及びスイッチング素子ＳＷＧを含み得る。

[0043] 第１のスイッチング素子ＳＷ１は、第１の直流電源５１１の負極とバイアス電極ＢＥとの間で電気的に接続されている。第１のスイッチング素子ＳＷ１は、電気的パス５３ｐを介してバイアス電極ＢＥに電気的に接続されている。第１のスイッチング素子ＳＷ１が閉じているとき、第１の直流電源５１１とバイアス電極ＢＥとは導通状態にあり、第１のスイッチング素子ＳＷ１が開いているとき、第１の直流電源５１１とバイアス電極ＢＥとは非導通状態にある。

[0044] 第２のスイッチング素子ＳＷ２は、第２の直流電源５１２の負極とバイアス電極ＢＥとの間で電気的に接続されている。第２のスイッチング素子ＳＷ２は、電気的パス５３ｐを介してバイアス電極ＢＥに電気的に接続されている。第２のスイッチング素子ＳＷ２が閉じているとき、第２の直流電源５１２とバイアス電極ＢＥとは導通状態にあり、第２のスイッチング素子ＳＷ２が開いているとき、第２の直流電源５１２とバイアス電極ＢＥとは非導通状態にある。

[0045] スイッチング素子ＳＷＧは、グランドとバイアス電極ＢＥとの間で電気的に接続されている。スイッチング素子ＳＷＧは、電気的パス５３ｐを介してバイアス電極ＢＥに電気的に接続されている。スイッチング素子ＳＷＧが閉じているとき、グランドとバイアス電極ＢＥとは導通状態にあり、スイッチ

ング素子ＳＷＧが開いているとき、グランドとバイアス電極ＢＥとは非導通状態にある。

[0046] パルス制御部５４は、スイッチング回路５３の第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２及びスイッチング素子ＳＷＧに電気的に接続されている。パルス制御部５４は、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２及びスイッチング素子ＳＷＧに対してパルス制御信号を与えることにより、これらの開閉を切り替え可能である。パルス制御部５４は、後述する処理回路から構成されていてもよい。

[0047] パルス制御部５４は、バイアス電極ＢＥに対する電圧パルスＶＰの印加において、第１のスイッチング素子ＳＷ１を閉状態に設定し、且つ、第２のスイッチング素子ＳＷ２を開状態に設定し、次いで、第２のスイッチング素子ＳＷ２を閉状態に設定し、且つ、第１のスイッチング素子ＳＷ１を開状態に設定するよう、スイッチング回路５３を制御するように構成されている。

[0048] 以下、パルス制御部５４の動作の一例について説明する。図５は、一つの例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートである。図５において、横軸は時間を示している。図５において、縦軸は、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、及びスイッチング素子ＳＷＧの各々の状態、並びに電圧パルスＶＰの電圧レベルを示している。図５において、電圧パルスＶＰの電圧レベルの基準電位は、接地電位である。

[0049] 第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、及びスイッチング素子ＳＷＧの各々は、図５に示す「Ｏｎ」に対応する期間において閉状態にある。第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、及びスイッチング素子ＳＷＧの各々は、図５に示す「Ｏｆｆ」に対応する期間において開状態にある。

[0050] 図５に示すように、パルス制御部５４は、電圧パルスＶＰをバイアス電極ＢＥに周期的に印加するよう構成されていてもよい。電圧パルスＶＰの波形周期は、第１の期間Ｔ１と第２の期間Ｔ２とを含む。第１の期間Ｔ１では、

パルス制御部５４は、電圧パルスＶＰの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、スイッチング回路５３を制御する。第２の期間Ｔ２では、バイアス電源システム５０の出力電圧のレベルは基準電位レベル（例えば接地電位）に設定される。

[0051] 一実施形態において、第１の期間Ｔ１は、期間Ｔ１１及び期間Ｔ１２を含む。期間Ｔ１２は、期間Ｔ１１に続く期間である。パルス制御部５４は、期間Ｔ１１において、第１のスイッチング素子ＳＷ１を閉状態に設定し、且つ、第２のスイッチング素子ＳＷ２を開状態に設定する。また、期間Ｔ１１において、パルス制御部５４は、スイッチング素子ＳＷＧを開状態に設定する。期間Ｔ１１においては、バイアス電極ＢＥは、第１の直流電源５１１の負極に接続され、第１の直流電源５１１の出力電圧がバイアス電極ＢＥに印加される。その結果、期間Ｔ１１においては、電圧パルスＶＰの電圧レベルは、第１の直流電源５１１の出力電圧の電圧レベルである第１電圧レベルＶ１に到達する。

[0052] 次いで、パルス制御部５４は、期間Ｔ１２において、第２のスイッチング素子ＳＷ２を閉状態に設定し、且つ、第１のスイッチング素子ＳＷ１を開状態に設定する。期間Ｔ１２において、パルス制御部５４は、スイッチング素子ＳＷＧを開状態に設定する。期間Ｔ１２において、バイアス電極ＢＥは、第２の直流電源５１２の負極に接続され、第２の直流電源５１２の出力電圧がバイアス電極ＢＥに印加される。その結果、期間Ｔ１２においては、電圧パルスＶＰの電圧レベルは、第２の直流電源５１２の出力電圧の電圧レベルである第２電圧レベルＶ２、即ち上述の到達電圧レベルに到達する。

[0053] したがって、第１の期間Ｔ１では、電圧パルスＶＰの電圧レベルは、上述の到達電圧レベルに、二つの段階で到達する。

[0054] 次いで、パルス制御部５４は、第２の期間Ｔ２において、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。パルス制御部５４は、第２の期間Ｔ２において、スイッチング素子ＳＷＧを閉

状態に設定してもよい。

[0055] 以上説明したプラズマ処理装置１では、電圧パルスＶＰの電圧レベルが到達電圧レベルに段階的に到達する。したがって、バイアス電極ＢＥに対する電圧パルスＶＰの印加中に基板Ｗがプラズマからのイオンによって帯電しても、基板Ｗの電位とプラズマとの間の電位差が低下することが抑制される。故に、プラズマ処理装置１によれば、バイアス電極ＢＥに対する電圧パルスＶＰの印加中に基板Ｗが帯電しても、プラズマから基板Ｗに供給されるイオンのエネルギーの低下が抑制される。

[0056] 以下、図６を参照する。図６は、別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図６に示すバイアス電源システム５０Ａは、バイアス電源システム５０に代えて、プラズマ処理装置１において採用され得る。バイアス電源システム５０Ａでは、第２の直流電源５１２の正極は、グランドから浮遊しており、第１の直流電源５１１の負極に接続されている。バイアス電源システム５０Ａの他の構成は、バイアス電源システム５０の対応の構成と同様である。また、バイアス電源システム５０Ａにおけるパルス制御部５４によるスイッチング回路５３の制御は、バイアス電源システム５０におけるパルス制御部５４によるスイッチング回路５３の制御と同様である。

[0057] バイアス電源システム５０Ａでは、第２の直流電源５１２からの出力電圧の電圧レベルは、第１の直流電源５１１の出力電圧の電圧レベルと第２の直流電源５１２の正極と負極との間の電位差の和である。したがって、第２の直流電源５１２として、比較的小さい最大出力電圧レベルを有する直流電源を用いることが可能である。

[0058] 以下、図７を参照する。図７は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図７に示すバイアス電源システム５０Ｂは、バイアス電源システム５０に代えて、プラズマ処理装置１において採用され得る。バイアス電源システム５０Ｂでは、第１の直流電源５１１は、直列接続された複数の直流電源から構成されている。また、バイアス電源

システム５０Ｂでは、第２の直流電源５１２は、第１の直流電源５１１の複数の直流電源と、第１の直流電源５１１と直列接続された複数の直流電源と、から構成されている。バイアス電源システム５０Ｂの他の構成は、バイアス電源システム５０Ａの対応の構成と同様である。また、バイアス電源システム５０Ｂにおけるパルス制御部５４によるスイッチング回路５３の制御は、バイアス電源システム５０におけるパルス制御部５４によるスイッチング回路５３の制御と同様である。

[0059] 以下、図８を参照する。図８は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図８に示すバイアス電源システム５０Ｃは、バイアス電源システム５０に代えて、プラズマ処理装置１において採用され得る。以下、バイアス電源システム５０Ｃについて、バイアス電源システム５０に対する相違点の観点から説明する。

[0060] バイアス電源システム５０Ｃは、直流電源５１Ｃ、スイッチング回路５３Ｃ、及びパルス制御部５４Ｃを含む。直流電源５１Ｃは、バイアス電源システム５０Ｃにおける単一の直流電源であり得る。直流電源５１Ｃは、電圧パルスＶＰ（図９の（ａ）参照）の到達電圧レベルを有する出力電圧を出力可能である。直流電源５１Ｃは、可変直流電源であり得る。直流電源５１Ｃの正極は、グランドに接続されていてもよい。直流電源５１Ｃの負極は、スイッチング回路５３Ｃに接続されている。

[0061] スイッチング回路５３Ｃは、スイッチング素子ＳＷＣ及びスイッチング素子ＳＷＧを含んでいる。

[0062] スイッチング素子ＳＷＣは、直流電源５１Ｃの負極とバイアス電極ＢＥとの間で電気的に接続されている。スイッチング素子ＳＷＣが閉じているとき、直流電源５１Ｃとバイアス電極ＢＥとは導通状態にあり、スイッチング素子ＳＷＣが開いているとき、直流電源５１Ｃとバイアス電極ＢＥとは非導通状態にある。

[0063] スイッチング素子ＳＷＧは、グランドとバイアス電極ＢＥとの間で電気的に接続されている。スイッチング素子ＳＷＧが閉じているとき、グランドと

バイアス電極ＢＥとは導通状態にあり、スイッチング素子ＳＷＧが開いているとき、グランドとバイアス電極ＢＥとは非導通状態にある。

[0064] パルス制御部５４Ｃは、スイッチング回路５３Ｃを制御するように構成されている。パルス制御部５４Ｃは、電圧パルスＶＰの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、スイッチング回路５３Ｃを制御するように構成されている。パルス制御部５４Ｃは、バイアス電極ＢＥに対する電圧パルスＶＰの印加において、スイッチング素子ＳＷＣの開閉を交互に繰り返すよう、スイッチング回路５３Ｃを制御するように構成されている。

[0065] 以下、パルス制御部５４Ｃの動作の一例について説明する。図９の（ａ）は、更に別の例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートである。図９の（ｂ）は、図９の（ａ）のタイミングチャートの一部分Ｓを拡大して示す図である。図９の（ａ）及び図９の（ｂ）において、横軸は時間を示している。図９の（ａ）において、縦軸は、スイッチング素子ＳＷＣ及びスイッチング素子ＳＷＧの各々の状態並びに電圧パルスＶＰの電圧レベルを示している。図９において、電圧パルスＶＰの電圧レベルの基準電位は、接地電位である。

[0066] 図９の（ａ）及び図９の（ｂ）に示すように、パルス制御部５４Ｃは、電圧パルスＶＰをバイアス電極ＢＥに周期的に印加するよう構成されていてもよい。電圧パルスＶＰの波形周期は、第１の期間Ｔ１Ｃと第２の期間Ｔ２Ｃとを含んでいる。第２の期間Ｔ２Ｃは第１の期間Ｔ１Ｃに続く期間である。第１の期間Ｔ１Ｃでは、パルス制御部５４Ｃは、電圧パルスＶＰの電圧レベルを、上述の到達電圧レベルに段階的に到達させるよう、スイッチング回路５３Ｃを制御する。第２の期間Ｔ２Ｃでは、バイアス電源システム５０Ｃの出力電圧のレベルは基準電位レベル（例えば接地電位）に設定される。

[0067] 第１の期間Ｔ１Ｃでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＧを開状態に設定する。第１の期間Ｔ１Ｃは、図示された例では、期間Ｔ１１ａ～期間Ｔ１４ｂを含む。期間Ｔ１１ａ～期間Ｔ１４ｂの各々の時間長は、

予め定められていてもよい。

[0068] 期間Ｔ１１ａは、第１の期間Ｔ１Ｃ内の最初の副期間である。期間Ｔ１１ａでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを閉状態に設定する。期間Ｔ１１ａでは、電圧パルスＶＰの電圧レベルは第１電圧レベルＶＣ１に到達する。続く期間Ｔ１１ｂでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを開状態に設定する。期間Ｔ１１ｂにおいて、バイアス電極ＢＥは、グランドから浮遊している。

[0069] 続く期間Ｔ１２ａでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを閉状態に設定する。期間Ｔ１２ａでは、電圧パルスＶＰの電圧レベルは第２電圧レベルＶＣ２に到達する。第２電圧レベルＶＣ２と基準電位との間の差は、第１電圧レベルＶＣ１と基準電位との間の差と同等であるか当該差よりも大きい。続く期間Ｔ１２ｂでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを開状態に設定する。期間Ｔ１２ｂにおいて、バイアス電極ＢＥは、グランドから浮遊している。

[0070] 続く期間Ｔ１３ａでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを閉状態に設定する。期間Ｔ１３ａでは、電圧パルスＶＰの電圧レベルは第３電圧レベルＶＣ３に到達する。第３電圧レベルＶＣ３と基準電位との間の差は、第２電圧レベルＶＣ２と基準電位との間の差と同等であるか当該差よりも大きい。期間Ｔ１３ｂでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを開状態に設定する。期間Ｔ１３ｂにおいて、バイアス電極ＢＥは、グランドから浮遊している。

[0071] 続く期間Ｔ１４ａでは、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを閉状態に設定する。期間Ｔ１４ａでは、電圧パルスＶＰの電圧レベルは第４電圧レベルＶＣ４に達する。第４電圧レベルＶＣ４と基準電位との間の差は、第３電圧レベルＶＣ３と基準電位との間の差と同等であるか当該差よりも大きい。図９の（ａ）に示す例において、第４電圧レベルＶＣ４は、電圧パルスＶＰにおいて基準電位に対して負方向に最大電位差を有する到達電圧レベルである。続く期間Ｔ１４ｂでは、パルス制御部５４Ｃは、スイッチン

グ素子ＳＷＣを開状態に設定する。期間Ｔ１４ｂにおいて、バイアス電極ＢＥは、グランドから浮遊している。

[0072] 図９の（ａ）に示すように、第１の期間Ｔ１Ｃにおいて、電圧パルスＶＰの電圧レベルは、上述の到達電圧レベルに四段階で到達する。なお、第１の期間Ｔ１Ｃにおいて電圧パルスＶＰが到達電圧レベルに至るまでの段階数は、四段階に限定されない。

[0073] 第１の期間Ｔ１Ｃに続く第２の期間Ｔ２Ｃにおいて、パルス制御部５４Ｃは、スイッチング素子ＳＷＣを開状態に設定する。第２の期間Ｔ２Ｃにおいて、パルス制御部５４Ｃは、スイッチング素子ＳＷＧを閉状態に設定してもよい。

[0074] バイアス電源システム５０Ｃによれば、単一の直流電源５１Ｃを用いることができ、スイッチング回路５３におけるスイッチング素子の個数が削減される。したがって、バイアス電源システム５０Ｃは、より簡易な構造を有する。

[0075] 以下、図１０を参照する。図１０は、別の例示的実施形態に係るプラズマ処理装置１０１を概略的に示す図である。以下、図１０に示すプラズマ処理装置１０１について、プラズマ処理装置１に対する相違点の観点から説明する。

[0076] 図１０に示すように、プラズマ処理装置１０１の基板支持部１１は、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２を更に含んでいる。第１のバイアス電極ＢＥ１は、基板支持面１１１ａの下方で延在しており、第１の領域Ｒ１内に配置されている。第１のバイアス電極ＢＥ１は、基板支持面１１１ａ上の基板Ｗに電気的に結合されている。図１０に示す例では、第１のバイアス電極ＢＥ１は、誘電体部１１１１ｄ内且つ第１の領域Ｒ１内に配置されている。第１のバイアス電極ＢＥ１は、導電性材料から形成された膜であってもよい。第１のバイアス電極ＢＥ１は、略円形の平面形状を有していてもよい。第１のバイアス電極ＢＥ１は、その中心が軸線ＡＸ上に位置するように配置され得る。上述のチャック電極ＣＥ１は、基板支持面１１１

ａと第１のバイアス電極ＢＥ１との間で延在し得る。なお、チャック電極ＣＥ１が、第１のバイアス電極ＢＥ１として用いられてもよい。

[0077] 第２のバイアス電極ＢＥ２は、第１のバイアス電極ＢＥ１とは別の電極である。第２のバイアス電極ＢＥ２は、リング支持面１１１ｂの下方で延在しており、第２の領域Ｒ２内に配置されている。第２のバイアス電極ＢＥ２は、エッジリングＥＲに電気的に結合されている。エッジリングＥＲは、基板Ｗを囲むようにリング支持面１１１ｂ上に載置されている。図１０に示す例では、第２のバイアス電極ＢＥ２は、誘電体部１１１１ｄ内且つ第２の領域Ｒ２内に配置されている。第２のバイアス電極ＢＥ２は、導電性材料から形成された膜であってもよい。第２のバイアス電極ＢＥ２は、略環状の平面形状を有していてもよい。第２のバイアス電極ＢＥ２は、その中心が軸線ＡＸ上に位置するように配置され得る。上述のチャック電極ＣＥ２及びＣＥ３の各々は、リング支持面１１１ｂと第２のバイアス電極ＢＥ２との間で延在し得る。なお、チャック電極ＣＥ２及びＣＥ３が、第２のバイアス電極ＢＥ２として用いられてもよい。

[0078] プラズマ処理装置１０１は、バイアス電源システム５０Ｄを備える。バイアス電源システム５０Ｄは、電気的パス３０１ｐを介して第１のバイアス電極ＢＥ１に電気的に結合されている。バイアス電源システム５０Ｄは、電気的パス３０２ｐを介して第２のバイアス電極ＢＥ２に電気的に結合されている。

[0079] バイアス電源システム５０Ｄは、第１のバイアス電極ＢＥ１に第１の電圧パルスＶＰ１を断続的に又は周期的に印加する。バイアス電源システム５０Ｄは、第２のバイアス電極ＢＥ２に第２の電圧パルスＶＰ２を断続的に又は周期的に印加する。

[0080] 図１１は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図１１に示すように、バイアス電源システム５０Ｄは、第１の直流電源５１１Ｄ、第２の直流電源５１２Ｄ、第３の直流電源５１３Ｄ、第４の直流電源５１４Ｄ、第１のスイッチング回路５３１Ｄ、及び第２の

スイッチング回路５３２Ｄを含んでいる。第１のスイッチング回路５３１Ｄ及び第２のスイッチング回路５３２Ｄは、単一のスイッチング回路として構成されていてもよい。

[0081] 第１の直流電源５１１Ｄは、基準電位に対して第１の到達電圧レベルよりも小さい電位差を有する出力電圧を出力可能である。第１の到達電圧レベルは、第１の電圧パルスＶＰ１が最終的に到達する電圧レベルである。第２の直流電源５１２Ｄは、第１の到達電圧レベルを有する出力電圧を出力可能である。第３の直流電源５１３Ｄは、基準電位に対して第２の到達電圧レベルよりも小さい電位差を有する出力電圧を出力可能である。第２の到達電圧レベルは、第２の電圧パルスＶＰ２が最終的に到達する電圧レベルである。第４の直流電源５１４Ｄは、第２の到達電圧レベルを有する出力電圧を出力可能である。第１の直流電源５１１Ｄ、第２の直流電源５１２Ｄ、第３の直流電源５１３Ｄ及び第４の直流電源５１４Ｄは、可変直流電源であり得る。第１の直流電源５１１Ｄ、第２の直流電源５１２Ｄ、第３の直流電源５１３Ｄ及び第４の直流電源５１４Ｄの各々の正極は、グランドに接続されている。

[0082] 第１のスイッチング回路５３１Ｄは、第１の直流電源５１１Ｄ及び第２の直流電源５１２Ｄの各々と第１のバイアス電極ＢＥ１との間で電気的に接続されている。第１のスイッチング回路５３１Ｄと第１のバイアス電極ＢＥ１との間には、フィルタ３０１ｆ（図１０参照）が接続されていてもよい。フィルタ３０１ｆは、ソースＲＦ信号のような高周波信号を遮断するか減衰させるように構成されている。第１のスイッチング回路５３１Ｄは、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、及びスイッチング素子ＳＷＧ１を含み得る。

[0083] 第１のスイッチング素子ＳＷ１は、第１の直流電源５１１Ｄの負極と第１のバイアス電極ＢＥ１との間で電気的に接続されている。第２のスイッチング素子ＳＷ２は、第２の直流電源５１２Ｄの負極と第１のバイアス電極ＢＥ１との間で電気的に接続されている。スイッチング素子ＳＷＧ１は、グランドと第１のバイアス電極ＢＥ１との間で電気的に接続されている。

[0084] 第２のスイッチング回路５３２Ｄは、第３の直流電源５１３Ｄ及び第４の直流電源５１４Ｄの各々と第２のバイアス電極ＢＥ２との間で電気的に接続されている。第２のスイッチング回路５３２Ｄと第２のバイアス電極ＢＥ２との間には、フィルタ３０２ｆ（図１０参照）が接続されていてもよい。フィルタ３０２ｆは、ソースＲＦ信号のような高周波信号を遮断するか減衰させるように構成されている。第２のスイッチング回路５３２Ｄは、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、及びスイッチング素子ＳＷＧ２を含み得る。

[0085] 第３のスイッチング素子ＳＷ３は、第３の直流電源５１３Ｄの負極と第２のバイアス電極ＢＥ２との間で電気的に接続されている。第４のスイッチング素子ＳＷ４は、第４の直流電源５１４Ｄの負極と第２のバイアス電極ＢＥ２との間で電気的に接続されている。スイッチング素子ＳＷＧ２は、グランドと第２のバイアス電極ＢＥ２との間で電気的に接続されている。

[0086] パルス制御部５４Ｄは、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、スイッチング素子ＳＷＧ１、及びスイッチング素子ＳＷＧ２に電気的に接続されている。パルス制御部５４Ｄは、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、スイッチング素子ＳＷＧ１、及びスイッチング素子ＳＷＧ２に対してパルス制御信号を与える。これにより、パルス制御部５４Ｄは、これらのスイッチング素子の開閉を切り替え可能である。

[0087] パルス制御部５４Ｄは、第１のバイアス電極ＢＥ１に印加する第１の電圧パルスＶＰ１の電圧レベルを、基準電位に対して負方向に最大電位差を有するその第１の到達電圧レベルに段階的に到達させるよう、第１のスイッチング回路５３１Ｄを制御するよう構成されている。

[0088] パルス制御部５４Ｄは、第２のバイアス電極ＢＥ２に印加する第２の電圧パルスＶＰ２の電圧レベルを、基準電位に対して負方向に最大電位差を有するその第２の到達電圧レベルに段階的に到達させるよう、第２のスイッチン

グ回路５３２Ｄを制御するよう構成されている。

[0089] パルス制御部５４Ｄは、第１の電圧パルスＶＰ１の印加において、第１のスイッチング素子ＳＷ１を閉状態に設定し、且つ、第２のスイッチング素子ＳＷ２を開状態に設定し、次いで、第２のスイッチング素子ＳＷ２を閉状態に設定し、且つ、第１のスイッチング素子ＳＷ１を開状態に設定するよう、第１のスイッチング回路５３１Ｄを制御するように構成されている。

[0090] パルス制御部５４Ｄは、第２の電圧パルスＶＰ２の印加において、第３のスイッチング素子ＳＷ３を閉状態に設定し、且つ、第４のスイッチング素子ＳＷ４を開状態に設定し、次いで、第４のスイッチング素子ＳＷ４を閉状態に設定し、且つ、第３のスイッチング素子ＳＷ３を開状態に設定するよう、第２のスイッチング回路５３２Ｄを制御するように構成されている。

[0091] 以下、パルス制御部５４Ｄの動作の一例について説明する。図１２は、更に別の例示的実施形態に係るバイアス電源システムに関連する一例のタイミングチャートである。図１２において、横軸は時間を示している。図１２において、縦軸は、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、スイッチング素子ＳＷＧ１及びスイッチング素子ＳＷＧ２の各々の状態、並びに第１及び第２の電圧パルスの各々の電圧レベルを示している。図１２において、第１及び第２の電圧パルスの各々の基準電位は、接地電位である。

[0092] 第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、スイッチング素子ＳＷＧ１、及びスイッチング素子ＳＷＧ２の各々は、図１２に示す「Ｏｎ」に対応する期間において閉状態にある。第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３、第４のスイッチング素子ＳＷ４、スイッチング素子ＳＷＧ１、及びスイッチング素子ＳＷＧ２の各々は、図１２に示す「Ｏｆｆ」に対応する期間において開状態にある。

[0093] 図１２に示すように、パルス制御部５４Ｄは、第１及び第２の電圧パルス

を周期的に発生するよう構成されていてもよい。第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２の共通の波形周期は、第１の期間Ｔ１と第２の期間Ｔ２を含む。第１の期間Ｔ１では、パルス制御部５４Ｄは、第１の電圧パルスＶＰ１の電圧レベルを、基準電位に対して負方向に最大電位差を有するその第１の到達電圧レベルに段階的に到達させるよう、第１のスイッチング回路５３１Ｄを制御する。また、第１の期間Ｔ１では、パルス制御部５４Ｄは、第２の電圧パルスＶＰ２の電圧レベルを、基準電位に対して負方向に最大電位差を有するその第２の到達電圧レベルに段階的に到達させるよう、第２のスイッチング回路５３２Ｄを制御する。第１の期間Ｔ１に続く第２の期間Ｔ２では、バイアス電源システム５０Ｄの出力電圧のレベルは基準電位レベル（例えば接地電位）に設定される。

[0094] 第１の期間Ｔ１は、期間Ｔ１１及び期間Ｔ１２を含む。期間Ｔ１２は、期間Ｔ１１に続く期間である。パルス制御部５４Ｄは、期間Ｔ１１において、第１のスイッチング素子ＳＷ１を閉状態に設定し、且つ、第２のスイッチング素子ＳＷ２を開状態に設定する。期間Ｔ１１において、パルス制御部５４Ｄは、スイッチング素子ＳＷＧ１を開状態に設定する。期間Ｔ１１において、第１の電圧パルスＶＰ１の電圧レベルは、第１の直流電源５１１Ｄの出力電圧の電圧レベルである第１電圧レベルＶＤ１に到達する。

[0095] パルス制御部５４Ｄは、期間Ｔ１１において、第３のスイッチング素子ＳＷ３を閉状態に設定し、且つ、第４のスイッチング素子ＳＷ４を開状態に設定する。期間Ｔ１１において、パルス制御部５４Ｄは、スイッチング素子ＳＷＧ２を開状態に設定する。期間Ｔ１１において、第２の電圧パルスＶＰ２の電圧レベルは、第３の直流電源５１３Ｄの出力電圧の電圧レベルである第３電圧レベルＶＤ３に到達する。

[0096] 次いで、パルス制御部５４Ｄは、期間Ｔ１２において、第２のスイッチング素子ＳＷ２を閉状態に設定し、且つ、第１のスイッチング素子ＳＷ１を開状態に設定する。期間Ｔ１２において、パルス制御部５４Ｄは、スイッチング素子ＳＷＧ１を開状態に設定する。期間Ｔ１２において、第１の電圧パル

スＶＰ１の電圧レベルは、第２の直流電源５１２Ｄの出力電圧の電圧レベルである第２電圧レベルＶＤ２、即ち上述の第１の到達電圧レベルに到達する。

[0097] また、パルス制御部５４Ｄは、期間Ｔ１２において、第４のスイッチング素子ＳＷ４を閉状態に設定し、且つ、第３のスイッチング素子ＳＷ３を開状態に設定する。期間Ｔ１２において、パルス制御部５４Ｄは、スイッチング素子ＳＷＧ２を開状態に設定する。期間Ｔ１２において、第２の電圧パルスＶＰ２の電圧レベルは、第４の直流電源５１４Ｄの出力電圧の電圧レベルである第４電圧レベルＶＤ４、即ち上述の第２の到達電圧レベルに到達する。

[0098] したがって、図１２に示すように、第１の期間Ｔ１では、第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２の各々の電圧レベルは、その到達電圧レベルに、二つの段階で到達する。

[0099] 次いで、パルス制御部５４Ｄは、第２の期間Ｔ２において、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、第３のスイッチング素子ＳＷ３及び第４のスイッチング素子ＳＷ４を開状態に設定する。パルス制御部５４Ｄは、第２の期間Ｔ２において、スイッチング素子ＳＷＧ１及びスイッチング素子ＳＷＧ２を閉状態に設定してもよい。

[0100] かかるプラズマ処理装置１０１によれば、基板Ｗとエッジリング ＥＲの双方に互いに同期された電圧パルスを印加することができる。また、エッジリング ＥＲの消耗量に応じて第２の電圧パルスＶＰ２の到達電圧レベルの基準電位に対する電位差を増加させることができる。これにより、基板Ｗ上のシースの厚さに対してエッジリング ＥＲ上のシースの厚さを調整し、プラズマから基板Ｗのエッジに供給されるイオンの進行方向を垂直方向に補正することができる。また、これにより、エッジリング ＥＲの交換寿命を長くすることが可能である。

[0101] 以下、図１３を参照する。図１３は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図１３に示すバイアス電源システム５０Ｅは、バイアス電源システム５０Ｄに代えて、プラズマ処理装置１

０１において採用され得る。

[0102] バイアス電源システム５０Ｅでは、第２の直流電源５１２Ｄの正極は、グランドから浮遊しており、第１の直流電源５１１Ｄの負極に電気的に接続されている。第４の直流電源５１４Ｄの正極は、グランドから浮遊しており、第３の直流電源５１３Ｄの負極に電気的に接続されている。第３の直流電源５１３Ｄの正極は、グランドから浮遊していてもよく、第１の直流電源５１１Ｄの負極に電気的に接続されていてもよい。或いは、第３の直流電源５１３Ｄの正極は、グランドに接続されていてもよい。バイアス電源システム５０Ｅの他の構成は、バイアス電源システム５０Ｄの対応の構成と同様である。また、バイアス電源システム５０Ｅにおけるパルス制御部５４Ｄによる第１のスイッチング回路５３１Ｄ及び第２のスイッチング回路５３２Ｄの制御は、バイアス電源システム５０Ｄにおけるパルス制御部５４Ｄによる第１のスイッチング回路５３１Ｄ及び第２のスイッチング回路５３２Ｄの制御と同様である。

[0103] バイアス電源システム５０Ｅによれば、第２の直流電源５１２Ｄ及び第４の直流電源５１４Ｄの各々として、比較的小さい最大出力電圧レベルを有する直流電源を用いることが可能である。また、第３の直流電源５１３Ｄの正極が、グランドから浮遊しており、第１の直流電源５１１Ｄの負極に電気的に接続されている場合には、第３の直流電源５１３Ｄとして、比較的小さい最大出力電圧レベルを有する直流電源を用いることが可能である。

[0104] 以下、図１４を参照する。図１４は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図１４に示すバイアス電源システム５０Ｆは、バイアス電源システム５０Ｄに代えて、プラズマ処理装置１０１において採用され得る。バイアス電源システム５０Ｆでは、第１の直流電源５１１Ｄは、直列接続された複数の直流電源から構成されている。また、バイアス電源システム５０Ｆでは、第２の直流電源５１２Ｄは、第１の直流電源５１１Ｄの複数の直流電源と、第１の直流電源５１１Ｄと直列接続された複数の直流電源と、から構成されている。また、バイアス電源システム

５０Ｆでは、第３の直流電源５１３Ｄは、直列接続された複数の直流電源から構成されている。また、バイアス電源システム５０Ｆでは、第４の直流電源５１４Ｄは、第３の直流電源５１３Ｄの複数の直流電源と、第３の直流電源５１３Ｄと直列接続された複数の直流電源と、から構成されている。バイアス電源システム５０Ｆの他の構成は、バイアス電源システム５０Ｅの対応の構成と同様である。また、バイアス電源システム５０Ｆにおけるパルス制御部５４Ｄによる第１のスイッチング回路５３１Ｄ及び第２のスイッチング回路５３２Ｄの制御は、バイアス電源システム５０Ｄにおけるパルス制御部５４Ｄによる第１のスイッチング回路５３１Ｄ及び第２のスイッチング回路５３２Ｄの制御と同様である。

[0105] 以下、図１５を参照する。図１５は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図１５に示すバイアス電源システム５０Ｇは、バイアス電源システム５０Ｄに代えて、プラズマ処理装置１０１において採用され得る。以下、バイアス電源システム５０Ｇについて、バイアス電源システム５０Ｄに対する相違点の観点から説明する。

[0106] バイアス電源システム５０Ｇは、少なくとも一つの直流電源として、第１の直流電源５１１Ｇ及び第２の直流電源５１２Ｇを含む。バイアス電源システム５０Ｇは、第１のスイッチング回路５３１Ｇ及び第２のスイッチング回路５３２Ｇを更に含む。第１のスイッチング回路５３１Ｇ及び第２のスイッチング回路５３２Ｇは、単一のスイッチング回路として構成されていてもよい。バイアス電源システム５０Ｇは、パルス制御部５４Ｇを更に含む。

[0107] 第１の直流電源５１１Ｇは、第１の電圧パルスＶＰ１（図１６の（ａ）参照）の第１の到達電圧レベルを有する出力電圧を出力可能である。第２の直流電源５１２Ｇは、第２の電圧パルスＶＰ２（図１６の（ａ）参照）の第２の到達電圧レベルを有する出力電圧を出力可能である。第１の直流電源５１１Ｇの正極及び第２の直流電源５１２Ｇの正極は、グランドに接続されていてもよい。第１の直流電源５１１Ｇの負極は、第１のスイッチング回路５３１Ｇに接続されており、第２の直流電源５１２Ｇの負極は、第２のスイッチ

ング回路５３２Ｇに接続されている。

[0108] 第１のスイッチング回路５３１Ｇは、第１のスイッチング素子ＳＷ１及びスイッチング素子ＳＷＧ１を含んでいる。第１のスイッチング素子ＳＷ１は、第１の直流電源５１１Ｇの負極と第１のバイアス電極ＢＥ１との間で電気的に接続されている。スイッチング素子ＳＷＧ１は、第１のバイアス電極ＢＥ１とグランドとの間で接続されている。第２のスイッチング回路５３２Ｇは、第２のスイッチング素子ＳＷ２及びスイッチング素子ＳＷＧ２を含んでいる。第２のスイッチング素子ＳＷ２は、第２の直流電源５１２Ｇの負極と第２のバイアス電極ＢＥ２との間で電気的に接続されている。スイッチング素子ＳＷＧ２は、第２のバイアス電極ＢＥ２とグランドとの間で接続されている。

[0109] パルス制御部５４Ｇは、第１のスイッチング回路５３１Ｇ及び第２のスイッチング回路５３２Ｇを制御するように構成されている。パルス制御部５４Ｇは、第１の電圧パルスＶＰ１の電圧レベルを、基準電位に対して負方向に最大電位差を有するその第１の到達電圧レベルに段階的に到達させるよう、第１のスイッチング回路５３１Ｇを制御するように構成されている。パルス制御部５４Ｇは、第２の電圧パルスＶＰ２の電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、第２のスイッチング回路５３２Ｇを制御するように構成されている。

[0110] パルス制御部５４Ｇは、第１のバイアス電極ＢＥ１に対する第１の電圧パルスＶＰ１の印加において、第１のスイッチング素子ＳＷ１の開閉を交互に繰り返すよう、第１のスイッチング回路５３１Ｇを制御するように構成されている。また、パルス制御部５４Ｇは、第２のバイアス電極ＢＥ２に対する第２の電圧パルスＶＰ２の印加において、第２のスイッチング素子ＳＷ２の開閉を交互に繰り返すよう、第２のスイッチング回路５３２Ｇを制御するように構成されている。

[0111] 以下、パルス制御部５４Ｇの動作の一例について説明する。図１６の（ａ）は、更に別の例示的実施形態に係るバイアス電源システムに関連する一例

のタイミングチャートである。図１６の（ｂ）は、図１６の（ａ）の一部分Ｓを拡大して示す図である。図１６の（ａ）において、縦軸は、第１のスイッチング素子ＳＷ１、第２のスイッチング素子ＳＷ２、スイッチング素子ＳＷＧ１、及びスイッチング素子ＳＷＧ２の各々の状態並びに第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２の各々の電圧レベルを示している。

[0112] 図１６の（ａ）に示すように、パルス制御部５４Ｇは、第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２をそれぞれ、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２に周期的に印加するように構成されていてもよい。第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２の波形周期は、第１の期間Ｔ１Ｇと第２の期間Ｔ２Ｇとを含んでいる。第１の期間Ｔ１Ｇでは、パルス制御部５４Ｇは、第１の電圧パルスＶＰ１の電圧レベルを、第１の到達電圧レベルに段階的に到達させるよう、第１のスイッチング回路５３１Ｇを制御する。また、第１の期間Ｔ１Ｇでは、パルス制御部５４Ｇは、第２の電圧パルスＶＰ２の電圧レベルを、第２の到達電圧レベルに段階的に到達させるよう、第２のスイッチング回路５３２Ｇを制御する。第２の期間Ｔ２Ｇでは、パルス制御部５４Ｇは、バイアス電源システム５０Ｇから第１のバイアス電極ＢＥ１への出力電圧のレベルを基準電位レベル（例えば接地電位）に設定する。また、第２の期間Ｔ２Ｇでは、パルス制御部５４Ｇは、バイアス電源システム５０Ｇから第２のバイアス電極ＢＥ２への出力電圧のレベルを基準電位レベル（例えば接地電位）に設定する。

[0113] 第１の期間Ｔ１Ｇでは、パルス制御部５４Ｇは、スイッチング素子ＳＷＧ１及びスイッチング素子ＳＷＧ２を開状態に設定する。第１の期間Ｔ１Ｇは、図示された例では、期間Ｔ１１ａ～期間Ｔ１４ｂを含む。期間Ｔ１１ａ～期間Ｔ１４ｂの各々の時間長は、予め定められていてもよい。

[0114] 期間Ｔ１１ａは、第１の期間Ｔ１Ｇ内の最初の副期間である。期間Ｔ１１ａでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を閉状態に設定する。期間Ｔ１１ａでは、第１の電圧パルスＶＰ１の電圧レベルは第１電圧レベルＶＧ１に到達し、第２の電圧

パルスＶＰ２の電圧レベルは第５電圧レベルＶＧ５に到達する。続く期間Ｔ１１ｂでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。期間Ｔ１１ｂにおいて、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２は、グランドから浮遊している。

[0115] 続く期間Ｔ１２ａでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を閉状態に設定する。期間Ｔ１２ａでは、第１の電圧パルスＶＰ１の電圧レベルは第２電圧レベルＶＧ２に到達し、第２の電圧パルスＶＰ２の電圧レベルは第６電圧レベルＶＧ６に達する。第２電圧レベルＶＧ２と基準電位との間の差は、第１電圧レベルＶＧ１と基準電位との間の差と同等であるか当該差よりも大きく、第６電圧レベルＶＧ６と基準電位との間の差は、第５電圧レベルＶＧ５と基準電位との間の差と同等であるか当該差よりも大きい。続く期間Ｔ１２ｂでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。期間Ｔ１２ｂにおいて、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２は、グランドから浮遊している。

[0116] 続く期間Ｔ１３ａでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を閉状態に設定する。期間Ｔ１３ａでは、第１の電圧パルスＶＰ１の電圧レベルは第３電圧レベルＶＧ３に到達し、第２の電圧パルスＶＰ２の電圧レベルは第７電圧レベルＶＧ７に達する。第３電圧レベルＶＧ３と基準電位との間の差は、第２電圧レベルＶＧ２と基準電位との間の差と同等であるか当該差よりも大きく、第７電圧レベルＶＧ７と基準電位との間の差は、第６電圧レベルＶＧ６と基準電位との間の差と同等であるか当該差よりも大きい。続く期間Ｔ１３ｂでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。期間Ｔ１３ｂにおいて、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２は、グランドから浮遊している。

[0117] 続く期間Ｔ１４ａでは、パルス制御部５４Ｇは、第１のスイッチング素子

ＳＷ１及び第２のスイッチング素子ＳＷ２を閉状態に設定する。期間Ｔ１４ａでは、第１の電圧パルスＶＰ１の電圧レベルは第４電圧レベルＶＧ４、即ち第１の到達電圧レベルに到達し、第２の電圧パルスＶＰ２の電圧レベルは第８電圧レベルＶＧ８、即ち第２の到達電圧レベルに達する。第４電圧レベルＶＧ４、即ち第１の到達電圧レベルと基準電位との間の差は、第３電圧レベルＶＧ３と基準電位との間の差と同等であるか当該差よりも大きく、第８電圧レベルＶＧ８、即ち第２の到達電圧レベルと基準電位との間の差は、第７電圧レベルＶＧ７と基準電位との間の差と同等であるか当該差よりも大きい。続く期間Ｔ１４ｂでは、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。期間Ｔ１４ｂにおいて、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２は、グランドから浮遊している。

[0118] 図１６の（ａ）に示すように、第１の期間Ｔ１Ｇにおいて、第１の電圧パルスＶＰ１の電圧レベル及び第２の電圧パルスＶＰ２はそれぞれ、第１の到達電圧レベル及び第２の到達電圧レベルに四段階で到達する。なお、第１の期間Ｔ１Ｇにおいて第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２の各々がその到達電圧レベルに至るまでの段階数は、四段階に限定されない。

[0119] 第１の期間Ｔ１Ｇに続く第２の期間Ｔ２Ｇにおいて、パルス制御部５４Ｇは、第１のスイッチング素子ＳＷ１及び第２のスイッチング素子ＳＷ２を開状態に設定する。また、第２の期間Ｔ２Ｇにおいて、パルス制御部５４Ｇは、スイッチング素子ＳＷＧ１及びスイッチング素子ＳＷＧ２を閉状態に設定してもよい。

[0120] 以下、図１７を参照する。図１７は、更に別の例示的実施形態に係るバイアス電源システムを概略的に示す図である。図１７に示すバイアス電源システム５０Ｈは、バイアス電源システム５０Ｄに代えて、プラズマ処理装置１０１において採用され得る。以下、バイアス電源システム５０Ｈについて、バイアス電源システム５０Ｇに対する相違点の観点から説明する。

[0121] バイアス電源システム５０Ｈでは、第２の直流電源５１２Ｇの正極がグラ

ンドから浮遊しており、第１の直流電源５１１Ｇの負極に接続されている。バイアス電源システム５０Ｈの他の構成は、バイアス電源システム５０Ｇの対応の構成と同様である。バイアス電源システム５０Ｈによれば、第２の直流電源５１２Ｇとして、比較的小さい最大出力電圧レベルを有する直流電源を用いることが可能である。

[0122] 以下、図１８を参照して、一つの例示的実施形態に係るプラズマ処理方法について詳細に説明する。図１８は、一つの例示的実施形態に係るプラズマ処理方法の流れ図である。図１８に示すプラズマ処理方法（以下、「方法ＭＴ１」という）は、プラズマ処理装置１又はプラズマ処理装置１０１を用いて実行され得る。方法ＭＴ１の各工程において、プラズマ処理装置の各部は、制御部２及び／又は上述のパルス制御部によって制御され得る。

[0123] 方法ＭＴ１は、工程ＳＴａで開始する。工程ＳＴａでは、基板Ｗが準備される。工程ＳＴａでは、基板Ｗは、チャンバ１０内に配置された基板支持部１１の基板支持面１１１ａ上に載置される。方法ＭＴ１において工程ＳＴａの後の工程は、基板Ｗが基板支持部１１上に載置された状態で実行される。

[0124] 工程ＳＴａの後に、工程ＳＴ１１が行われる。工程ＳＴ１１では、プラズマがチャンバ１０内で生成される。工程ＳＴ１１では、ガス供給部２０から内部空間１０ｓにガスが供給される。工程ＳＴ１１では、排気システム４０によってチャンバ１０内の圧力が指定された圧力に減圧される。工程ＳＴ１１では、プラズマ生成部１２によってチャンバ１０内のガスからプラズマが生成される。一実施形態では、チャンバ１０内のガスからプラズマを生成するために、第１のＲＦ生成部３１ａからソースＲＦ信号が供給される。

[0125] 工程ＳＴ１１の後に、工程ＳＴ１２が行われる。プラズマ処理装置１が用いられる場合には、工程ＳＴ１２において、プラズマから基板Ｗにイオンを引き込むために、基板支持部１１のバイアス電極ＢＥに断続的又は周期的に電圧パルスＶＰが印加される。工程ＳＴ１２では、プラズマ処理装置１に関して上述したように、電圧パルスＶＰがその到達電圧レベルに段階的に到達するように、バイアス電源システムのスイッチング回路がパルス制御部によ

って制御される。

[0126] プラズマ処理装置１０１が用いられる場合には、工程ＳＴ１２において、プラズマから基板Wにイオンを引き込むために、第１のバイアス電極ＢＥ１及び第２のバイアス電極ＢＥ２に断続的又は周期的に第１の電圧パルスＶＰ１及び第２の電圧パルスＶＰ２がそれぞれ印加される。工程ＳＴ１２では、プラズマ処理装置１０１に関して上述したように、第１の電圧パルスＶＰ１がその第１の到達電圧レベルに段階的に到達するように、バイアス電源システムの第１のスイッチング回路がパルス制御部によって制御される。また、工程ＳＴ１２では、プラズマ処理装置１０１に関して上述したように、第２の電圧パルスＶＰ２がその第２の到達電圧レベルに段階的に到達するように、バイアス電源システムの第２のスイッチング回路がパルス制御部によって制御される。

[0127] 方法ＭＴ１は、工程ＳＴＪ１を更に含み得る。工程ＳＴＪ１では、停止条件が満たされるか否かが判定される。停止条件は、例えば、工程ＳＴ１１及び工程ＳＴ１２を含むシーケンスＳＱ１の実行回数が所定回数に達している場合に満たされる。工程ＳＴＪ１において停止条件が満たされていないと判定されると、シーケンスＳＱ１が工程ＳＴ１１から再び実行される。一方、工程ＳＴＪ１において停止条件が満たされていると判定されると、方法ＭＴ１が終了する。

[0128] 以下、制御部２及び／又はパルス制御部５４，５４Ｃ～５４Ｇのようなプラズマ処理装置における一つ以上の処理回路として用いられ得る処理回路の例について説明する。図１９は、本明細書に記載の動作をコンピュータ上で実施する処理回路のブロック図である。図１９は、任意のコンピュータ上の制御処理を制御するために使用され得る処理回路１３０を図示している。フローチャートにおける記述又はブロックは、処理の特定の論理機能又はステップを実施するための一つ以上の実行可能な命令を含むモジュール、セグメント、又はコードの一部を表すものである。当業者によって理解されるように、関連する機能に応じて、略同時、又は逆の順序等、図示又は記載の順序

とは異なる順序で実行可能な機能を有する別の実施例が、本開示の例示的実施形態の範囲内に含まれる。本明細書に記載の様々な要素、特徴、及び処理は互いに独立に使用されてもよく、様々な方法で組み合わせられてもよい。考えられ得るあらゆる組合せ及び部分的な組合せが、本開示の範囲に含まれ得る。

[0129] 図１９では、処理回路１３０は、上述／後述の一つ以上の制御処理を実施するＣＰＵ１２００を含む。処理データ及び命令は、メモリ１２０２に格納されてもよい。これらの処理データ及び命令は、ハードディスクドライブ（ＨＤＤ:Hard Disk Drive）や可搬記憶媒体等の記憶媒体ディスク１２０４に格納されても、遠隔で格納されてもよい。更に、特許請求の範囲に記載する本開示は、本発明による処理の命令が格納されるコンピュータ可読媒体の形態によって限定されるものではない。例えば、これらの命令は、ＣＤ、ＤＶＤ、フラッシュメモリ、ＲＡＭ、ＲＯＭ、ＰＲＯＭ、ＥＰＲＯＭ、ＥＥＰＲＯＭ、ハードディスク、又は処理回路１３０が通信するサーバ及び／又はコンピュータ等の任意の他の情報処理装置に格納されてもよい。

[0130] 更に、特許請求の範囲に記載する本開示は、ユーティリティアプリケーション、バックグラウンドデーモン、オペレーティングシステムの構成要素、又はそれらの組合せとして提供されてもよい。特許請求の範囲に記載する本開示は、ＣＰＵ１２００及びマイクロソフトウィンドウズ（登録商標）、ＵＮＩＸ（登録商標）、Ｓｏｌａｒｉｓ（登録商標）、ＬＩＮＵＸ（登録商標）、Ａｐｐｌｅ　ＭＡＣ－ＯＳ等の当業者に既知のオペレーティングシステムと連動して実行されてもよい。

[0131] 処理回路１３０を構築するハードウェア要素は、様々な回路要素によって実現することができる。更に、上述の実施形態の各機能は、一つ以上の処理回路を含む回路によって実施することができる。図１９に示すように、処理回路は、特定のプログラムがなされた処理装置、例えば処理装置（ＣＰＵ）１２００を含む。処理回路はまた、特定用途向け回路（ＡＳＩＣ: application specific integrated circuit）や記載の機能を実施するように構成され

た従来の回路部品等のデバイスを含む。

[0132] 図１９では、処理回路１３０は上述の処理を実施するＣＰＵ１２００を含む。処理回路１３０は、汎用コンピュータ又は特定の専用機であってもよい。一実施形態では、処理装置１２００がプラズマ生成部１２及びガス供給部２０の制御、或いは又は加えて、バイアス電源システム５０，５０Ａ～５０Ｈの制御を行うようにプログラミングされている場合には、処理回路１３０は特定の専用機として機能する。

[0133] 或いは又は更に、ＣＰＵ１２００は、当業者には理解されるように、ＦＰＧＡ、ＡＳＩＣ、ＰＬＤ上で、又は離散した論理回路を用いて実装されてもよい。更に、ＣＰＵ１２００は、上述の本発明の処理の命令を並行して実施するように協働する複数の処理装置として実施してもよい。

[0134] 図１９の処理回路１３０はまた、ネットワーク１２２８とインターフェース接続するためのネットワーク制御器１２０６、例えば米国インテル株式会社のIntel Ethernet PROネットワークインターフェースカード等を含む。ネットワーク１２２８は、理解可能なように、インターネット等のパブリックネットワーク、ＬＡＮやＷＡＮ等のプライベートネットワーク、又はそれらの任意の組合せでよく、また、ＰＳＴＮやＩＳＤＮ等のサブネットワークを含んでもよい。ネットワーク１２２８はまた、イーサネットネットワーク等のような有線でもよく、ＥＤＧＥ、３Ｇ、４Ｇ無線セルラシステムを含むセルラネットワーク等の無線でもよい。無線ネットワークはまた、Wi-Fi、Bluetooth（登録商標）、又は他の任意の既知の無線通信形態でもよい。

[0135] 処理回路１３０は、モニタ等の表示装置１２１０とインターフェース接続するためのグラフィックカードやグラフィックアダプタ等の表示装置制御器１２０８を更に含む。汎用Ｉ／Ｏインターフェース１２１２が、キーボード及び／又はマウス１２１４、並びに表示装置１２１０と一体、又は別体のタッチパネル１２１６とインターフェース接続されている。汎用Ｉ／Ｏインターフェースはまた、プリンタ及びスキャナ等の様々な周辺機器１２１８に接続されている。

[0136] 記憶装置制御器１２２４は、ＩＳＡ、ＥＩＳＡ、ＶＥＳＡ、ＰＣＩ等の通信バス１２２６を介して記憶媒体ディスク１２０４に接続され、処理回路１３０のすべての構成要素が互いに接続されている。表示装置１２１０、キーボード及び／又はマウス１２１４、並びに表示装置制御器１２０８、記憶装置制御器１２２４、ネットワーク制御器１２０６、音声制御器１２２０、及び汎用Ｉ／Ｏインターフェース１２１２の一般的な特徴及び機能については、本明細書では簡略化のために既知のものとして説明を省略する。

[0137] 本開示で記載する例示的な回路要素は、他の要素と置換え可能であり、本明細書に記載の例と異なる構造を有してもよい。更に、本明細書に記載の特徴を実施するように構成された回路は、複数の回路ユニット（例えば、チップ）で実施されても、又はこれらの特徴が単一のチップセットの回路に組みこまれてもよい。

[0138] 本明細書に記載の機能及び特徴はまた、システム上で分散配置された様々な構成要素によって実行されてもよい。例えば、一つ以上の処理装置がこれらのシステムの機能を実行してもよく、その場合、処理装置はネットワーク内で通信している複数の構成要素にわたって分散して配置される。分散配置された構成要素として、様々なヒューマンインターフェース及び通信装置（表示モニタ、スマートフォン、タブレット、個人情報端末（ＰＤＡ:Personal Digital Assistant）等）に加えて、処理を共有できる一つ以上のクライアント機及びサーバ機が含まれ得る。ネットワークは、ＬＡＮやＷＡＮ等のプライベートネットワークでも、インターネット等のパブリックネットワークでもよい。システムへの入力は、ユーザによる直接入力によって受け付けても、リアルタイムで又はバッチ処理として遠隔に受け付けてもよい。更に、実施例の一部を上述のものと同一ではないモジュール又はハードウェア上で実施してもよい。したがって、他の実施例も特許請求の範囲に含まれる。

[0139] 以上、種々の例示的実施形態について説明してきたが、上述した例示的実施形態に限定されることなく、様々な追加、省略、置換、及び変更がなされてもよい。また、異なる実施形態における要素を組み合わせて他の実施形態

を形成することが可能である。

[0140] 上述した種々の例示的実施形態のバイアス電源システムでは、電圧パルスの電圧レベルを到達電圧レベルに段階的に到達させるためのスイッチング回路のスイッチング動作は、バイアス電源システムのパルス制御部により制御されている。別の実施形態では、パルス制御部は、バイアス電源システムの一部を構成していなくてもよい。或いは、プラズマ処理装置はパルス制御部を含んでいなくてもよく、スイッチング回路は如何なる制御部からの制御に依存することなく、電圧パルスの電圧レベルを到達電圧レベルに段階的に到達させるためのスイッチング動作を行うように構成されていてもよい。

[0141] 以上の説明から、本開示の種々の実施形態は、説明の目的で本明細書で説明されており、本開示の範囲及び主旨から逸脱することなく種々の変更をなし得ることが、理解されるであろう。したがって、本明細書に開示した種々の実施形態は限定することを意図しておらず、真の範囲と主旨は、添付の特許請求の範囲によって示される。

符号の説明

[0142] １，１０１…プラズマ処理装置、１０…チャンバ、１１…基板支持部、ＢＥ１…第１のバイアス電極、ＢＥ２…第２のバイアス電極、ＢＥ…バイアス電極、１２…プラズマ生成部、５０…バイアス電源システム、５１…直流電源、５３…スイッチング回路、５４…パルス制御部。

請求の範囲

[請求項1] チャンバと、

バイアス電極を有し、前記チャンバ内に配置された基板支持部と、

前記チャンバ内でプラズマを生成するように構成されたプラズマ生成部と、

前記バイアス電極に電気的に結合され、前記プラズマからのイオンを前記基板支持部上の前記基板に引き込むために前記バイアス電極に断続的に電圧パルスを印加するよう構成されたバイアス電源システムと、

を備え、

前記バイアス電源システムは、

少なくとも一つの直流電源と、

前記バイアス電極と前記少なくとも一つの直流電源との間で電気的に接続されたスイッチング回路と、

前記スイッチング回路を制御するように構成されたパルス制御部と、

を含み、

前記パルス制御部は、前記電圧パルスの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、前記スイッチング回路を制御するように構成されている、

プラズマ処理装置。

[請求項2] 前記少なくとも一つの直流電源は、

前記基準電位に対して前記到達電圧レベルよりも小さい電位差を有する出力電圧を出力可能な第１の直流電源と、

前記到達電圧レベルを有する出力電圧を出力可能な第２の直流電源と、

を含み、

前記スイッチング回路は、

前記第１の直流電源の負極と前記バイアス電極との間で電気的に接続された第１のスイッチング素子と、

前記第２の直流電源の負極と前記バイアス電極との間で電気的に接続された第２のスイッチング素子と、

を含み、

前記パルス制御部は、前記電圧パルスの印加において、

前記第１のスイッチング素子を閉状態に設定し、且つ、前記第２のスイッチング素子を開状態に設定し、

次いで、前記第２のスイッチング素子を閉状態に設定し、且つ、前記第１のスイッチング素子を開状態に設定するよう、

前記スイッチング回路を制御するように構成されている、

請求項１に記載のプラズマ処理装置。

[請求項3] 前記第２の直流電源の正極は、グランドから浮遊しており、前記第１の直流電源の負極に電気的に接続されている、請求項２に記載のプラズマ処理装置。

[請求項4] 前記第１の直流電源は、一つ以上の直流電源を含み、

前記第２の直流電源は、

前記第１の直流電源の前記一つ以上の直流電源と、

該第１の直流電源の該一つ以上の直流電源と直列接続された一つ以上の直流電源と、

を含む、

請求項２に記載のプラズマ処理装置。

[請求項5] 前記バイアス電極は、第１のバイアス電極であり、

前記電圧パルスは、第１の電圧パルスであり、

前記到達電圧レベルは、第１の到達電圧レベルであり、

前記基板支持部は、

基板支持面と、

リング支持面と、

前記基板支持面の下方で延在しており、前記基板支持面上の前記基板と電気的に結合される前記第１のバイアス電極と、

前記第１のバイアス電極とは別の第２のバイアス電極であり、前記リング支持面の下方で延在しており、前記基板を囲むように該リング支持面上に載置されるエッジリングに電気的に結合される第２のバイアス電極と、

を含み、

前記少なくとも一つの直流電源は、

前記基準電位に対して負方向に最大電位差を有する第２の到達電圧レベルよりも小さい電位差を該基準電位に対して有する出力電圧を出力可能な第３の直流電源と、

前記第２の到達電圧レベルを有する出力電圧を出力可能な第４の直流電源と、

を含み、

前記スイッチング回路は、

前記第３の直流電源の負極と前記第２のバイアス電極との間で電気的に接続された第３のスイッチング素子と、

前記第４の直流電源の負極と前記第２のバイアス電極との間で電気的に接続された第４のスイッチング素子と、

を含み、

前記パルス制御部は、前記エッジリングに対する第２の電圧パルスの印加において、

前記第３のスイッチング素子を閉状態に設定し、且つ、前記第４のスイッチング素子を開状態に設定し、

次いで、前記第４のスイッチング素子を閉状態に設定し、且つ、前記第３のスイッチング素子を開状態に設定するよう、

前記スイッチング回路を制御するように構成されている、

請求項２に記載のプラズマ処理装置。

[請求項6] 前記第４の直流電源の正極は、グランドから浮遊しており、前記第３の直流電源の負極に電気的に接続されている、請求項５に記載のプラズマ処理装置。

[請求項7] 前記第１の直流電源は、一つ以上の直流電源を含み、

前記第２の直流電源は、

前記第１の直流電源の前記一つ以上の直流電源と、

該第１の直流電源の該一つ以上の直流電源と直列接続された一つ以上の直流電源と、

を含み、

前記第３の直流電源は、一つ以上の直流電源を含み、

前記第４の直流電源は、

前記第３の直流電源の前記一つ以上の直流電源と、

該第３の直流電源の該一つ以上の直流電源と直列接続された一つ以上の直流電源と、

を含む、

請求項５に記載のプラズマ処理装置。

[請求項8] 前記少なくとも一つの直流電源は、単一の直流電源を含み、

前記スイッチング回路は、前記バイアス電極と前記単一の直流電源との間で接続されたスイッチング素子を含み、

前記パルス制御部は、前記スイッチング素子の開と閉の交互の繰り返しによって前記電圧パルスの電圧レベルを前記到達電圧レベルに段階的に到達させるよう、前記スイッチング回路を制御するように構成されている、

請求項１に記載のプラズマ処理装置。

[請求項9] 前記スイッチング回路は、グランドと前記バイアス電極との間で電気的に接続された別のスイッチング素子を更に含み、

前記パルス制御部は、

前記バイアス電極に前記電圧パルスが印加されている期間において前記別のスイッチング素子を開状態に設定し、

前記バイアス電極に前記電圧パルスが印加されていない期間において前記別のスイッチング素子を閉状態に設定するよう、

前記スイッチング回路を制御するように構成されている、

請求項１～４及び８の何れか一項に記載のプラズマ処理装置。

[請求項10] 前記バイアス電極は、第１のバイアス電極であり、

前記電圧パルスは、第１の電圧パルスであり、

前記到達電圧レベルは、第１の到達電圧レベルであり、

前記基板支持部は、

基板支持面と、

リング支持面と、

前記基板支持面の下方で延在しており、前記基板支持面上の前記基板と電気的に結合される前記第１のバイアス電極と、

前記第１のバイアス電極とは別の第２のバイアス電極であり、前記リング支持面の下方で延在しており、前記基板を囲むように該リング支持面上に載置されるエッジリングに電気的に結合される第２のバイアス電極と、

を含み、

前記少なくとも一つの直流電源は、

前記第１の到達電圧レベルを有する出力電圧を出力可能な第１の直流電源と、

前記基準電位に対して負方向に最大電位差を有する第２の到達電圧レベルを有する出力電圧を出力可能な第２の直流電源と、

を含み、

前記スイッチング回路は、

前記第１の直流電源の負極と前記第１のバイアス電極との間で電気的に接続された第１のスイッチング素子と、

前記第２の直流電源の負極と前記第２のバイアス電極との間で電気的に接続された第２のスイッチング素子と、

を含み、

前記パルス制御部は、

前記第１のバイアス電極に対する前記第１の電圧パルスの印加において、前記第１のスイッチング素子の開と閉の交互の繰り返しによって前記第１の電圧パルスの電圧レベルを前記第１の到達電圧レベルに段階的に到達させ、

前記第２のバイアス電極に対する第２の電圧パルスの印加において、前記第２のスイッチング素子の開と閉の交互の繰り返しによって前記第２の電圧パルスの電圧レベルを前記第２の到達電圧レベルに段階的に到達させるよう、

前記スイッチング回路を制御するように構成されている、

請求項１に記載のプラズマ処理装置。

[請求項11] 前記第２の直流電源の正極は、グランドから浮遊しており、前記第１の直流電源の負極に電気的に接続されている、請求項１０に記載のプラズマ処理装置。

[請求項12] 前記スイッチング回路は、

前記第１のバイアス電極とグランドとの間で接続された第１の別のスイッチング素子と、

前記第２のバイアス電極とグランドとの間で接続された第２の別のスイッチング素子と、

を更に含み、

前記パルス制御部は、

前記第１のバイアス電極に前記第１の電圧パルスが印加されている期間において前記第１の別のスイッチング素子を開状態に設定し、前記第１のバイアス電極に前記第１の電圧パルスが印加されていない期間において前記第１の別のスイッチング素子を閉状態に設定し、

前記第２のバイアス電極に前記第２の電圧パルスが印加されている期間において前記第２の別のスイッチング素子を開状態に設定し、前記第２のバイアス電極に前記第２の電圧パルスが印加されていない期間において前記第２の別のスイッチング素子を閉状態に設定するよう、

前記スイッチング回路を制御するように構成されている、

請求項５又は１０に記載のプラズマ処理装置。

[請求項13] プラズマ処理装置のチャンバ内のプラズマから該チャンバ内の基板支持部上の基板にイオンを引き込むために、前記基板支持部のバイアス電極に断続的に電圧パルスを印加するよう構成されたバイアス電源システムであって、

少なくとも一つの直流電源と、

前記バイアス電極と前記少なくとも一つの直流電源との間で電気的に接続されたスイッチング回路と、

を備え、

前記スイッチング回路は、そのスイッチング動作により、前記電圧パルスの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるように構成されている、

バイアス電源システム。

[請求項14] （ａ）基板を準備する工程であり、該基板は、プラズマ処理装置のチャンバ内の基板支持部上に載置される、該工程と、

（ｂ）前記チャンバ内でプラズマを生成する工程と、

（ｃ）前記基板にイオンを引き込むために、前記基板支持部のバイアス電極に断続的に電圧パルスを印加する工程と、

を含み、

前記（ｃ）は、前記電圧パルスの電圧レベルを、基準電位に対して負方向に最大電位差を有するその到達電圧レベルに段階的に到達させるよう、バイアス電極と少なくとも一つの直流電源との間で電気的に

接続されたスイッチング回路を制御することを含む、

プラズマ処理方法。