

权 利 要 求 书

1、一种处理器中的算术逻辑单元，其特征在于，所述算术逻辑单元包括浮点数分解电路、第二精度乘法器和累加器，其中：

所述浮点数分解电路，用于将输入的每个待计算的第一精度浮点数分解为至少两个第二精度浮点数，其中，所述第二精度浮点数的精度低于所述第一精度浮点数的精度；

所述第二精度乘法器，用于接收分解自不同的第一精度浮点数的两个第二精度浮点数组成的组合，将每种组合中的第二精度浮点数进行乘法运算，输出每种组合对应的中间计算结果；

所述累加器，用于基于每种组合对应的中间计算结果，运算得到所述多个待计算的第一精度浮点数的计算结果。

2、根据权利要求1所述的算术逻辑单元，其特征在于，所述运算为求和运算。

3、根据权利要求1或2所述的算术逻辑单元，其特征在于，所述算术逻辑单元还包括阶码调整电路，其中：

所述浮点数分解电路，还用于向所述阶码调整电路输出每个第二精度浮点数对应的阶码位移值；

所述第二精度乘法器，还用于向所述阶码调整电路输出每种组合对应的中间计算结果；

所述阶码调整调整电路，用于基于输入的每种组合中的第二精度浮点数对应的阶码位移值，调整输入的每种组合对应的中间计算结果的阶码，向所述累加器输出调整后的中间计算结果。

4、根据权利要求3所述的算术逻辑单元，其特征在于，所述阶码调整调整电路，用于将输入的每种组合中的第二精度浮点数对应的阶码位移值，与输入的每种组合对应的中间计算结果的阶码相加，向所述累加器输出调整后的中间计算结果。

5、根据权利要求3所述的算术逻辑单元，其特征在于，所述中间计算结果为第一精度中间计算结果，所述计算结果为第一精度计算结果。

6、根据权利要求5所述的算术逻辑单元，其特征在于，所述第一精度浮点数为单精度浮点数，所述第二精度浮点数为半精度浮点数，所述第一精度中间计算结果为单精度中间计算结果，所述第一精度计算结果为单精度计算结果，所述第二精度乘法器为半精度乘法器；或者，

所述第一精度浮点数为双精度浮点数，所述第二精度浮点数为单精度浮点数，所述第一精度中间计算结果为双精度中间计算结果，所述第一精度计算结果为双精度计算结果，所述第二精度乘法器为单精度乘法器。

7、根据权利要求3所述的算术逻辑单元，其特征在于，所述算术逻辑单元还包括格式转换电路；

所述第二精度乘法器，具体用于将每种组合中的第二精度浮点数进行乘法运算，向所述

格式转换电路输出每种组合对应的第一精度中间计算结果；

所述格式转换电路，用于将输入的每个第一精度中间计算结果进行格式转换，向所述阶码调整电路输出每种组合对应的第三精度中间计算结果，其中，所述第三精度中间计算结果的精度高于所述第一精度中间计算结果；

所述阶码调整电路，用于基于输入的每种组合中的第二精度浮点数对应的阶码位移值，调整输入的每种组合对应的第三精度中间计算结果的阶码，向所述累加器输出调整后的第三精度中间计算结果；

所述累加器，用于将输入的每种组合对应的调整后的第三精度中间计算结果进行求和运算，输出所述多个第一精度浮点数的第三精度计算结果。

8、根据权利要求7所述的算术逻辑单元，其特征在于，所述格式转换电路，用于：

将输入的每个第一精度中间计算结果的阶码和尾数分别进行补零处理，向所述阶码调整电路输出每种组合对应的第三精度中间计算结果。

9、根据权利要求7或8所述算术逻辑单元，其特征在于，所述第一精度浮点数为单精度浮点数，所述第二精度浮点数为半精度浮点数，所述第一精度中间计算结果为单精度中间计算结果，所述第三精度中间计算结果为双精度中间计算结果，所述第三精度计算结果为双精度计算结果，所述第二精度乘法器为半精度乘法器。

10、根据权利要求3所述的算术逻辑单元，其特征在于，所述算术逻辑单元还包括格式转换电路；

所述第二精度乘法器，用于将每种组合中的第二精度浮点数进行乘法运算，向所述格式转换电路输出每种组合对应的第三精度中间计算结果；

所述格式转换电路，用于将输入的每个第三精度中间计算结果进行格式转换，向所述阶码调整电路输出每种组合对应的第一精度中间计算结果；

所述阶码调整电路，用于基于输入的每种组合中的第二精度浮点数对应的阶码位移值，调整输入的每种组合对应的第一精度中间计算结果的阶码，向所述累加器输出调整后的第一精度中间计算结果；

所述累加器，用于将输入的每种组合对应的调整后的第一精度中间计算结果进行求和运算，输出所述多个第一精度浮点数的第一精度计算结果。

11、根据权利要求10所述的算术逻辑单元，其特征在于，所述第一精度浮点数为双精度浮点数，所述第二精度浮点数为半精度浮点数，所述第三精度中间计算结果为单精度中间计算结果，所述第一精度中间计算结果为双精度中间计算结果，所述第一精度计算结果为双精度计算结果，所述第二精度乘法器为半精度乘法器。

12、根据权利要求1-11中任一项所述的算术逻辑单元，其特征在于，所述算术逻辑单元还包括，计算模式切换电路，其中：

所述计算模式切换电路，用于在设置为第二精度浮点数计算模式时，将所述浮点数分解

电路和所述阶码调整电路置为无效；

所述第二精度乘法器，用于接收所述算数逻辑单元外部的输入的多组待计算的所述第二精度浮点数，对每组第二精度浮点数进行乘法运算，输入每组待计算的所述第二精度浮点数对应的中间计算结果；

所累加器，用于将输入的每组待计算的所述第二精度浮点数对应的中间计算结果进行求和运算，输出所述多组待计算的所述第二精度浮点数的计算结果。

13、一种浮点数乘法计算的方法，其特征在于，所述方法包括：

获取多个待计算的第一精度浮点数；

对每个待计算的第一精度浮点数进行分解，得到至少两个第二精度浮点数，其中，所述第二精度浮点数的精度低于所述第一精度浮点数的精度；

确定各种由分解自不同的第一精度浮点数的两个第二精度浮点数组成的组合；

将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的中间计算结果；

基于每种组合对应的中间计算结果，确定所述多个待计算的第一精度浮点数的计算结果。

14、根据权利要求 13 所述的方法，其特征在于，所述对每个待计算的第一精度浮点数进行分解，得到至少两个第二精度浮点数，之后还包括：

确定每个第二精度浮点数对应的阶码位移值；

所述基于每种组合对应的中间计算结果，确定所述多个待计算的第一精度浮点数的计算结果，包括：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的中间计算结果的阶码，得到调整后的中间计算结果；

将每种组合对应的调整后的中间计算结果进行求和运算，得到所述多个第一精度浮点数的计算结果。

15、根据权利要求 14 所述的方法，其特征在于，所述分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的中间计算结果的阶码，得到调整后的中间计算结果，包括：

将每种组合的第二精度浮点数对应的中间计算结果的阶码，加上每种组合的第二精度浮点数对应的阶码位移值，得到调整后的中间计算结果。

16、根据权利要求 13 所述的方法，其特征在于，所述中间计算结果为第一精度中间计算结果，所述计算结果为第一精度计算结果。

17、根据权利要求 14 所述的方法，其特征在于，

所述将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的中间计算结果，包括：

将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的第一精度

中间计算结果，对每个第一精度中间计算结果进行格式转换得到每种组合对应的第三精度中间计算结果，其中，所述第三精度中间计算结果的精度高于所述第一精度中间计算结果；

所述分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的中间计算结果的阶码，得到调整后的中间计算结果，包括：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的第三精度中间计算结果的阶码，得到调整后的第三精度中间计算结果；

所述将每种组合对应的调整后的中间计算结果进行求和运算，得到所述多个第一精度浮点数的计算结果，包括：

将每种组合对应的调整后的第三精度中间计算结果进行求和运算，得到所述多个第一精度浮点数的第三精度计算结果。

18、根据权利要求 17 所述的方法，其特征在于，所述对每个第一精度中间结果进行格式转换得到每种组合对应的第三精度中间计算结果，包括：

对每个第一精度中间结果的阶码和尾数分别进行补零处理，得到每种组合第二精度浮点数对应的第三精度中间计算结果。

19、根据权利要求 14 所述的方法，其特征在于，所述将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的中间计算结果，包括：

将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的第三精度中间计算结果，对每个第三精度中间计算结果进行格式转换得到每种组合对应的第一精度中间计算结果；

所述分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的中间计算结果的阶码，得到调整后的中间计算结果，包括：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的第一精度中间计算结果的阶码，得到调整后的第一精度中间计算结果；

所述将各组第二精度浮点数对应的调整后的中间计算结果进行求和运算，得到所述多个第一精度浮点数的计算结果，包括：

将各组第二精度浮点数对应的调整后的第一精度中间计算结果进行求和运算，得到所述多个第一精度浮点数的第一精度计算结果。

20、一种浮点数乘法计算的装置，其特征在于，所述装置包括：

获取模块，用于获取多个待计算的第一精度浮点数；

分解模块，用于对每个待计算的第一精度浮点数进行分解，得到至少两个第二精度浮点数，其中，所述第二精度浮点数的精度低于所述第一精度浮点数的精度；

组合模块，用于确定各种由分解自不同的第一精度浮点数的两个第二精度浮数组成的组合；

输入模块，用于将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的中间计算结果；

确定模块，用于基于每种组合对应的中间计算结果，确定所述多个待计算的第一精度浮

点数的计算结果。

21、根据权利要求 20 所述的装置，其特征在于，所述分解模块，还用于：

确定每个第二精度浮点数对应的阶码位移值；

所述确定模块，用于：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的中间计算结果的阶码，得到调整后的中间计算结果；

将每种组合对应的调整后的中间计算结果进行求和运算，得到所述多个第一精度浮点数的计算结果。

22、根据权利要求 21 所述的装置，其特征在于，所述确定模块，用于：

将每种组合的第二精度浮点数对应的中间计算结果的阶码，加上每种组合的第二精度浮点数对应的阶码位移值，得到调整后的中间计算结果。

23、根据权利要求 20 所述的装置，其特征在于，所述中间计算结果为第一精度中间计算结果，所述计算结果为第一精度计算结果。

24、根据权利要求 21 所述的装置，其特征在于，所述输入模块，用于：

将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的第一精度中间计算结果，对每个第一精度中间计算结果进行格式转换得到每种组合对应的第三精度中间计算结果，其中，所述第三精度中间计算结果的精度高于所述第一精度中间计算结果；

所述确定模块，用于：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的第三精度中间计算结果的阶码，得到调整后的第三精度中间计算结果；

将每种组合对应的调整后的第三精度中间计算结果进行求和运算，得到所述多个第一精度浮点数的第三精度计算结果。

25、根据权利要求 24 所述的装置，其特征在于，所述输入模块，用于：

对每个第一精度中间结果的阶码和尾数分别进行补零处理，得到每种组合对应的第三精度中间计算结果。

26、根据权利要求 21 所述的装置，其特征在于，所述输入模块，用于：

将每种组合中的第二精度浮点数输入第二精度乘法器中，得到每种组合对应的第三精度中间计算结果，对每个第三精度中间计算结果进行格式转换得到每种组合对应的第一精度中间计算结果；

所述确定模块，用于：

分别基于每种组合中的第二精度浮点数对应的阶码位移值，调整每种组合对应的第一精度中间计算结果的阶码，得到调整后的第一精度中间计算结果；

将各组第二精度浮点数对应的调整后的第一精度中间计算结果进行求和运算，得到所述

多个第一精度浮点数的第一精度计算结果。

27、一种电子设备，其特征在于，所述电子设备包括处理器和存储器，所述存储器中存储有至少一条指令，所述指令由所述处理器加载并执行以实现如权利要求 13 至权利要求 19 任一项所述的浮点数乘法计算的方法所执行的操作。

28、一种处理器，其特征在于，所述处理器包括如权利要求 1-12 的算术逻辑单元。