

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2025/118331 A1

(43) 国际公布日
2025 年 6 月 12 日 (12.06.2025)

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/138777

(22) 国际申请日: 2023 年 12 月 14 日 (14.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202311686249.8 2023年12月4日 (04.12.2023) CN

(71) 申请人: 长鑫科技集团股份有限公司 (CXMT CORPORATION) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(72) 发明人: 唐怡 (TANG, Yi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

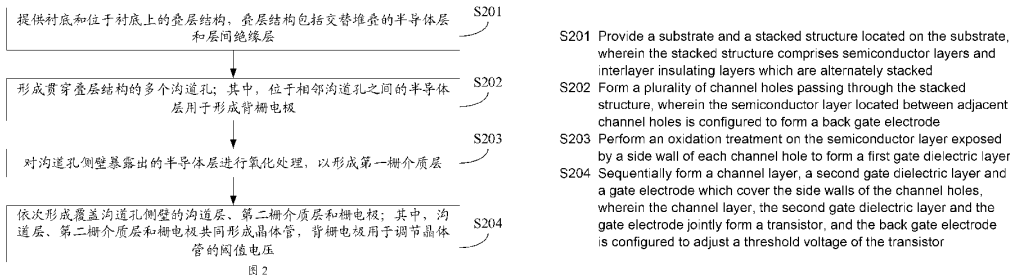
(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其制造方法



(57) Abstract: Provided in the embodiments of the present disclosure are a semiconductor device and a manufacturing method therefor. The manufacturing method comprises: providing a substrate and a stacked structure located on the substrate, wherein the stacked structure comprises semiconductor layers and interlayer insulating layers which are alternately stacked; forming a plurality of channel holes passing through the stacked structure, wherein the semiconductor layer located between adjacent channel holes is configured to form a back gate electrode; performing an oxidation treatment on the semiconductor layer exposed by a side wall of each channel hole to form a first gate dielectric layer; and sequentially forming a channel layer, a second gate dielectric layer and a gate electrode which cover the side walls of the channel holes, wherein the channel layer, the second gate dielectric layer and the gate electrode jointly form a transistor, and the back gate electrode is configured to adjust a threshold voltage of the transistor.

(57) 摘要: 本公开实施例提供一种半导体器件及其制造方法。所述制造方法包括: 提供衬底和位于所述衬底上的叠层结构, 所述叠层结构包括交替堆叠的半导体层和层间绝缘层; 形成贯穿所述叠层结构的多个沟道孔; 其中, 位于相邻所述沟道孔之间的半导体层用于形成背栅电极; 对所述沟道孔侧壁暴露出的半导体层进行氧化处理, 以形成第一栅介质层; 依次形成覆盖所述沟道孔侧壁的沟道层、第二栅介质层和栅电极; 其中, 所述沟道层、所述第二栅介质层和所述栅电极共同形成晶体管, 所述背栅电极用于调节所述晶体管的阈值电压。

[见续页]

(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。