

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。より詳しくは、薄膜トランジスタを用いた駆動方式を採用する液晶表示装置に関するものである。

背景技術

[0002] 液晶表示（LCD：Liquid Crystal Display）装置は、一対の基板間に充填された液晶層等を利用して、光源から出射された光の光学特性を制御することにより表示を行う装置であり、薄型、軽量、低消費電力といった特長を活かし、様々な分野で用いられている。

[0003] 液晶表示装置は、基板に形成した一対の電極により液晶層に電圧を印加して液晶分子の配向状態を変化させ、液晶層を透過する光の偏光状態を変化させる。液晶表示装置には、カラー表示を行うために、複数色のカラーフィルタが形成される。液晶層を挟持する一対の基板は、スペーサによってその間隔（セルギャップ）が一定に保持され、シール材によって互いが貼り合わされている。

[0004] 液晶表示装置には、通常、赤（R）、緑（G）及び青（B）の3色のサブピクセルが形成される。それぞれのサブピクセルに対し、各色のカラーフィルタが配置され、各色のカラーフィルタを透過する光を調整することで、画素（ピクセル）単位で色制御が行われる。

[0005] 近年では、これらRGB以外に、輝度を高める目的として白（W）のサブピクセルを配置する等の工夫がなされている（例えば、特許文献1参照。）。また、RGBWのサブピクセルの面積を各色で異ならせ、カラーバランスを適切に調整する方法も検討されている（例えば、特許文献2参照。）。

[0006] 液晶表示装置には、通常、画素電極がマトリクス状に配置され、各画素電極は、薄膜トランジスタ（TFT：Thin Film Transistor）によるスイッチを通して駆動される。TFTは三端子型の電界効果トランジスタであり、各T

FTのドレイン電極は、そのFTに対応する画素電極に接続される。各FTのゲート電極は、マトリクスの各行のゲートバスラインと接続される。各FTのソース電極は、マトリクスの各列のソースバスラインと接続される。ソースバスラインに画像信号を与えると同時に、ゲートバスラインを順次走査することにより、所望の画像を得ることができる。

[0007] 液晶表示装置によっては、各色のサブピクセルによって液晶層の厚み（セルギャップ）を異ならせるマルチギャップの構成をとることがある。ただし、異なる大きさのセルギャップは、画素電極に対し異なる容量値を与えることになるため、サブピクセル間の画素容量を等しくするために、（a）画素電極面積を等しくし、蓄積容量を異ならせる、（b）画素電極面積を異ならせ、蓄積容量を等しくする等の工夫が必要となる（例えば、特許文献3参照。）。

[0008] また、液晶表示装置においては、正面観測時の γ 特性と斜め観測時の γ 特性とが異なっていることによる視角依存性の問題を解消するために、一つの画素を複数個の副画素に分割し、それぞれの γ 特性が近づくように調節がなされることがある（例えば、特許文献4参照。）。 γ 特性とは、表示輝度の階調依存性であり、 γ 特性が正面方向と斜め方向で異なるということは、階調表示状態が観測方向によって異なることを意味している。各副画素に対応する液晶層に異なる電圧を印加することで、異なる γ 特性が混合された状態を作り、 γ 特性に基づく視角依存性を解消することができる。

[0009] また、スペーサとして、RGBのサブピクセルに対応してカラーフィルタを形成する際に、スペーサを設ける場所にも同様にカラーフィルタを形成し、それらを積層させてスペーサ形成する方法も試みられている（例えば、特許文献5参照。）。特許文献5においては、スペーサがサブピクセル内に形成されることにより各画素電極の容量が変わることを補償するために、保持容量配線の太さを変えることで、各画素の容量比を等しくする方法が検討されている。

先行技術文献

特許文献

- [0010] 特許文献1：特開2001-296523号公報
特許文献2：特開2007-25697号公報
特許文献3：特開平6-11733号公報
特許文献4：特開2004-62146号公報
特許文献5：国際公開第2008/081624号パンフレット

発明の概要

発明が解決しようとする課題

- [0011] 本発明者らは、複数色のサブピクセル（以下、絵素ともいう。）を含む液晶表示装置について検討を行っていたところ、絵素間で液晶層の厚み（セルギャップ）を異ならせたときに、中間調背景に白ウインドウ画面を長時間表示した後、中間調ベタ画面を表示させると、白ウインドウのあった部分のある色だけが背景部分と異なって見える現象が生じる点に着目した。
- [0012] 図50は、中間調背景に白ウインドウを表示したときの状態を示す模式図であり、図51は、白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。図50及び図51に示すように、中間調ベタ表示の状態において、白ウインドウが表示されていた領域には、削除前の表示による焼きつきが生じている。
- [0013] 本発明者らは、このような現象が起こる原因について種々検討を行ったところ、絵素間でセルギャップを異ならせることで、液晶層に印加される電圧が絵素間で異なり、液晶容量が絵素ごとで異なっていたために、表示に焼きつきが起こっていたことを見いだした。
- [0014] 液晶容量が絵素ごとで異なっていると、画素電極との間で形成される静電容量の大きさも、絵素ごとで異なってくる。図52は、隣りあって配置された2つの画素電極のドレイン電圧の信号波形を示す模式図である。
- [0015] 図52における左側の信号波形が、よりセルギャップの広い絵素の波形図であり、図52における右側の信号波形が、よりセルギャップの狭い絵素の波形図である。図52に示すように、絵素ごとにドレイン電圧（ V_d ）の実効

値が異なっている。これは、引き込み電圧（ ΔV_d ）の大きさが絵素間で相違しており、かつ画素電極を交流駆動する際にドレイン電圧の極性（ V_d （+）、 V_d （-））が、タイミングごとに変化するためである。対向電圧は、画素ごとに対向電極が形成されているわけではないため、全て共通の大きさに設定される。したがって、引き込み後のドレイン電圧（ V_d （+）、 V_d （-））の値によって決定される最適対向電圧の値が、絵素ごとで異なる値をもつことになり、全ての絵素を共通の対向電圧で適切に駆動することが困難となる。

[0016] そして、このような最適対向電圧のばらつきが、焼きつきとなって表示に影響を及ぼしていたことが、本発明者らの検討により明らかとなった。

[0017] 本発明は、上記現状に鑑みてなされたものであり、絵素ごとに液晶層の厚みが異なっていたとしても、焼きつきが生じにくい液晶表示装置を提供することを目的とするものである。

課題を解決するための手段

[0018] 本発明者らは、焼きつきを抑制するために最適対向電圧を絵素間でそろえる方法について種々検討したところ、最適対向電圧を調節するために必要な因子の一つが、上述の ΔV_d である点に着目した。 ΔV_d の大きさを絵素間で近づけることで、最適対向電圧も絵素間でそろえることになる。 ΔV_d の値は、 $\Delta V_d = \alpha \times V_{g-p-p}$ で表すことができる。 V_{g-p-p} は、上記図52に示すとおり、TFTオフ時のゲート電圧変化を表す。 V_{g-p-p} は、ある程度一定の値に保つ必要があるため、 ΔV_d の値を変化させるためには α の調節が必要となる。 α の値は、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。 C_{gd} は、ゲートドレイン間の寄生容量、 C_{gs} は、ソースドレイン間の寄生容量、 C_{cs} は、 C_s ドレイン間の寄生容量、 C_{lc} は、液晶容量である。 $C_{gd} + C_{gs} + C_{cs} + C_{lc}$ の合計値を、以下、 C_{pix} ともいい、TFTのドレインにつながる全ての容量（すなわち、画素容量）を表す。

[0019] 本発明者らは、 α の値の調節に有効な手段について鋭意検討を行った結果、

TFTのチャネル領域に着目し、TFTにおけるチャネル領域を絵素ごとで異ならせることにより、適切な画素容量のバランスを効果的に調節することができることを見いだした。TFTのチャネル領域とは、半導体層のうち、ゲート電極に加えた電荷によってソース電極とドレイン電極との間に電流を流す通路（チャネル）を形成する領域である。

- [0020] TFTのチャネル領域の大きさは、TFTの特性に大きな影響を及ぼす。チャネル領域の幅が広いほど電流特性はよくなり、チャネル領域の大きさを變えることで、Cpixを構成するCgd、Csd、Ccs及びCicの全ての容量に影響が及ぶ。
- [0021] 本発明者らは、チャネル領域の幅がより大きなTFTを、より小さな液晶層の厚みをもつ領域と重なる画素電極に対して接続することで、最適対向電圧が絵素間でそろえやすくなることを見いだすとともに、それにより、焼き付きの発生を抑制することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。
- [0022] すなわち、本発明は、一对の基板と、上記一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、上記一对の基板の一方は、走査線と、信号線と、補助容量配線と、上記走査線及び上記信号線のそれぞれと接続された薄膜トランジスタと、上記薄膜トランジスタと接続された画素電極とを備え、上記一对の基板の他方は、対向電極を備え、上記液晶層は、一つの画素内に、より大きな厚みをもつ領域と、より小さな厚みをもつ領域とを有し、上記画素電極は、絵素ごとに配置され、上記一つの画素内に配置された複数の画素電極のうち、より小さな液晶層の厚みをもつ領域と重なる画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されている液晶表示装置である。
- [0023] 本発明の液晶表示装置は、一对の基板と、上記一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される。上記一对の基板は、例えば、一方をアレイ基板、他方をカラーフィルタ基板として

用いることができる。複数色の絵素は、各絵素に対応して配置されたカラーフィルタによって実現することができ、各色のバランスを調節することで様々な表示色を表現することができる。

[0024] 上記一对の基板の一方は、走査線（以下、ゲートバスラインともいう。）と、信号線（以下、ソースバスラインともいう。）と、補助容量配線（以下、 C_s バスラインともいう。）と、上記走査線及び上記信号線のそれぞれと接続された薄膜トランジスタ（ TFT ）と、上記薄膜トランジスタと接続された画素電極とを備える。各 TFT のドレイン電極は、その TFT に対応する画素電極に接続される。各 TFT のゲート電極は、各行のゲートバスラインと接続される。各 TFT のソース電極は、各列のソースバスラインと接続される。ソースバスラインに画像信号を与えると同時に、ゲートバスラインに対し、所定のタイミングで電圧印加することにより、所望の画像を得ることができる。

[0025] 上記構成によれば、上記走査線、上記信号線、上記補助容量配線、上記薄膜トランジスタ、及び、上記画素電極のそれぞれは、互いが電氣的に隔離されるように、絶縁膜等を介して一定間隔を空けて配置される必要がある。また、上記画素電極と上記対向電極とは、液晶層を介してそれぞれが離れて配置される。したがって、各配線、電極間には一定量の静電容量が形成される。具体的には、上記走査線と上記画素電極とは、ゲートドレイン容量（ C_{gd} ）を形成し、上記信号線と上記画素電極とは、ソースドレイン容量（ C_{sd} ）を形成し、上記補助容量配線と上記画素電極とは、補助容量（ C_{cs} ）を形成し、上記画素電極と上記対向電極とは、液晶容量（ C_{lc} ）を形成する。

[0026] 上記一对の基板の他方は、対向電極を備える。上記画素電極と上記対向電極との間で電界が形成され、かつ各画素電極が薄膜トランジスタによって個別に制御されることになるので、絵素単位で液晶の配向を制御することができ、それによって画面全体を精密に制御することができる。

[0027] 上記液晶層は、一つの画素内に、より大きな厚みをもつ領域と、より小さな

厚みをもつ領域とを有している。液晶層の厚み（セルギャップ）を領域ごとに変化させることで、光の制御特性を領域ごとに変化させることができる。

[0028] 上記画素電極は、絵素ごとに配置され、上記一つの画素内に配置された複数の画素電極のうち、より小さな液晶層の厚みをもつ領域と重なる画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されている。チャネル幅とは、薄膜トランジスタを平面的に見たときの、ソース電極とドレイン電極との間隔（以下、チャネル長さともいう。）を指すのではなく、ソース電極とドレイン電極とが互いに向き合う領域の幅をいう。チャネル幅と画素容量の大きさとの間には相関関係があり、画素容量の大きさとセルギャップの大きさとの間には相関関係がある。より小さな液晶層の厚みをもつ領域と重なる画素電極に対し、よりチャネル幅の広いTF-Tを接続させ、より大きな液晶層の厚みをもつ領域と重なる画素電極に対し、よりチャネル幅の狭いTF-Tを接続させることで、TF-Tの特性に基づき、絵素間での最適対向電圧のバランスキを抑えることができる。

[0029] 本発明の液晶表示装置の構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素により特に限定されるものではない。本発明の液晶表示装置における好ましい形態について以下に詳しく説明する。

[0030] 上記より小さな液晶層の厚みをもつ領域と重なる画素電極の走査線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の走査線との重なり面積と異なっていることが好ましい。これにより、上記走査線と上記画素電極とで形成されるゲートドレイン容量（ C_{gd} ）の値を変化させることができるため、より適切な調節が可能となる。

[0031] 上記より小さな液晶層の厚みをもつ領域と重なる画素電極の信号線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の信号線との重なり面積と異なっていることが好ましい。これにより、上記信号線と上記画素電極とで形成されるソースドレイン容量（ C_{sd} ）の値を変化させる

ことができるため、より適切な調節が可能となる。

[0032] 上記より小さな液晶層の厚みをもつ領域と重なる画素電極の補助容量配線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の補助容量配線との重なり面積と異なっていることが好ましい。これにより、上記補助容量配線と上記画素電極とで形成される補助容量 (C_{cs}) の値を変化させることができるため、より適切な調節が可能となる。

[0033] 上記より小さな液晶層の厚みをもつ領域と重なる画素電極の面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の面積と異なっていることが好ましい。これにより、画素電極との間で形成される静電容量 (C_{pix}) の値を変化させることができるため、より適切な調節が可能となる。

[0034] 上記走査線と上記画素電極とは、ゲートドレイン容量 (C_{gd}) を形成し、上記信号線と上記画素電極とは、ソースドレイン容量 (C_{sd}) を形成し、上記補助容量配線と上記画素電極とは、補助容量 (C_{cs}) を形成し、上記画素電極と上記対向電極とは、液晶容量 (C_{lc}) を形成し、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記ゲートドレイン容量の比（以下、このゲートドレイン容量の比の値を α とする。）は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートドレイン容量の比との差は、最も小さなゲートドレイン容量の比に対して 10% 以下であることが好ましい。

[0035] このときの α の値は、各絵素間で近いことが好ましく、上記数値範囲を有していることで、焼きつきの抑制を十分に達成することができるだけの、各絵素間の最適対向電圧の差を解消することができる。

[0036] 上記一つの絵素内における、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最大値に対する、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最小値で算出される応答係数 ($C_{pix}(\min) / C_p$

! x (m a x)」の値は、上記複数色の絵素間で異なり、上記複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大きな応答係数と最も小さな応答係数との差は、最も小さな応答係数に対して5%以下であることが好ましい。

[0037] 上記画素電極は、一つの絵素内で複数に分割された副画素電極で構成され、上記薄膜トランジスタは、上記副画素電極のそれぞれと接続され、上記補助容量配線は、該副画素電極のそれぞれと重畳し、上記液晶表示装置は、上記補助容量配線の電圧の極性を一定時間ごとに反転させる駆動回路を備えることが好ましい。以下、このように、複数の副画素電極を用いて一つの絵素を制御する方式をマルチ駆動方式ともいう。同一絵素内に複数の副画素電極を配置し、それぞれを異なる実効電圧で駆動することで、異なる γ 特性が混合された状態を作り、 γ 特性に基づく視角依存性を解消することができる。また、補助容量配線の電圧の変化を利用してマルチ駆動を行うことで、余分な配線の数を増やさずにすむ。

[0038] 上記ゲートドライン容量、上記ソースドライン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記補助容量の比（以下、この補助容量の比の値を K とする。）は、上記複数色の絵素間で異なり、上記複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して1.0%以下であることが好ましい。

発明の効果

[0039] 本発明の液晶表示装置によれば、最適対向電圧のばらつきが絵素間で調節されていくので、焼きつきの発生を抑制することができる。

図面の簡単な説明

[0040] [図1]実施形態1の液晶表示装置の画素電極、TF T及び各種配線の配置構成を示す平面模式図である。

[図2]実施形態1におけるカラーフィルタがストライプ配列であるときの平面模式図である。

[図3]実施形態1におけるカラーフィルタが田の字配列であるときの平面模式図である。

[図4]実施形態1の液晶表示装置における等価回路図である。

[図5]実施形態1における液晶表示装置の一例（実施例1）の断面模式図であり、赤、緑及び青の3色の絵素を用いたときを示している。

[図6]実施形態1における液晶表示装置の一例（実施例1）の断面模式図であり、赤、緑、青及び黄の4色の絵素を用いたときを示している。

[図7]チャンネル幅の大きさを調節したTFTの第一の例を示す平面模式図である。

[図8]チャンネル幅の大きさを調節したTFTの第二の例を示す平面模式図である。

[図9]チャンネル幅の大きさを調節したTFTの第二の例を示す平面模式図（拡大図）である。

[図10]チャンネル幅の大きさを調節したTFTの第三の例を示す平面模式図である。

[図11]チャンネル幅の大きさを調節したTFTの第三の例を示す平面模式図（拡大図）である。

[図12]実施例2の液晶表示装置の断面模式図である。

[図13]実施例3の液晶表示装置の断面模式図である。

[図14]実施例4の液晶表示装置の断面模式図である。

[図15]実施例5の液晶表示装置の断面模式図である。

[図16]実施例5の液晶表示装置の断面模式図である。

[図17]実施例6の液晶表示装置の断面模式図である。

[図18]実施例6の液晶表示装置の断面模式図である。

[図19]実施例6の液晶表示装置の断面模式図である。

[図20]実施例6の液晶表示装置の断面模式図である。

[図21]実際に実施例1においてチャンネル幅の大きさを調節した一例を示すTFTの平面模式図である。

[図22] チャネルサイズ比とセル厚比との関係を示すグラフである。

[図23] 実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

[図24] 実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

[図25] 実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

[図26] 図 2 3 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 3 における T F T の d_1 を変更した形態である。

[図27] 図 2 3 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 3 における T F T の d_1 を変更した形態である。

[図28] 図 2 3 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 3 における T F T の d_2 を変更した形態である。

[図29] 図 2 3 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 3 における T F T の d_2 を変更した形態である。

[図30] 図 2 4 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 4 における T F T の d_3 を変更した形態である。

[図31] 図 2 4 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 4 における T F T の d_4 を変更した形態である。

[図32] 図 2 4 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 2 4 における T F T の d_4 を変更した形態である。

[図33]実施形態1におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、通常のゲートバスラインと画素電極とが重なった形態である。

[図34]実施形態1におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

[図35]実施形態1におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

[図36]フレーム期間と印加電圧の到達率との関係を示すグラフである。

[図37]応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。

[図38]「 $C_{pix}(\min) / C_{pix}(\max)$ 」で表される応答係数の好適な範囲を示すグラフである。

[図39]実施形態2の液晶表示装置の画素電極、TF T及び各種配線の配置構成を示す平面模式図である。

[図40]実施形態2の液晶表示装置における等価回路図である。

[図41]マルチ画素駆動を行ったときの信号波形を示す図である。

[図42]実施形態2におけるCsバスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。

[図43]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図44]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図45]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図46]画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。

[図47] マルチ駆動を行った場合の、Cs 振幅を示す波形図である。

[図48] 実施形態3において3色の絵素を用いた形態を示す平面模式図である。

[図49] 実施形態3において4色の絵素を用いた形態を示す平面模式図である。

[図50] 中間調背景に白ウインドウを表示したときの状態を示す模式図である。

[図51] 白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。

[図52] 隣りあって配置された2つの画素電極のドレイン電圧の信号波形を示す模式図である。

発明を実施するための形態

[0041] 以下に実施形態を掲げ、本発明について図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

[0042] 実施形態1

図1は、実施形態1の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。図1に示すように、実施形態1においては、一つの絵素に対して一つの画素電極が配置されている。また、複数の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

[0043] 実施形態1の液晶表示装置は、行方向（横方向）に伸びるゲートバスライン11、列方向（縦方向）に伸びるソースバスライン12を有している。また、ゲートバスライン11とソースバスライン12とのいずれにも接続されたTFT14を有している。TFT14は、画素電極15とも接続されている。また、画素電極15の少なくとも一部で重なるCsバスライン13を有しており、例えば、図1に示すように、画素電極15の中央を横切るように、行方向に伸びて形成されている。

[0044] 実施形態1においては、一つの絵素に対して一種のカラーフィルタが配置さ

れている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、RGB、RGY、RGBW等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図2に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図3に示すような、4つの色を有し、行方向及び列方向にそれぞれ2つずつ各色が配置される田の字配列が挙げられる。

[0045] 図4は、実施形態1の液晶表示装置における等価回路図である。実施形態1においては、絵素（サブピクセル）単位で回路パターンが形成されており、図4においては、2絵素分の回路パターンが表されている。

[0046] 液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量 C_{lc} が形成される。 C_{lc} の値は、一对の電極によって液晶層に印加される実効電圧（V）に依存する。絶縁膜を間に介して対向配置された画素電極と C_s バスライン（補助容量配線）とによって補助容量 C_{cs} が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン（走査線）とによってゲートドレイン容量 C_{gd} が形成される。絶縁膜を間に介して対向配置された画素電極とソースバスライン（信号線）とによって、ソースドレイン容量 C_{sd} が形成される。

[0047] TFT（薄膜トランジスタ）は、シリコン等を材料とする半導体層、並びに、ゲート電極、ソース電極及びドレイン電極の3つの電極を備える。画素電極は、TFTのドレイン電極と接続されている。TFTのゲート電極は、ゲートバスラインと接続されており、TFTのソース電極は、ソースバスラインと接続されている。

[0048] 所定のタイミングでゲートバスラインにパルス的に供給される走査信号が、所定のタイミング（線順次、一つとばし、2ライン同時書き込み等）で各TFTに印加される。そして、走査信号の入力により一定期間だけオン状態とされたTFTに接続された画素電極に、ソースバスラインから供給される画像信号が印加される。

[0049] 絵素ごとに液晶層に書き込まれた所定レベルの画像信号は、画像信号が印加

された画素電極と、この画素電極に対向する対向電極との間で一定期間保持される。画像信号が印加された後、保持された画像信号がリークすることがあるが、これを防ぐために、画素電極と対向電極との間に形成される液晶容量 C_{lc} と並列に補助容量 C_{cs} が形成される。

[0050] 図5及び図6は、実施形態1における液晶表示装置の一例（実施例1）の断面模式図である。図5は、赤、緑及び青の3色の絵素を用いたときを示し、図6は、赤、緑、青及び黄の4色の絵素を用いたときを示している。

[0051] 図5及び図6に示すように、実施例1の液晶表示装置が有する液晶層1は、アクティブマトリクス基板2及びカラーフィルタ基板3からなる一対の基板の間に配置されている。アクティブマトリクス基板2は画素電極41を有しており、カラーフィルタ基板3は対向電極42を有している。また、カラーフィルタ基板3は、複数色のカラーフィルタ31を有しており、3色又は4色で一つの画素を構成している。図5で示される例においては、赤31R、緑31G、及び、青31Bの3色のカラーフィルタが用いられており、図6で示される例においては、赤31R、緑31G、青31B、及び、黄31Yの4色のカラーフィルタが用いられている。

[0052] 図5及び図6に示すように、実施例1においては、セルギャップ（液晶層の厚み）が絵素ごとで異なっている。図5及び図6に示した例では、青の絵素にあたる液晶層1の厚み（セルギャップ）は、他の絵素にあたる液晶層1の厚み（セルギャップ）よりも薄く形成されている。これにより、液晶層1の厚みが全ての絵素で共通の場合と比べ、より高い視野角特性を得ることができる。

[0053] 実施例1において、一対の基板が有する電極41、42によって液晶層1内に印加される電圧は、絵素によって異なる。これは、実施例1において、青の絵素における液晶層1の厚みが、他の絵素における液晶層1の厚みよりも薄く設定されているためであり、青の絵素において形成される液晶容量は、他の絵素に比べて大きくなる。そのため、マルチギャップ構造を設けた場合、絵素間で最適対向電圧が異なることになる。

- [0054] 実施例 1 では、T F T のチャンネル幅を利用して、 $\alpha = C g d / (C g d + C s d + C c s + C l c)$ の値の絵素間でのバランスを調整している。具体的には、より狭いセルギャップをもつ画素電極に対しては、より大きなチャンネル幅をもつ T F T が配置されている。したがって、青の絵素における T F T のチャンネル幅は、赤の絵素における T F T のチャンネル幅よりも、緑の絵素における T F T のチャンネル幅よりも大きい。
- [0055] これにより、ゲートバスラインと画素電極とによって形成されるゲートドレイン容量 ($C g d$)、ソースバスラインと画素電極とによって形成されるソースドレイン容量 ($C s d$)、 $C s$ バスラインと画素電極とによって形成される補助容量 ($C c s$)、及び、画素電極と対向電極とによって形成される液晶容量 ($C l c$) のバランスの調節を絵素ごとに容易に行うことができる。
- [0056] 図 7 ～ 図 11 は、実施例 1 において T F T のチャンネルの幅 d ($d 1 \sim d 8$) を絵素間で異ならせる手段の一例を示す平面模式図である。図 7 ～ 図 11 に示すように、T F T 14 は、ゲートバスライン 11 とソースバスライン 12 とのそれぞれと接続されている。T F T 14 は、シリコン等で形成された半導体層と、ソースバスライン 12 の一部から延伸されたソース電極 22 と、半導体層を介してソースバスライン 12 からの画像信号を画素電極に供給するドレイン電極 23 と、ゲートバスライン 11 のうち、半導体層と重畳する領域であるゲート電極とを、構成要素として備えている。
- [0057] ドレイン電極 23 は、絵素の中央に向かって延伸されており、一定の広がりをもって形成されている。上記一定の広がりをもった部分 23 a 上の絶縁膜には、コンタクトホール 24 が形成されており、コンタクトホール 24 を通じて、ドレイン電極 23 と画素電極とは電氣的に接続されている。
- [0058] ドレイン電極 23 の広がりをもった部分 23 a は、絶縁膜を介して下層に配置された $C s$ バスラインとの間で補助容量を形成することができる。
- [0059] T F T 14 が備える半導体層は、ソース電極 22 とドレイン電極 23 との双方と重畳しており、ソース電極 22 と重畳する領域がソース領域であり、ド

レイン電極 2 3 と重畳する領域がドレイン領域である。また、ソース電極 2 2 とドレイン電極 2 3 の双方と重畳せず、かつ平面的にみてソース電極 2 2 とドレイン電極 2 3 との間に位置する領域がチャンネル領域 2 1 である。したがって、半導体層 2 1 は、ソース領域、チャンネル領域 2 1、及び、ドレイン領域の 3 つの領域を有していることになる。

[0060] チャンネル領域 2 1 は、ゲートバスライン 1 1 と重畳しており、ゲートバスライン 1 1 に走査信号が入力されたときのみ、画像信号をソース電極 2 2 からドレイン電極 2 3 に供給することができる。チャンネル領域 2 1 の長さ（ソース電極 2 2 とドレイン電極 2 3 との間の距離）は、適正な値がある程度決められているため、チャンネル領域 2 1 の長さを各絵素で変更することは好ましくないが、チャンネル領域 2 1 の幅 d を調節することは可能であり、チャンネル領域 2 1 の長さに対するチャンネル領域の幅 d を広げると、より T F T 1 4 の導電性が向上する。したがって、実施例 1 においては、青の絵素におけるチャンネル幅 d を、赤及び緑の絵素におけるチャンネル幅 d よりも大きく形成している。

[0061] これにより、画素電極との間で形成されるゲートドレイン容量（ C_{gd} ）の値が変化するため、これを利用して各絵素における最適の対向電圧の値を変化させ、それぞれの値を近づけるように調節することができる。

[0062] 図 7 は、チャンネル幅の大きさを調節した T F T の第一の例を示す平面模式図である。図 7 における T F T のチャンネル領域 2 1 は、ドレイン電極 2 3 とソース電極 2 2 との間に形成されており、 d_1 のチャンネル幅を有している。 d_1 の大きさを絵素ごとに変えることで、 α の大きさを調節することができる。

[0063] 図 8 及び図 9 は、チャンネル幅の大きさを調節した T F T の第二の例を示す平面模式図である。図 8 における T F T 1 4 のチャンネル幅 d_2 は、ドレイン電極 2 3 とソース電極 2 2 との間のみならず、ドレイン電極 2 3 とソースバスライン 1 2 の一部との間にも形成されている。このときの T F T 1 4 のチャンネル幅 d_2 は、図 9 に示すように、ソースバスライン 1 2 と対向する部分 d

3と、ソース電極22と対向する部分d4とを足した長さとなる。d2の大きさを絵素ごとに変えることで、 α の大きさを調節することができる。

[0064] 図10及び図11は、チャンネル幅の大きさを調節したTFTの第三の例を示す平面模式図である。図10におけるTFT14においては、ソースバスライン12の一部から延伸されたソース電極22が途中で枝分かれしており、ドレイン電極23の先端を囲うような形状を有している。このときのTFT14のチャンネル幅d5は、図11に示すように、ゲートバスライン11に平行な部分d6、d8と、ソースバスライン12に平行な部分d7とを足した長さとなる。d5の大きさを絵素ごとに変えることで、 α の大きさを調節することができる。

[0065] 実施例1においては、絵素間で α の値が近いことが好ましい。具体的には、絵素間での α の値の比「 $(\alpha\text{の最大値}-\alpha\text{の最小値})/\alpha\text{の最小値}$ 」で表される値は、10%以下であることが好ましい。絵素間で α がそろうことで、引き込み電圧である ΔV_d のばらつきが抑制され、絵素間での最適対向電圧がそろうことになる。そして、それにより焼き付きの発生の可能性を大きく低減することができる。 α は、 $\alpha = C_{gd}/C_{pix} (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。そのため、 α 値の絵素間でのバランスを調整するためには、これらのパラメーターの調整が必要であり、その調整にはチャンネル幅の調整が効果的である。

[0066] 以下、具体的に、絵素間でセルギャップを異ならせる複数の組み合わせについて、例を挙げて説明する。

[0067] 実施例2

図12は、実施例2の液晶表示装置の断面模式図である。図12に示すように、実施例2においてカラーフィルタは、赤(R)、緑(G)及び青(B)の3色が用いられている。色の配置順は特に限定されない。実施例2では、赤(R)のセルギャップが、緑(G)のセルギャップよりも青(B)のセルギャップよりも広い。緑(G)のセルギャップと青(B)のセルギャップとは同じである。

[0068] 実施例 3

図 1 3 は、実施例 3 の液晶表示装置の断面模式図である。図 1 3 に示すように、実施例 3 においてカラーフィルタは、赤（R）、緑（G）及び青（B）の 3 色が用いられている。色の配置順は特に限定されない。実施例 3 では、赤（R）のセルギャップが緑（G）のセルギャップよりも広く、緑（G）のセルギャップが青（B）のセルギャップよりも広い。

[0069] 実施例 4

図 1 4 は、実施例 4 の液晶表示装置の断面模式図である。図 1 4 に示すように、実施例 4 においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の 4 色が用いられている。色の配置順は特に限定されない。実施例 4 では、緑（G）のセルギャップと黄（Y）のセルギャップとは同じであり、赤（R）のセルギャップと青（B）のセルギャップとは同じである。緑（G）及び黄（Y）のセルギャップは、赤（R）及び青（B）のセルギャップよりも広い。

[0070] 実施例 5

図 1 5 及び図 1 6 は、実施例 5 の液晶表示装置の断面模式図である。図 1 5 及び図 1 6 に示すように、実施例 5 においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の 4 色が用いられている。色の配置順は特に限定されない。実施例 5 では、緑（G）のセルギャップと黄（Y）のセルギャップとは同じである。赤（R）のセルギャップは、緑（G）及び黄（Y）のいずれのセルギャップよりも狭く、青（B）のセルギャップもまた、緑（G）及び黄（Y）のいずれのセルギャップよりも狭い。

[0071] 赤のセルギャップと青のセルギャップとの関係では、いずれが大きい形態も想定される。赤のセルギャップがより大きければ、図 1 5 のようになり、青のセルギャップがより大きければ、図 1 6 のようになる。

[0072] 実施例 6

図 1 7 ～ 2 0 は、実施例 6 の液晶表示装置の断面模式図である。図 1 7 ～ 2 0 に示すように、実施例 6 においてカラーフィルタは、赤（R）、緑（G）

、青（B）、及び、黄（Y）の4色が用いられている。色の配置順は特に限定されない。実施例6では、赤のセルギヤツプは、緑及び黄のいずれのセルギヤツプよりも狭く、青のセルギヤツプもまた、緑及び黄のいずれのセルギヤツプよりも狭い。緑のセルギヤツプと黄のセルギヤツプとの関係、及び、赤のセルギヤツプと青のセルギヤツプとの関係は、いずれが広い形態も想定される。図17は、セルギヤツプが黄>緑>青>赤の形態であり、図18は、セルギヤツプが緑>黄>青>赤の形態であり、図19は、セルギヤツプが黄>緑>赤>青の形態であり、図20は、セルギヤツプが緑>黄>赤>青の形態である。

[0073] 以下に、実施例1の液晶表示装置において、実際にチャネル幅を調整することと α の値の調整を行った例を示す。図21は、実際に実施例1においてチャネル幅の大きさを調節した一例を示すTFTの平面模式図である。

[0074] 図21に示すように、TFT14は、ソースバスライン12の一部から延伸されたソース電極22と、ゲートバスライン11の一部から延伸されたゲート電極25と、画素電極と接続されたドレイン電極23とを有している。また、TFT14は、ゲート電極25と重なる位置に半導体層を有しており、半導体層の一部は、ソース電極22及びドレイン電極23のそれぞれの一部と重畳している。更に、半導体層の他の一部は、ソース電極22及びドレイン電極23のいずれにも重畳しておらず、このうち、ソース電極22とドレイン電極23とに挟まれる領域がチャネル領域21である。ここでは、半導体層のチャネル領域21の幅は異なるが、ソース電極22とドレイン電極23との間の距離は、均一となるように設定されている。

[0075] 図21に示す例では、ドレイン電極23はソースバスライン12に平行な方向に延伸された直線状である。また、ソース電極22は、平面的に見てゲートバスライン11側と逆側を向いて開かれた開口を有し、ドレイン電極23の先端を囲うような形状を有している。

[0076] ドレイン電極23の幅は c であり、ドレイン電極23とソース電極22との間隔のうち、ゲートバスライン11と平行な方向の長さは d である。ドレイ

ン電極 2 3 とソース電極 2 2 との間の距離のうち、ソースバスライン 1 2 と平行な方向の長さは e である。ソース電極 2 2 がドレイン電極 2 3 と対向する部位のゲートバスライン 1 1 と平行な方向の長さは a である。ゲート電極 2 5 のソースバスライン 1 2 と平行な方向の長さからソース電極 2 2 のソースバスライン 1 2 と平行な方向の長さを差し引いた長さは b である。

[0077] 実施例 1 の液晶表示装置においては、3 色の絵素を用い、かつマルチギャップ構造を設けた場合において、セルギャップを「青」>「赤＝緑」としたときに、それぞれの絵素間での $a \sim e$ の値を下記表 1 のように調整することで、絵素間での α のズレを、0.81%とすることができた。また、 ΔV_d は、青の絵素で 1.619 V、赤及び緑の絵素で 1.606 Vとなっており、 ΔV_d の最大値と最小値との間の差は、13 mVであった。したがって、上記設計によれば、最適対向電圧の絵素間での調整が充分に行われ、焼きつきの発生が抑制された液晶表示装置を得ることができた。なお、ここでの各絵素のセルギャップの比は、「青」：「赤」：「緑」が 1.1 : 1.0 : 1.0 であった。

[0078] [表1]

	B絵素(μm)	R及びG絵素(μm)
a	15.00	16.50
b	6.0	6.0
c	4.0	4.0
d	4.0	4.0
e	4.0	4.0

[0079] 下記表 2 は、本発明の液晶表示装置において、 ΔV_d の差を 100 mV 以内と仮定したときの α のズレの許容範囲を示す表である。 ΔV_d の差が 100 mV 以下となれば焼きつきは改善されやすく、50 mV 以下となればより確実に焼きつきが改善される。

[0080]

[表2]

ΔV_d (V)	V_{gpp} (V)	α	α のズレ(%)
1.0	41	0.02439	10.0
1.1	41	0.02683	
1.5	41	0.03659	6.7
1.6	41	0.03902	
2.0	41	0.04878	5.0
2.1	41	0.05122	
3.0	41	0.07317	3.3
3.1	41	0.07561	

[0081] 上記表2に示すように、 ΔV_d を1.0Vとし、 ΔV_d の差を100mVで設定したときの α のズレは10.0%であった。 ΔV_d を1.5Vとし、 ΔV_d の差を100mVで設定したときの α のズレは6.7%であった。 ΔV_d を2.0Vとし、 ΔV_d の差を100mVで設定したときの α のズレは5.0%であった。 ΔV_d を3.0Vとし、 ΔV_d の差を100mVで設定したときの α のズレは3.3%であった。

[0082] 通常の液晶表示装置では、 ΔV_d が1.5～3.0Vの範囲内に設定され、この条件においては α のズレの範囲は7.0%以下であることが好ましいことが分かった。また、将来的には $\Delta V_d = 1$ V以下に設定される可能性が考えられ、このときには、 α のズレの範囲は10.0%以下であることが好ましいことが分かった。

[0083] なお、比較例として、通常の液晶表示装置において、絵素間でセルギャップを同じとし、かつチャネル幅を各絵素で同じとした場合について検討を行ったところ、 α のズレは8.0%（R絵素間）であり、 ΔV_d は183mV（R絵素間）であった。

[0084] また、本発明の液晶表示装置におけるチャネルサイズとセル厚比との関係について検討を行ったところ、表3及び図22に示されるようなデータが得られた。図22は、チャネルサイズ比とセル厚比との関係を示すグラフである。

[0085]

[表3]

チャンネルサイズ比	セル厚比
0.800	1.176
0.873	1.118
0.927	1.059
1.000	1.000
1.073	0.941
1.164	0.882
1.273	0.824

[0086] 表3及び図22に示される直線に沿ってTFTチャンネルのa～eの値を変更することで、絵素間で α のバラツキが抑制され、焼きつきの少ない液晶表示装置を得ることができる。

[0087] また、図6～図8に示したTFTにおけるソース電極やド레인電極の長さの相違は、実際には、図23～図25に示すように、ゲートバスラインとド레인電極との間との重なり面積にも影響を与える。図23～図25は、実施形態1におけるゲートバスラインとド레인電極とが重なった領域を示す平面模式図である。ゲートバスライン11とド레인電極23との重なり面積が大きければ大きいほどゲートド레인容量(C_{gd})の値は変化するため、チャンネルの長さの調節に加え、ゲートバスライン11とド레인電極23との重なり面積も調節することによって、更に絵素どうしの全体のバランスを整えることが可能となる。

[0088] 上述したように、実施形態1では、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ の値の絵素間でのバランスを調整している。上記式からわかるように、 α の値の絵素間でのバランスを調整するためには、 C_{gd} の調整が効果的である。

[0089] TFTにおけるド레인電極とゲートバスラインとの重なり面積の相違は、実際には、ゲートバスラインとド레인電極との間に形成されるゲートド레인容量(C_{gd})にも影響を与える。ゲートバスラインとド레인電極との重なり面積が大きければ大きいほどゲートド레인容量(C_{gd})の値は大きくなるため、ゲートバスラインとド레인電極との重なり面積を調節することによっても、絵素間での α のバランスを整えることが可能となる。

[0090] 図 2 6 ~ 図 2 9 は、図 2 3 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例である。図 2 6 及び図 2 7 は、図 2 3 における T F T の d_1 を変更した形態である。図 2 6 においては、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域において平面的に一部に突出部が設けられている。図 2 7 においては、 d_1 の幅全体が広げられている。図 2 8 及び図 2 9 は、図 2 3 における T F T の d_2 を変更した形態である。図 2 8 においては、 d_2 の長さが広げられている。図 2 9 においては、ドレイン電極 2 3 の形状はそのままであるが、ゲートバスライン 1 1 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域が広がっている。

[0091] 図 3 0 ~ 図 3 2 は、図 2 4 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例である。図 3 0 は、図 2 4 における T F T の d_3 を変更した形態である。図 3 1 においては、 d_3 の幅全体が広げられている。図 3 1 及び図 3 2 は、図 2 4 における T F T の d_4 を変更した形態である。図 3 1 においては、 d_4 の長さが広げられている。図 3 2 においては、ドレイン電極 2 3 の形状はそのままであるが、ゲートバスライン 1 1 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域が広がっている。

[0092] ゲートバスラインとドレイン電極との間に形成されるゲートドレイン容量 (C_{gd}) は、ゲートバスラインと画素電極とが直接重なる領域においても形成される。ゲートバスラインと画素電極との重なり面積が大きければ大きいほどゲートドレイン容量 (C_{gd}) の値は大きくなるため、ゲートバスラインと画素電極との重なり面積を調節することによっても、絵素間での α のバランスを整えることが可能となる。

[0093] 図 3 3 ~ 図 3 5 は、実施形態 1 におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図である。図 3 3 は、通常のゲートバスラインと

画素電極とが重なった形態であり、画素電極 15 の端部は直線状であり、ゲートバスライン 11 が画素電極の端部と平行に延伸されている。図 3 4 及び図 3 5 は、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。図 3 4 においては、画素電極 15 とゲートバスライン 11 とが重なる領域において画素電極 15 に対し一部に平面的に突出部が設けられている。したがって、結果として、画素電極 15 とゲートバスライン 11 とが重なる領域が広がっている。図 3 5 においては、画素電極 15 とゲートバスライン 11 とが重なる領域において画素電極 15 に対し一部に平面的にくぼみ部（切り欠け部）が設けられている。したがって、結果として、画素電極 15 とゲートバスライン 11 とが重なる領域が狭まっている。

[0094] このようにして、ドレイン電極とゲートバスラインとが重なる面積、及び、画素電極とゲートバスラインとが重なる面積を調整することにより、画素電極との間で形成される各静電容量の大きさが絵素どうしで異なることとなり、各絵素にとって最適の対向電圧の値に、より近づけることができる。

[0095] 実施形態 1 においては、絵素間で「 $C_{pix} (min) / C_{pix} (max)$ 」（以下、応答係数ともいう。）をそろえることが好ましい。 $C_{pix} (min)$ は、黒表示を行っている際の画素容量であり、 $C_{pix} (max)$ は、白表示を行っている際の画素容量である。「 $C_{pix} (min) / C_{pix} (max)$ 」で表される応答係数は、液晶の応答特性の指標の一つであり、この値が絵素間で異なっていると、色によって応答が異なってしまうため、所望の色味が得られないことがある。

[0096] 「 $C_{pix} (min) / C_{pix} (max)$ 」は、上述までの TFT チャンネル幅の調整、ゲートバスラインとドレイン電極との重なり面積の調整、画素電極とゲートバスラインとの重なり面積の調整、画素電極と Cs バスラインとの重なり面積の調整等によって行うことができる。

[0097] 図 3 6 は、フレーム期間と印加電圧の到達率との関係を示すグラフである。図 3 7 は、応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。図 3 6 に示すように、現在の液晶表示装置では、1 フレー

ム内では液晶が応答しないため、２段階を経て所望の透過率を得るように設計されている。例えば、図３７に示すように、背景が黒色の中に白色の四角形を表示し、この四角形が右から左へと動いているような表示を行う場合、四角形の左端の絵素は、フレームごとに新しい応答をしているため、応答係数が小さい色のみが応答が遅く、他の色が強い状態になり、色味が変わってしまう。

[0098] これに対し、絵素間で応答係数の値を近づけることで、色味の変化を抑制することができる。図３８は、「 $C_{pix}(min)/C_{pix}(max)$ 」で表される応答係数の好適な範囲を示すグラフである。到達率が０．９であるときの応答係数の値は０．７８であり、到達率差が５％以内である 0.78 ± 0.04 が応答係数の好ましい範囲である。

[0099] 実施形態２

図３９は、実施形態２の液晶表示装置の画素電極、ＴＦＴ及び各種配線の配置構成を示す平面模式図である。図３９に示すように、実施形態２においては、一つの絵素に対して二つの画素電極、（以下、それぞれを副画素電極ともいう。）が配置されている。また、複数個の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

[0100] 実施形態２の液晶表示装置は、行方向（横方向）に伸びるゲートバスライン１１、及び、列方向（縦方向）に伸びるソースバスライン１２を有している。また、ゲートバスライン１１とソースバスライン１２とのいずれにも接続された第一のＴＦＴ１４ａ及び第二のＴＦＴ１４ｂを有している。第一のＴＦＴ１４ａは第一の副画素電極１５ａと接続されており、第二のＴＦＴ１４ｂは第二の副画素電極１５ｂと接続されている。また、実施形態２の液晶表示装置は、第一の副画素電極１５ａの少なくとも一部で重なる第一のＣｓバスライン１３ａ、及び、第二の副画素電極１５ｂの少なくとも一部で重なる第二のＣｓバスライン１３ｂを有しており、図３９に示すように、各副画素電極１５ａ、１５ｂの中央を横切るように、それぞれが行方向に伸びて形成

されている。

- [0101] 実施形態 2 においては、一つの絵素に対して一種のカラーフィルタが配置されている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、RGB、RGBOY、RGBW等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図 2 に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図 3 に示すような、4 つの色を有し、行方向及び列方向にそれぞれ 2 つずつ各色が配置される田の字配列が挙げられる。
- [0102] 実施形態 2 において二つの副画素電極は、それぞれ異なる大きさの副画素容量を形成する。副画素容量を異ならせる方法としては、(1) 信号電圧をそれぞれ異なるソースバスラインから供給する方法、(2) C_s バスラインの電圧変化によって調節を行う方法が挙げられる。これら副画素電極に対しては、それぞれ一つずつ TFT が接続される。各 TFT は同一のゲートバスラインとつながっており、ゲートバスラインに走査信号が供給されるタイミングで、二つの副画素が一度に制御されることになる。
- [0103] 図 40 は、実施形態 2 の液晶表示装置における等価回路図である。実施形態 2 においては、副画素単位で回路パターンが形成されており、図 40 においては、2 つの副画素の回路パターンを示している。副画素電極のそれぞれは、液晶層との間で C_{lc1} 及び C_{lc2} を形成する。また、副画素電極のそれぞれは、 C_s バスラインとの間で C_{cs1} 及び C_{cs2b} を形成する。更に、副画素電極のそれぞれは、各 TFT のドレイン電極と接続されており、各 TFT によって駆動が制御される。
- [0104] 液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量 C_{lc} が形成される。 C_{lc} の値は、一对の電極によって液晶層に印加される実効電圧 (V) に依存する。絶縁膜を間に介して対向配置された画素電極と C_s バスライン (補助容量配線) とによって補助容量 C_{cs} が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン (走査線) とによってゲートドレイン容量 C_{gd} が形成される。絶縁膜を間に介して

対向配置された画素電極とソースバスライン（信号線）とによって、ソースドレイン容量 C_{sd} が形成される。

[0105] 実施形態 2 における T F T を用いた各副画素電極の駆動方式、及び、基本構成は、実施形態 1 と同様である。

[0106] 以下、 C_s バスラインの電圧変化により、マルチ画素駆動を行う方法について詳述する。図 4 1 は、マルチ画素駆動を行ったときの信号波形を示す図である。

[0107] 時刻 T_1 のとき V_g の電圧が V_{gL} から V_{gH} に変化することにより、第一の T F T 1 4 a と第二の T F T 1 4 b が同時に導通状態（オン状態）となり、第一及び第二の副画素電極 1 5 a、1 5 b のそれぞれにソースバスライン 1 2 から電圧 V_s が伝達され、第一及び第二の副画素電極 1 5 a、1 5 b に充電される。同様に、第一及び第二の副画素電極 1 5 a、1 5 b のそれぞれと重畳する第一及び第二の C_s バスライン 1 3 a、1 3 b に対しても、ソースバスライン 1 2 からの充電がなされる。

[0108] 次に、時刻 T_2 のときゲートバスライン 1 1 の電圧 V_g が V_{gH} から V_{gL} に変化することにより、第一の T F T 1 4 a と第二の T F T 1 4 b が同時に非導通状態（OFF 状態）となり、第一及び第二の副画素電極 1 5 a、1 5 b、並びに、第一及び第二の C_s バスライン 1 3 a、1 3 b はすべてソースバスライン 1 2 と電氣的に絶縁される。なお、この直後、第一の T F T 1 4 a と第二の T F T 1 4 b の有する寄生容量等の影響による引き込み現象のために、第一及び第二の副画素電極 1 5 a、1 5 b の電圧 V_{ic1} 、 V_{ic2} は略同一の電圧 ΔV_d だけ低下し、

$$V_{ic1} = V_s - \Delta V_d$$

$$V_{ic2} = V_s - \Delta V_d$$

となる。また、このとき、第一及び第二の C_s バスライン 1 3 a、1 3 b の電圧 V_{cs1} 、 V_{cs2} は

$$V_{cs1} = V_{com} - V_{ad}$$

$$V_{cs2} = V_{com} + V_{ad}$$

である。

[0109] 時刻 T_3 で、第一の C_s バスライン 13a の電圧 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ に変化し、第二の C_s バスライン 13b の電圧 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ に変化する。第一の C_s バスライン 13a 及び第二の C_s バスライン 13b のこの電圧変化に伴い、第一及び第二の副画素電極 15a、15b の電圧 V_{lc1} 、 V_{lc2} は

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

[0110] 時刻 T_4 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ、それぞれ変化し、 V_{lc1} 、 V_{lc2} もまた、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

から、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

へ変化する。

[0111] 時刻 T_5 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ、それぞれ変化し、 V_{lc1} 、 V_{lc2} もまた、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

から、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

[0112] V_{cs1} 、 V_{cs2} 、 V_{lc1} 、及び、 V_{lc2} は、水平書き込み時間 $1H$

の整数倍の間隔ごとに上記 T 4、T 5 における変化を交互に繰り返す。上記 T 4、T 5 の繰り返し間隔を 1 H の 1 倍とするか、2 倍とするか、3 倍とするか、又は、それ以上とするかについては、液晶表示装置の駆動方法（例えば、極性反転駆動）や表示状態（ちらつき、表示のざらつき感等）をみて適宜設定すればよい。この繰り返しは、次に T 1 に等価な時間になるまで継続される。したがって、それぞれの副画素電極の電圧 $V_{lc a}$ 、 $V_{lc b}$ の実効的な値は、

$$V_{lc a} = V_s - \Delta V_d + V_{ad} \times C_{cs 1} / (C_{lc 1} + C_{cs 1})$$

$$V_{lc b} = V_s - \Delta V_d - V_{ad} \times C_{cs 2} / (C_{lc 2} + C_{cs 2})$$

となる。

[0113] よって、第一及び第二の副画素電極 15 a、15 b のそれぞれによって液晶層に印加される実効電圧 V_1 、 V_2 は、

$$V_1 = V_{lc 1} - V_{com}$$

$$V_2 = V_{lc 2} - V_{com}$$

すなわち、

$$V_1 = V_s - \Delta V_d + V_{ad} \times C_{cs 1} / (C_{lc 1} + C_{cs 1}) - V_{com}$$

$$V_2 = V_s - \Delta V_d - V_{ad} \times C_{cs 2} / (C_{lc 2} + C_{cs 2}) - V_{com}$$

となり、互いに異なる値となる。

[0114] 以上のような前提の下、実施形態 2 における各絵素間での最適対向電圧の調整について、以下に詳述する。

[0115] 実施形態 2 では、実施形態 1 と同様、TFT のチャネルの幅を利用して、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ の値の絵素間でのバランスを調整している。また、補助的に、ゲートドレイン重なり面積によっても調整を行っている。実施形態 2 における α の調整方法は、実施形態 1 で示したものと同様の方法を用いることができる。

[0116] 実施形態 2 においては、副画素間で K 値をそろえることが好ましい。K 値が

そうすることで、各副画素電極によって形成される静電容量の大きさが均一化され、より適切な副画素間の調節がなされるので、より絵素間での α の値がばらつく可能性を低減させることができる。 $K = C_{cs} / C_{pix} (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。そのため、 K 値の絵素間でのバランスを調整するためには、 C_{cs} の調整が効果的である。

[0117] 図42は、実施形態2における C_s バスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。図42に示すように、 C_s バスライン13は一部に広がった領域を有しており、ドレイン電極23もまた、一部に広がった領域を有している。これらは絶縁膜を介して隔離されているが、平面的に見たときに互いに重畳しており、補助容量 C_{cs} を形成する。 C_{cs} の大きさは、これらが互いに重畳する面積に依存するため、それぞれの広がり領域の大きさを副画素ごとに調節し、重なり度合いを調整することで、適切な C_{cs} の値を形成することができる。なお、図42において、 C_s バスライン13の広がり部分は、縦方向及び横方向のいずれの辺においても、ドレイン電極23の広がり部分23aのそれらよりも大きい。

[0118] ドレイン電極23の広がり部分23aの縦方向の長さは d であり、横方向の長さは f である。また、 C_s バスライン13の広がり部分の縦方向の長さは e であり、横方向の長さは g である。

[0119] C_s バスライン13の広がり部分の縦方向の一辺と、ドレイン電極23の広がり部分23aの縦方向の一辺との間の距離は、片側につき、 a の長さを有している。すなわち、ドレイン電極23の広がり部分23aは、横方向に関して、 C_s バスライン13の広がり部分よりも a だけ内側に形成されている。したがって、 $g = f + 2a$ の等式が成り立つことになる。

[0120] C_s バスライン13の広がり部分の横方向の一辺と、ドレイン電極23の広がり部分の横方向の一辺との間の距離は、片側につき、 b の長さを有している。すなわち、ドレイン電極23の広がり部分は、縦方向に関して、 C_s バスライン13の広がり部分よりも b だけ内側に形成されている。したがって、 $e = d + 2b$ の等式が成り立つことになる。

[0121] このような場合において、異なるセルギャップをもつ4色の絵素において、
 「赤＝青」＜「緑＝黄」の場合に、それぞれの絵素間でのa～gの値を下記
 表4のように調整することで、絵素間でのK値（max－min）のズレは
 、0.10%とすることができた。なお、ここでの各絵素のセルギャップの
 比は、「赤」：「青」：「緑」：「黄」が1：1：1.4：1.4であった
 。

[0122] [表4]

	R及びB絵素(μm)	G及びY絵素(μm)
a	17.0	14.0
b	3.0	2.0
c	226.0	154.25
d	29.0	36.0
e	35.0	40.0
f	157.0	91.25
g	191.0	119.25

[0123] 図43～図46は、画素電極とCsバスラインとの重なり面積でCs容量を
 調節する際の一例を示す平面模式図である。図43は、画素電極15の上辺
 がCsバスライン13の一部と重複する形態を示している。図43における
 a及びbの値を調整することで、Ccsの値を調整することができる。図4
 4は、画素電極15の中央をCsバスライン13が横切る形態であり、Cs
 バスライン13の幅方向の全体と重複する形態を示している。図44におけ
 るc及びdの値を調整することで、Ccsの値を調整することができる。図
 45は、画素電極15の上辺がCsバスライン13と重畳し、かつ画素電極
 15の左辺に沿って延伸部が追加された形態を示している。図45における
 a～dの値を調整することで、Ccsの値を調整することができる。図46
 は、画素電極15の上辺がCsバスライン13と重畳し、かつ画素電極15
 の中央を縦断するように延伸部が追加された形態を示している。図46にお
 けるe～fの値を調整することで、Ccsの値を調整することができる。

[0124] このような調節を副画素間で行うことにより副画素間でのCcsの値が近づく
 ことになり、適切な範囲内のK値を得ることができる。

[0125] 図47は、マルチ駆動を行った場合の、Cs振幅を示す波形図である。図4

7中の ΔV_{cs} は、 $\Delta V_{cs} = K \times V_{cs\ p-p}$ で表される値であり、 ΔV_{cs} による引き込みの大きさは、副画素間で均一であることが好ましく、具体的には、10mV以内となることが好ましい。これにより、副画素間の最適対向電圧を近づけることができる。 $V_{cs\ p-p}$ は実質的に固定値となるため、 ΔV_{cs} はKで調節することが好ましい。

[0126] 下記表5は、 ΔV_{cs} は10mV以下と仮定したときのKの値のズレの許容範囲を示す表である。絵素の面積を異ならせない場合の通常の液晶表示装置では、K値は、0.43～0.54の範囲内に設定されているため、この範囲を目安として検討を行った。

[0127] [表5]

K	Kのズレ(%)	Vcs	ΔV_{cs}	ΔV_{cs} のズレ(mV)
0.54	0.74	1.92	1.04	7.7
0.544		1.92	1.04	
0.43	0.93	2.41	1.04	9.6
0.434		2.41	1.04	

[0128] 上記表5に示すように、Kを0.54とし、Kのズレを0.74%で設定したとき、 ΔV_{cs} のズレは7.7mVに抑えることができた。また、Kを0.43とし、Kのズレを0.93%で設定したとき、 ΔV_{cs} のズレは9.6mVに抑えることができた。したがって、Kの範囲の目安としては、1.0%以下である。

[0129] 実施形態3

図48及び図49は、実施形態3におけるカラーフィルタの配置形態を示す平面模式図である。実施形態3においては、赤、緑及び青の3色、又は、赤、緑、青及び黄の4色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。実施形態3においては、絵素の面積がそれぞれ異なっている。

[0130] 図48は、実施形態3において3色の絵素を用いた形態を示す平面模式図であり、3色の絵素のうち、緑(G)の絵素の面積が、赤(R)の絵素の面積よりも、青(B)の絵素の面積よりも大きい。絵素の面積を異ならせることで画素容量の値は変化するため、これを利用して、絵素間の最適対向電圧の

調整を行うこともできる。また、赤、緑及び青のピッチ幅を同じとせず、緑の比率を増やすことで、これらが同じ比率の場合と比べ、より高い透過率が得られるという効果も得られる。

[0131] 図49は、実施形態3において4色の絵素を用いた形態を示す平面模式図であり、4色の絵素のうち、赤（R）の絵素の面積、及び、青（B）の絵素の面積のいずれもが、緑（G）の絵素の面積、及び、黄（Y）の絵素の面積のいずれよりも大きい。絵素の面積を異ならせることで画素容量の値は変化するため、これを利用して、絵素間の最適対向電圧の調整を行うこともできる。赤、緑、青及び黄のピッチ幅を同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られるという効果も得られる。

[0132] 実施形態3においては、TFTのチャンネル幅を用いて絵素間での最適対向電圧の調節を行うとともに、絵素間で絵素の面積を調節することで、更なる最適対向電圧の調節がなされている。これにより、更に絵素間で α のバラツキが抑制された焼きつきの少ない液晶表示装置を得ることができる。

[0133] なお、本願は、2010年1月29日に出願された日本国特許出願2010-019563号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

符号の説明

- [0134] 1：液晶層
2：アクティブマトリクス基板
3：カラーフィルタ基板
11：ゲートバスライン（走査線）
12：ソースバスライン（信号線）
13：Csバスライン（補助容量配線）
13a：第一のCsバスライン
13b：第二のCsバスライン

1 4 : T F T (薄膜トランジスタ)

1 4 a : 第一の T F T

1 4 b : 第二の T F T

1 5 : 画素電極

1 5 a : 第一の副画素電極

1 5 b : 第二の副画素電極

2 1 : チャネル領域

2 2 : ソース電極

2 3 : ドレイン電極

2 3 a : ドレイン電極の広がり部

2 4 : コンタクトホール

2 5 : ゲート電極

3 1 : カラーフィルタ

3 1 R : カラーフィルタ (赤)

3 1 G : カラーフィルタ (緑)

3 1 B : カラーフィルタ (青)

3 1 Y : カラーフィルタ (黄)

4 1 : 画素電極

4 2 : 対向電極

請求の範囲

- [請求項1] 一対の基板と、該一対の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、該一対の基板の一方は、走査線と、信号線と、補助容量配線と、該走査線及び該信号線のそれぞれと接続された薄膜トランジスタと、該薄膜トランジスタと接続された画素電極とを備え、該一対の基板の他方は、対向電極を備え、該液晶層は、一つの画素内に、より大きな厚みをもつ領域と、より小さな厚みをもつ領域とを有し、該画素電極は、絵素ごとに配置され、該一つの画素内に配置された複数の画素電極のうち、より小さな液晶層の厚みをもつ領域と重なる画素電極が、該一つの画素内に配置された複数の薄膜トランジスタのうち、より大きなチャネル幅を有する薄膜トランジスタと接続されていることを特徴とする液晶表示装置。
- [請求項2] 前記より小さな液晶層の厚みをもつ領域と重なる画素電極の走査線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の走査線との重なり面積と異なっていることを特徴とする請求項1記載の液晶表示装置。
- [請求項3] 前記より小さな液晶層の厚みをもつ領域と重なる画素電極の信号線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の信号線との重なり面積と異なっていることを特徴とする請求項1又は2記載の液晶表示装置。
- [請求項4] 前記より小さな液晶層の厚みをもつ領域と重なる画素電極の補助容量配線との重なり面積は、より大きな液晶層の厚みをもつ領域と重なる画素電極の補助容量配線との重なり面積と異なっていることを特徴とする請求項1～3のいずれかに記載の液晶表示装置。
- [請求項5] 前記より小さな液晶層の厚みをもつ領域と重なる画素電極の面積は、

より大きな液晶層の厚みをもつ領域と重なる画素電極の面積と異なっていることを特徴とする請求項 1 ～ 4 のいずれかに記載の液晶表示装置。

[請求項6]

前記走査線と前記画素電極とは、ゲートドレイン容量を形成し、
前記信号線と前記画素電極とは、ソースドレイン容量を形成し、
前記補助容量配線と前記画素電極とは、補助容量を形成し、
前記画素電極と前記対向電極とは、液晶容量を形成し、
該ゲートドレイン容量、該ソースドレイン容量、該補助容量、及び、
該液晶容量の総和に対する、該ゲートドレイン容量の比は、前記複数色の絵素間で異なっており、
前記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートドレイン容量の比との差は、最も小さなゲートドレイン容量の比に対して 10 % 以下である

ことを特徴とする請求項 1 ～ 5 のいずれかに記載の液晶表示装置。

[請求項7]

前記一つの絵素内における、前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和の最大値に対する、前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和の最小値で算出される応答係数の値は、前記複数色の絵素間で異なっており、
前記複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大きな応答係数と、最も小さな応答係数との差は、最も小さな応答係数に対して 5 % 以下である

ことを特徴とする請求項 1 ～ 6 のいずれかに記載の液晶表示装置。

[請求項8]

前記画素電極は、一つの絵素内で複数に分割された副画素電極で構成され、
前記薄膜トランジスタは、該副画素電極のそれぞれと接続され、
前記補助容量配線は、該副画素電極のそれぞれと重畳し、

前記液晶表示装置は、前記補助容量配線の電圧の極性を一定時間ごとに反転させる駆動回路を備える

ことを特徴とする請求項 1 ～ 7 のいずれかに記載の液晶表示装置。

[請求項9]

前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和に対する、前記補助容量の比は、前記複数色の絵素間で異なっており、

前記複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して 1. 0 % 以下である

ことを特徴とする請求項 8 記載の液晶表示装置。