(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2026 年 8 月 20 日 (20.08.2026)

WIPO | PCT

(10) 国际公布号
WO 2026/170776 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2025/135436

(22) 国际申请日: 2025 年 11 月 17 日 (17.11.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202510153812.8 2025年2月12日 (12.02.2025) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(72) 发明人: 禹航 (**YU, Hang**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。 刘明旭 (**LIU, Mingxu**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。 张民慧 (**CHANG, Min-hui**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。 李杰 (**LI, Jie**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。 李辉 (**LI, Hui**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。 周振初 (**ZHOU, Zhenchu**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) **Title:** METHOD FOR FORMING SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 一种半导体结构的形成方法及其半导体结构

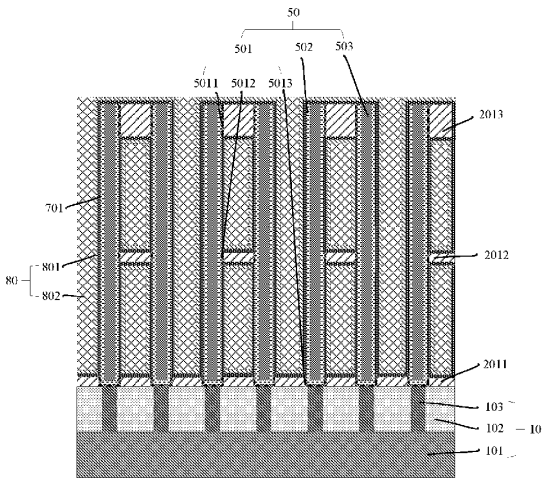


图 2M

(57) **Abstract:** The embodiments of the present disclosure relate to the field of semiconductors. Provided are a method for manufacturing a semiconductor structure, and a semiconductor structure. The method at least comprises: providing a substrate, and forming a stacked structure on the substrate; etching the stacked structure to form a first capacitor hole; sequentially forming a first initial electrode layer, a second electrode layer and a third electrode layer in the first capacitor hole, wherein the oxidation resistance of the second electrode layer is higher than the oxidation resistance of the first initial electrode layer and the oxidation resistance of the third electrode layer; removing a part of the stacked structure and a part of the first initial electrode layer to form a second capacitor hole, and using the remaining first initial electrode layer as a first electrode layer; the first electrode layer, the second electrode layer and the third electrode

WO 2026/170776 A1

[见续页]

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MU, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

layer constituting a lower electrode; and forming a dielectric layer and an upper electrode in the second capacitor hole, wherein the dielectric layer covers the lower electrode, and the second capacitor hole is filled with the upper electrode.

(57) 摘要: 本公开实施例涉及半导体领域，提供一种半导体结构的制造方法及其半导体结构，至少包括：提供基底，在基底上形成叠层结构；刻蚀叠层结构以形成第一电容孔；在第一电容孔中依次形成第一初始电极层、第二电极层和第三电极层，第二电极层的抗氧化性大于第一初始电极层和第三电极层的抗氧化性；去除部分叠层结构和部分第一初始电极层以形成第二电容孔，剩余的第一初始电极层作为第一电极层；第一电极层、第二电极层和第三电极层构成下电极；在第二电容孔中形成介质层和上电极，介质层覆盖下电极，上电极填满第二电容孔。