

半导体结构及其制作方法

本公开要求于 2021 年 08 月 06 日提交中国专利局、申请号为 2021109045510、申请名称为“半导体结构及其制作方法”的中国专利申请优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

背景技术

动态随机存储器（Dynamic Random Access Memory，简称 DRAM）由多个重复的存储单元组成，每个存储单元通常包括电容结构和晶体管，晶体管的栅极由字线构成，漏极与位线相连、源极与电容结构相连；字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容结构中的数据信息，或者通过位线将数据信息写入到电容结构中进行存储。

相关技术中，晶体管的栅极由字线构成，并埋设在基底中的字线沟槽中，基底包括 P 型衬底和位于 P 型衬底表层的 N 型掺杂区，P 型衬底中靠近字线沟槽的部分作为晶体管的沟道区域，字线沟槽两侧的 N 型掺杂区为晶体管的源极区域和漏极区域，栅极字线和源/漏极区域分别在字线沟槽的侧壁上的投影部分会形成重叠区域，当晶体管的栅极字线处于导通状态时，会在该重叠区域吸引电子，该重叠区域越大，源/漏极区域和沟道区的导通电阻越小，晶体管的驱动电流越大。正确

然而，当晶体管的栅极字线处于关闭状态时，会在该重叠区域形成强电场，吸引隧穿电流，该重叠区域越大，栅诱导漏极泄露（Gate-Induced Drain Leakage，简称 GIDL）漏电的现象越严重。

发明内容

鉴于上述问题，本公开实施例提供一种半导体结构及其制作方法，该半导体结构能够增大晶体管的驱动电流的同时，改善 GIDL 漏电现象，从而提高半导体结构的可靠性。

为了实现上述目的，本公开实施例提供如下技术方案：

本公开实施例提供一种半导体结构，其包括：基底，具有若干个字线沟槽以及与各字线沟槽相邻的源/漏极区域；栅极字线，位于字线沟槽内；所述栅极字线包括依次层叠设置的第一导电层、单导通层和第二导电层，所述第一导电层位于所述字线沟槽的底部，所述栅极字线在所述字线沟槽的侧壁上的投影与所述源/漏极区域在所述字线沟槽的侧壁上的投影具有预设高度的重叠区域，当所述栅极字线施加电压小于预设电压时，所述单导通层的电阻大于预设电阻，以使所述第一导电层和所述第二导电层不导通。

如上所述的半导体结构，至少部分所述第二导电层在所述字线沟槽的侧壁上的投影位于所述源/漏极区域在所述字线沟槽的侧壁上的投影内。

如上所述的半导体结构，所述第一导电层的顶部低于所述源/漏极区域的底部。

如上所述的半导体结构，所述第二导电层的顶部与所述源/漏极区域的顶部平齐。

如上所述的半导体结构，所述源/漏极区域在所述字线沟槽侧壁上的投影覆盖所述第二导电层在所述字线沟槽侧壁上的投影。

如上所述的半导体结构，所述预设电阻为所述第一导电层和所述第二导电层导通的临界电阻。

如上所述的半导体结构，所述单导通层包括第一电阻和第二电阻，所述第一电阻大于所述第二电阻，当所述单导通层为导通状态时，所述单导通层的电阻为第二电阻；当所述单导通层为截止状态时，所述单导通层的电阻为第一电阻。

如上所述的半导体结构，所述单导通层的导通电流为大于等于 10^{-4}A ，导通电压为大于等于 1.2V 。

如上所述的半导体结构，所述单导通层为OTS选通材料层。

如上所述的半导体结构，所述单导通层为碲化硅（SiTe）层。

如上所述的半导体结构，所述单导通层的厚度为 $5\text{nm}\sim 25\text{nm}$ 。

如上所述的半导体结构，所述单导通层的厚度为 15nm 。

如上所述的半导体结构，所述第一导电层和/或所述第二导电层为导电

金属层。

如上所述的半导体结构，所述第一导电层和/或第二导电层为钨（W）层。

本公开实施例提供的半导体结构，至少具有如下优点：

本公开实施例提供的半导体结构，栅极字线包括依次层叠设置的第一导电层、单导通层和第二导电层，其中，第一导电层位于字线沟槽的底部，当单导通层处于导通状态时，第一导电层和第二导电层通过单导通层导通，源/漏极区域与栅极字线的重叠区域会吸引基底中掺杂区的电子，降低源/漏极区域与栅极字线的重叠区域的电阻，从而增大晶体管的驱动电流；而当单导通层处于截止状态时，第一导电层和第二导电层不导通，这样，第二导电层的电压为 0v，第二导电层可以明显减小重叠区域的电场强度，改善栅极字线与源/漏极之间发生电子隧穿而形成电流的现象，从而改善 GIDL 漏电现象。

本公开实施例还提供一种半导体结构的制作方法，其包括：提供基底，在所述基底上形成若干个字线沟槽以及与各所述字线沟槽相邻的源/漏极区域；在所述字线沟槽中形成第一导电层；在所述第一导电层上形成单导通层；在所述单导通层上形成第二导电层，所述第一导电层、所述单导通层以及所述第二导电层形成栅极字线，所述栅极字线在所述字线沟槽的侧壁上的投影与所述源/漏极区域在所述字线沟槽的侧壁上的投影具有预设高度的重叠区域。

除了上面所描述的本公开实施例解决的技术问题、构成技术方案的技术特征以及由这些技术方案的技术特征所带来的有益效果外，本公开实施例提供的半导体结构及其制作方法所能解决的其他技术问题、技术方案中包含的其他技术特征以及这些技术特征带来的有益效果，将在具体实施方式中作出进一步详细的说明。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在

不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为相关技术中半导体结构的结构示意图；

图 2 为增大半导体结构中栅极字线与源/漏极区域的重叠区域的高度后，驱动电流与 GIDL 漏电的关系示意图；

图 3 为本公开实施例提供的半导体结构的结构示意图；

图 4 为本公开实施例提供的半导体结构的一种使用状态示意图；

图 5 为图 3 中栅极字线的一种使用状态示意图；

图 6 为图 3 中栅极字线的另一种使用状态示意图；

图 7 为本公开实施例提供的单导通层在导通和截止状态的电压值和电阻值的关系示意图；

图 8 为本公开实施例提供的半导体结构的制作方法的流程示意图。

附图标记：

100-基底；

101-字线沟槽；

102-源/漏极区域；

200-栅极字线；

201-第一导电层；

202-单导通层；

203-第二导电层。

具体实施方式

正如背景技术所述，相关技术中动态随机存储器存在 GIDL 漏电的现象严重的问题，经发明人研究发现，出现这种问题的原因在于：如图 1 所示，减小栅极字线 200 的顶部至基底 100 上表面的距离（在本公开实施例中用 H 表示），增大栅极字线 200 与源/漏极区域 102 分别在字线沟槽 101 的侧壁上的投影的重叠区域（在本公开实施例中，重叠区域用 A 表示），当栅极字线 200 导通时，该重叠区域 A 会吸引基底 100 掺杂区的电子，以降低源/漏极区域 102 与栅极字线 200 的重叠区域 A 的电阻，从而增大晶体管的驱动电流。

然而，当栅极字线处于截止状态时，在源漏极上施加工作电压，在该重叠区域 A 附近的电子在栅极和源/漏极之间会因为强电场发生电子隧穿形成

电流，即 GIDL 漏电，且该重叠区域 A 的尺寸越大，则 GIDL 漏电现象越严重，从而导致半导体结构的可靠性低的问题。如图 2 所示，随着重叠区域 A 尺寸的增大，引起驱动电流增大，GIDL 漏电现象也越来越严重。

针对上述问题，本公开实施例提供一种半导体结构及其制作方法，该半导体结构中，栅极字线包括依次层叠设置的第一导电层、单导通层和第二导电层，其中，第一导电层位于字线沟槽的底部，当单导通层处于导通状态时，第一导电层和第二导电层通过单导通层导通，源/漏极区域与栅极字线的重叠区域 A 会吸引基底掺杂区的电子，降低源/漏极区域与栅极字线的重叠区域 A 的电阻，从而增大晶体管的驱动电流；而当单导通层处于截止状态时，第一导电层和第二导电层不导通，这样，第二导电层的电压为 0V，第二导电层可以明显减小重叠区域 A 的电场强度，改善栅极字线与源/漏极之间发生电子隧穿而形成电流的现象，从而改善 GIDL 漏电现象。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

图 3 为本公开实施例提供的半导体结构的结构示意图；图 4 为本公开实施例提供的半导体结构的一种使用状态示意图；图 5 为图 3 中栅极字线的一种使用状态示意图；图 6 为图 3 中栅极字线的另一种使用状态示意图。

如图 3 至图 6 所示，本公开实施例提供的半导体结构，其包括：基底 100 和栅极字线 200。

其中，基底 100 具有若干个字线沟槽 101 以及与各字线沟槽 101 相邻的源/漏极区域 102。

基底 100 可以为晶体半导体材料，例如硅（Si）基底 100，基底 100 还可以为锗（Ge）基底 100、绝缘体上硅（Silicon on Insulator，简称 SOI）、锗化硅（SiGe）基底 100、碳化硅（SiC）或者氮化镓（GaN）基底 100 等，对此，本公开实施例不做具体限制。

基底 100 包括核心区和位于核心区外周的外围区，核心区包括多个有源区以及隔离多个有源区的浅沟槽隔离区，多个有源区可以呈阵列排布。

其中，基底 100 的核心区的上方后续形成有电容器，基底 100 外围区的上方后续形成有外围电路，例如，晶体管等。

各有源区中形成有字线沟槽 101，基底 100 中可以设置有半导体层，例如，基底 100 包括 P 型基底 100 以及位于 P 型基底 100 表层的 N 型掺杂区，P 型基底 100 中靠近字线沟槽的部分作为晶体管的沟道区域，字线沟槽两侧的 N 型掺杂区为晶体管的源极区域和漏极区域。

栅极字线 200 位于字线沟槽 101 中；栅极字线 200 包括依次层叠设置的第一导电层 201、单导通层 202 和第二导电层 203，第一导电层 201 位于字线沟槽 101 的底部，栅极字线 200 在字线沟槽 101 的侧壁上的投影与源/漏极区域 102 在字线沟槽 101 的侧壁上的投影具有预设高度的重叠区域 A，当栅极字线 200 施加电压小于预设电压时，单导通层的电阻大于预设电阻，以使第一导电层 201 和第二导电层 203 不导通。

可以理解的是，如图 3 和图 5 所示，当栅极字线 200 施加电压大于预设电压时，单导通层 202 的电阻小于预设电阻，第一导电层 201 和第二导电层 203 通过单导通层 202 导通，此时，图 5 中 a 图中的栅极字线 200 等效于图 5 中的 b 图，增大了栅极字线 200 与源/漏极区域 102 分别在字线沟槽侧壁上的投影重叠区域 A 的高度，从而增大了驱动电流；而当栅极字线 200 施加电压小于预设电压时，单导通层 202 的电阻大于预设电阻，如图 4 和图 6 所示，单导通层 202 处于截止状态，单导通层 202 用于阻断第一导电层 201 和第二导电层 203，以使第一导电层 201 和第二导电层 203 不导通，此时，图 6 中 c 图的栅极字线 200 等效于图 6 中的 d 图，这样，第二导电层 203 能够屏蔽第一导电层 201 的电场，从而减小了栅极字线 200 与源/漏极区域 102 的在字线沟槽侧壁上的投影重叠区域 A 的电场强度，进而改善 GIDL 漏电现象。

在本公开中，当单导通层 202 处于导通状态时，第一导电层 201 和第二导电层 203 通过单导通层 202 导通，源/漏极区域 102 与栅极字线 200 的重叠区域 A 会吸引基底 100 掺杂区的电子，降低源/漏极区域 102 与栅极字线 200 的重叠区域 A 的电阻，从而增大晶体管的驱动电流；而当单导通层 202 处于截止状态时，第一导电层 201 和第二导电层 203 不导通，这样，第二导电层 203 的电压为 0V，第二导电层 203 可以明显减小重叠区域 A 的电场强度，改善栅极字线 200 与源/漏极之间发生电子隧穿而形成电流的现象，从而改善

GIDL 漏电现象。

需要说明的是，栅极字线 200 与源/漏极区域 102 分别在字线沟槽侧壁上的投影的重叠区域 A 的高度是以增大半导体结构中晶体管的驱动电流为目的进行的设置，其具体尺寸在本实施例中不做具体限制。

其中，预设电压可以为 1.2V，当栅极字线 200 施加的电压小于 1.2V 时，单导通层 202 的电阻大于预设电阻，以使第一导电层 201 和第二导电层 203 不导通。

在一些可选的实施例中，至少部分第二导电层 203 在字线沟槽 101 的侧壁上的投影位于源/漏极区域 102 在字线沟槽 101 的侧壁上的投影内。

可以理解的是，至少部分第二导电层 203 指的是部分第二导电层 203 或者全部导电层，栅极字线 200 和源/漏极区域 102 的重叠区域 A 包括至少部分第二导电层 203，这样，当单导通层 202 处于截止状态时，第一导电层 201 和第二导电层 203 不导通，第二导电层 203 的电压为 0V，第二导电层 203 可以屏蔽第一导电层 201 附近的电场，改善栅极字线 200 与漏极之间发生电子隧穿而形成电流的现象，从而改善 GIDL 漏电现象。

进一步的，第一导电层 201 的顶部低于源/漏极区域 102 的底部。

可以理解的是，通过将第一导电层 201 的顶部设置为低于源/漏极区域 102 的底部，这样，栅极字线 200 与源/漏极区域 102 的重叠区域 A 为第二导电层 203 或者第二导电层 203 和单导通层 202 组成，当单导通层 202 处于截止状态时，第一导电层 201 附近的电子至源/漏极区域 102 的距离较远，且第二导电层 203 能够屏蔽第一导电层 201 附近的电场，减小栅极字线 200 与源/漏极区域 102 的重叠区域 A 的电场强度，避免与源/漏极区域 102 发生电子隧穿而形成电流，以实现在增大晶体管的驱动电流的同时，改善 GIDL 漏电现象。

进一步的，第二导电层 203 的顶部与源/漏极区域 102 的顶部平齐。

通过将第二导电层 203 的顶部设置为与源/漏极区域 102 的顶部平齐，这样，可以增大栅极字线 200 与源/漏极区域 102 的重叠区域 A 的高度，从而增大晶体管的驱动电流的同时，且该重叠区域 A 主要包括第二导电层 203，这样，当单导通层 202 处于截止状态时，第一导电层 201 附近的电子至源/漏极区域 102 的距离较远，且第二导电层 203 能够屏蔽第一导电层 201 附近的电场，减小栅极字线 200 与源/漏极区域 102 的重叠区域 A 的电场强度，避免与

源/漏极区域 102 发生电子隧穿而形成电流，以实现在增大晶体管的驱动电流的同时，改善 GIDL 漏电现象。

在另一些可选的实施例中，源/漏极区域 102 在字线沟槽 101 侧壁上的投影覆盖第二导电层 203 在字线沟槽 101 侧壁上的投影，这样，在增大晶体管的驱动电流的同时，能够改善 GIDL 漏电现象。

在上述实施例的基础上，当栅极字线 200 施加电压小于预设电压时，单导通层 202 的电阻大于预设电阻，以使第一导电层 201 和第二导电层 203 不导通，其中，预设电阻为第一导电层 201 和第二导电层 203 导通的临界电阻。

在本公开实施例中，单导通层 202 包括第一电阻和第二电阻，且单导通层 202 在不同的电压下，其电阻值大小可在第一电阻和第二电阻中变化，其中，第一电阻大于第二电阻，当单导通层 202 为导通状态时，单导通层 202 的电阻为第二电阻；当单导通层 202 为截止状态时，单导通层 202 的电阻为第一电阻。

可以理解的是，当栅极字线 200 施加的电压小于预设电压时，第一电阻为高阻态电阻，该电阻值大于第一导电层 201 和第二导电层 203 的导通电阻，以通过单导通层 202 阻断第一导电层 201 和第二导电层 203，此时，第二导电层 203 的电压为 0V，这样，第二导电层 203 可以用于屏蔽栅极字线 200 的电场，从而减小栅极字线 200 与源/漏极区域 102 的电场，进而改善 GIDL 漏电；而当栅极字线 200 施加电压大于预设电压时，第二电阻为低阻态电阻，该电阻值小于第一导电层 201 和第二导电层 203 的导通电阻，以通过单导通层 202 导通第一导电层 201 和第二导电层 203，以增大栅极字线 200 与源/漏极区域 102 的重叠区域 A 的高度，从而增大晶体管的驱动电流。

示例性的，当第一导电层 201 施加的电压为 3V 时，单导通层 202 为低阻态导通，此时，栅极字线 200 包括第一导电层 201、单导通层 202 和第二导电层 203，且第一导电层 201 和第二导电层 203 通过单导通层 202 导通，以增大栅极字线 200 与源/漏极区域 102 的重叠区域 A 的高度，从而增大驱动电流；而当第一导电层 201 施加的电压为 -0.2V 时，单导通层 202 为高阻态阻断，此时，栅极字线 200 包括第一导电层 201，减小了栅极字线 200 与源/漏极区域 102 的重叠区域 A 的高度，且第二导电层 203 还可以用于屏蔽栅极字线 200 的电场，从而减小栅极字线 200 与源/漏极区域 102 的重叠区域 A 的电场强度，

进而改善 GIDL 漏电现象。

图 7 为本公开实施例提供的单导通层在导通和截止状态的电压值和电阻值的关系示意图。

进一步的，由图 7 可知，单导通层 202 的导通电流为大于等于 10^{-4}A ，导通电压为大于等于 1.2V，以通过单导通层 202 导通第一导电层 201 和第二导电层 203；且当单导通层 202 的电压大于预设电压时，则电流显著增加，因此，为了满足单导通层 202 的工作可靠性，单导通层 202 可以选用随着电压的变化，电阻呈现高、低两种阻态的材料。

其中，单导通层 202 为双向阈值开关（Ovonic threshold switching，简称 OTS）选通材料层。

示例性的，单导通层 202 可以为碲化硅（SiTe）层，第一导电层 201 和第二导电层 203 可以为导电金属层，例如，第一导电层 201 和第二导电层 203 为金属钨（W）层。

进一步的，单导通层 202 的厚度可以为 5nm~25nm，其中，单导通层 202 的厚度不同，其电阻值不同。

示例性的，当单导通层 202 为 15nm 的 SiTe 层时，第一导电层 201 和第二导电层 203 为金属钨层时，单导通层 202 在截止状态时的电阻值可以为导通状态时的电阻值的 6 倍，如图 7 所示，电流值从 10^{-10}A 变化为 10^{-4}A 。

本公开实施例提供的半导体结构，栅极字线包括依次层叠设置的第一导电层、单导通层和第二导电层，其中，第一导电层位于字线沟槽的底部，当单导通层处于导通状态时，第一导电层和第二导电层通过单导通层导通，源/漏极区域与栅极字线的重叠区域 A 会吸引基底掺杂区的电子，降低源/漏极区域与栅极字线的重叠区域 A 的电阻，从而增大晶体管的驱动电流；而当单导通层处于截止状态时，第一导电层和第二导电层不导通，这样，第二导电层的电压为 0v，第二导电层可以减小重叠区域 A 的电场强度，改善栅极字线与源/漏极之间发生电子隧穿而形成电流的现象，从而改善 GIDL 漏电现象。

图 8 为本公开实施例提供的半导体结构的制作方法的流程示意图。

如图 8 所示，本公开实施例还提供一种半导体结构的制作方法，其步骤包括：

步骤 S101：提供基底，在基底上形成若干个字线沟槽以及与各字线沟槽

相邻的源/漏极区域。

步骤 S102：在字线沟槽中形成第一导电层。

步骤 S103：在第一导电层上形成单导通层。

步骤 S104：在单导通层上形成第二导电层，其中，第一导电层、单导通层以及第二导电层形成栅极字线，栅极字线在字线沟槽的侧壁上的投影与源/漏极区域在字线沟槽的侧壁上的投影具有预设高度的重叠区域。

其中，当栅极字线施加的电压小于预设电压时，单导通层的电阻大于预设电阻，单导通层处于截止状态，单导通层用于阻断第一导电层和第二导电层，以使第一导电层和第二导电层不导通；而当单导通层施加的电压大于预设电压时，单导通层的电阻小于预设电阻，单导通层处于导电状态，单导通层用于导通第一导电层和第二导电层。

本公开实施例提供的半导体结构的制作方法，其步骤包括：提供基底，在基底上形成若干个字线沟槽以及与各字线沟槽相邻的源/漏极区域；在字线沟槽中形成第一导电层；在第一导电层上形成单导通层；在单导通层上形成第二导电层，第一导电层、单导通层以及第二导电层形成栅极字线，其中，第一导电层位于字线沟槽的底部，当单导通层处于导通状态时，第一导电层和第二导电层通过单导通层导通，源/漏极区域与栅极字线的重叠区域会吸引基底掺杂区的电子，降低源/漏极区域与栅极字线的重叠区域的电阻，从而增大晶体管的驱动电流；而当单导通层处于截止状态时，第一导电层和第二导电层不导通，这样，第二导电层的电压为 0v，第二导电层减小重叠区域的电场强度，改善栅极字线与源/漏极之间发生电子隧穿而形成电流的现象，从而改善 GIDL 漏电现象。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料

或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

1. 一种半导体结构，包括：

基底，具有若干个字线沟槽以及与各所述字线沟槽相邻的源/漏极区域；栅极字线，位于所述字线沟槽内；所述栅极字线包括依次层叠设置的第一导电层、单导通层和第二导电层，所述第一导电层位于所述字线沟槽的底部，所述栅极字线在所述字线沟槽的侧壁上的投影与所述源/漏极区域在所述字线沟槽的侧壁上的投影具有预设高度的重叠区域，当所述栅极字线施加电压小于预设电压时，所述单导通层的电阻大于预设电阻，以使所述第一导电层和所述第二导电层不导通。

2. 根据权利要求 1 所述的半导体结构，其中，至少部分所述第二导电层在所述字线沟槽的侧壁上的投影位于所述源/漏极区域在所述字线沟槽的侧壁上的投影内。

3. 根据权利要求 2 所述的半导体结构，其中，所述第一导电层的顶部低于所述源/漏极区域的底部。

4. 根据权利要求 2 或 3 所述的半导体结构，其中，所述第二导电层的顶部与所述源/漏极区域的顶部平齐。

5. 根据权利要求 2 所述的半导体结构，其中，所述源/漏极区域在所述字线沟槽侧壁上的投影覆盖所述第二导电层在所述字线沟槽侧壁上的投影。

6. 根据权利要求 1 所述的半导体结构，其中，所述预设电阻为所述第一导电层和所述第二导电层导通的临界电阻。

7. 根据权利要求 1-3 中任一项所述的半导体结构，其中，所述单导通层包括第一电阻和第二电阻，所述第一电阻大于所述第二电阻，当所述单导通层为导通状态时，所述单导通层的电阻为第二电阻；当所述单导通层为截止状态时，所述单导通层的电阻为第一电阻。

8. 根据权利要求 7 所述的半导体结构，其中，所述单导通层的导通电流为大于等于 10^{-4} A，导通电压为大于等于 1.2V。

9. 根据权利要求 7 所述的半导体结构，其中，所述单导通层为 OTS 选通材料层。

10. 根据权利要求 9 所述的半导体结构，其中，所述单导通层为碲化硅（SiTe）层。

11. 根据权利要求 7 所述的半导体结构，其中，所述单导通层的厚度为 5nm~25nm。

12. 根据权利要求 11 所述的半导体结构，其中，所述单导通层的厚度为 15nm。

13. 根据权利要求 1-3 中任一项所述的半导体结构，其中，所述第一导电层和/或所述第二导电层为导电金属层。

14. 根据权利要求 13 所述的半导体结构，其中，所述第一导电层和/或第二导电层为钨（W）层。

15. 一种半导体结构的制作方法，包括：

提供基底，在所述基底上形成若干个字线沟槽以及与各所述字线沟槽相邻的源/漏极区域；

在所述字线沟槽中形成第一导电层；

在所述第一导电层上形成单导通层；

在所述单导通层上形成第二导电层；其中，所述第一导电层、所述单导通层以及所述第二导电层形成栅极字线，所述栅极字线在所述字线沟槽的侧壁上的投影与所述源/漏极区域在所述字线沟槽的侧壁上的投影具有预设高度的重叠区域。