

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 実施形態は、半導体記憶装置に関する。

背景技術

[0002] メモリセルを3次元配置した半導体記憶装置の開発が進められている。例えば、NAND型不揮発性記憶装置は、導電層上に積層された複数の電極層と、複数の電極層を貫いて延びるメモリホール内に設けられた半導体膜および電化保持膜を含み、メモリホールが電極層を貫く部分にメモリセルが配置される。このような記憶装置は、電極層の積層数を増やすことにより、その記憶容量を大きくすることができる。しかしながら、電極層の積層数が増えると共に、複数の電極層を貫くメモリホールを形成することが難しくなる。

[0003] これに対し、複数の第1電極層を貫く第1メモリホールを形成し、さらに、第1電極層上に積層された複数の第2電極層を貫き、第1メモリホールに連通する第2メモリホールを形成する方法を用いることができる。これにより、積層数が大きい電極層を貫くメモリホールを形成するためのエッチングの難度は軽減されるが、第2メモリホールの位置ずれに起因して、第1メモリホール内に形成された電荷保持膜が、プロセスダメージを受ける場合がある。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-135324号公報

発明の概要

発明が解決しようとする課題

[0005] 実施形態は、電荷保持膜のプロセスダメージを防ぐことができる半導体記憶装置を提供する。

課題を解決するための手段

[0006] 実施形態に係る半導体記憶装置は、第1方向に積層された複数の第1電極層と、前記第1方向に積層された複数の第2電極層と、前記複数の第1電極層を前記第1方向に貫く第1柱状体と、前記複数の第2電極層を前記第1方向に貫く第2柱状体と、前記第1柱状体と前記第2柱状体とを接続する接続部と、前記接続部を囲む島状のスペーサ膜と、を備える。前記複数の第1電極層と前記複数の第2電極層は、前記第1方向に並べて配置され、前記接続部および前記スペーサ膜は、前記複数の第1電極層と前記複数の第2電極層との間に位置する。

図面の簡単な説明

- [0007] [図1]第1実施形態に係る記憶装置を模式的に示す斜視図である。
- [図2]第1実施形態に係る記憶装置を示す模式断面図である。
- [図3]第1実施形態に係る記憶装置の製造過程を示す模式断面図である。
- [図4]図3に続く製造過程を示す模式断面図である。
- [図5]図4に続く製造過程を示す模式断面図である。
- [図6]図5に続く製造過程を示す模式断面図である。
- [図7]図6に続く製造過程を示す模式断面図である。
- [図8]図7に続く製造過程を示す模式断面図である。
- [図9]図8に続く製造過程を示す模式断面図である。
- [図10]図9に続く製造過程を示す模式断面図である。
- [図11]第1実施形態に係る記憶装置の特性を示す模式断面図である。
- [図12]第2実施形態に係る記憶装置を示す模式断面図である。
- [図13]第2実施形態に係る記憶装置の製造過程を示す模式断面図である。
- [図14]図13に続く製造過程を示す模式断面図である。
- [図15]第2実施形態に係る記憶装置の特性を示す模式断面図である。
- [図16]第2実施形態の変形例に係る記憶装置を示す模式断面図である。
- [図17]第3実施形態に係る記憶装置を示す模式断面図である。
- [図18]第3実施形態に係る記憶装置の製造過程を示す模式断面図である。
- [図19]図18に続く製造過程を示す模式断面図である。

[図20]第4実施形態に係る記憶装置を示す模式断面図である。

[図21]第4実施形態に係る記憶装置の製造過程を示す模式断面図である。

[図22]図18に続く製造過程を示す模式断面図である。

[図23]第4実施形態の変形例に係る記憶装置を示す模式断面図である。

[図24]第4実施形態の変形例に係る記憶装置の製造過程を示す模式断面図である。

[図25]図24に続く製造過程を示す模式平面図である。

[図26]図25に続く製造過程を示す模式断面図である。

[図27]第4実施形態の変形例に係る記憶装置の製造過程を示す模式断面図である。

[図28]第4実施形態の他の変形例に係る記憶装置を示す模式平面図である。

発明を実施するための形態

[0008] 以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

[0009] さらに、各図中に示すX軸、Y軸およびZ軸を用いて各部分の配置および構成を説明する。X軸、Y軸、Z軸は、相互に直交し、それぞれX方向、Y方向、Z方向を表す。また、Z方向を上方、その反対方向を下方として説明する場合がある。

[0010] (第1実施形態)

図1は、第1実施形態に係る記憶装置1を模式的に示す斜視図である。記憶装置1は、例えば、NAND型フラッシュメモリ装置であり、3次元配置されたメモリセルを含む。なお、図1では、記憶装置1の構造を示すために、絶縁膜を省略している。

[0011] 図1に示すように、記憶装置1は、複数の第1電極層（以下、選択ゲート

SGSおよびワード線WL1)と、複数の第2電極層(以下、ワード線WL2および選択ゲートSGD)と、柱状体PB1と、柱状体PB2と、を含む。

[0012] 選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDは、例えば、ソース層SLの上に積層される。ソース層SLは、例えば、シリコン基板(図示しない)に設けられたP形ウェルである。また、ソース層SLは、シリコン基板上に層間絶縁膜(図示しない)を介して設けられた金属層やポリシリコン層であっても良い。

[0013] 第1柱状体PB1は、選択ゲートSGSおよびワード線WL1を貫いて、積層方向(Z方向)に延びる。第2柱状体PB2は、ワード線WL2および選択ゲートSGDを貫いてZ方向に延びる。

[0014] 記憶装置1は、スペーサ膜20と、ビット線BLと、をさらに備える。スペーサ膜20は、柱状体PB1と柱状体PB2との間の接続部JP(図2参照)を島状に囲むように設けられる。言い換えると、第1柱状体PB1と第2柱状体PB2との間に配置されるスペーサ膜20は、別の第1柱状体PB1と別の第2柱状体PB2との間に配置される別のスペーサ膜20とは分離されて配置される。例えば、X方向およびY方向において隣接するスペーサ膜20は、相互に離間して配置される。ビット線BLは、柱状体PB2に含まれる半導体膜SF(図2参照)に接続プラグVBを介して電氣的に接続される。

[0015] 図2は、第1実施形態に係る記憶装置1を示す模式断面図である。図2には、柱状体PB1、PB2および接続部JPの断面構造が示されている。

[0016] 図2に示すように、記憶装置1は、メモリ膜MFと、半導体膜SFと、絶縁性コアCAと、を含む。メモリ膜MF、半導体膜SFおよび絶縁性コアCAは、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを貫いてZ方向に延在する。例えば、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを一体と見なせば、柱状体PB1は、接続部JPよりも下の部分であり、柱状体PB2は、接続部JPよりも上の部分である。

- [0017] 絶縁性コアC Aは、例えば、Z方向に延びる酸化シリコンである。半導体膜S Fは、例えば、ポリシリコン膜であり、絶縁性コアC Aを覆うように設けられる。半導体膜S Fは、柱状体P B 1の底面においてソース層S Lに接し、電氣的に接続される。
- [0018] メモリ膜M Fは、半導体膜S Fの側面を覆うように設けられる。メモリ膜M Fは、電荷保持機能を有する絶縁膜である。例えば、メモリセルM Cは、柱状体P B 1とワード線W L 1とが交差する部分、および、柱状体P B 2とワード線W L 2とが交差する部分に設けられる。メモリ膜M Fは、ワード線W L 1と半導体膜S Fとの間、および、ワード線W L 2と半導体膜S Fとの間に位置し、それぞれメモリセルM Cの電荷保持部として機能する部分を含む。なお、メモリ膜M Fは、導電性膜の周りを絶縁膜で取り囲んだフローティングゲート構造としてもよい。
- [0019] 記憶装置1は、層間絶縁膜1 3、1 5、2 3および2 5を含む。層間絶縁膜1 3は、ソース層S Lと選択ゲートS G Sとの間に設けられ、層間絶縁膜1 5は、Z方向において隣接するワード線W L 1の間に設けられる。層間絶縁膜2 3は、ワード線W L 1とワード線W L 2との間において、スペーサ膜2 0を囲むように設けられる。層間絶縁膜1 5は、Z方向において隣接するワード線W L 2の間に設けられる。
- [0020] 図2に示すように、スペーサ膜2 0は、柱状体P B 1と柱状体P B 2との間の接続部J Pを囲むように設けられる。例えば、スペーサ膜2 0のX方向における幅W S 1は、第1柱状体P B 1のワード線W L 1を貫く部分における幅W T 1より大きい。また、接続部J PのX方向における最小幅W J 1は、柱状体P B 1のワード線W L 1を貫く部分における幅W T 1よりも狭い。ここで、柱状体P B 1の幅W T 1は、複数のワード線W L 1のうちの接続部J Pに最近接したワード線W L 1を貫く部分の幅である。
- [0021] また、接続部J Pの最小幅W J 1は、柱状体P B 1の幅W B 1よりも狭い。柱状体P B 1の幅W B 1は、例えば、柱状体P B 1の下端に最も近接したワード線W L 1もしくは選択ゲートS G Sを貫く部分の幅である。この例で

は、幅WB 1は、選択ゲートSGSを貫く部分の幅である。

[0022] 例えば、柱状体PB 1および接続部JPのX-Y断面が略円形であれば、接続部JPの外径WJ 1は、柱状体PB 1の外径WT 1および外径WB 1よりも小さい。

[0023] 次に、図3～図10を参照して、第1実施形態に係る記憶装置1の製造方法を説明する。図3(a)～図6(b)、図7、図8(a)、図8(b)、図9および図10は、記憶装置1の製造過程を示す模式断面図である。

[0024] 図3(a)に示すように、ソース層SLの上に層間絶縁膜13、15、23および犠牲膜17を積層する。層間絶縁膜15および犠牲膜17は、層間絶縁膜13の上に交互に積層される。さらに、複数の犠牲膜17のうちの最も上に位置する犠牲膜17Tの上に層間絶縁膜23を形成する。層間絶縁膜13、15および23は、例えば、シリコン酸化膜である。犠牲膜17は、例えば、シリコン窒化膜である。

[0025] 続いて、層間絶縁膜23の上面からソース層SLに至る深さを有するメモリホールMH 1を形成する。メモリホールMH 1は、例えば、RIE (Reactive Ion Etching) を用いて層間絶縁膜13、15、23および犠牲膜17を選択的に除去することにより形成される。

[0026] 図3(b)に示すように、メモリホールMH 1を埋め込むように、犠牲膜33を形成する。犠牲膜33は、例えば、CVD (Chemical Vapor Deposition) を用いて形成されるアモルファスシリコン膜である。

[0027] 図4(a)に示すように、犠牲膜33をエッチバックし、メモリホールMH 1の上部にリセス部RCを形成する。リセス部RCは、その底面が犠牲膜17Tよりも上方のレベルに位置するように形成される。犠牲膜17Tは、Z方向に積層された複数の犠牲膜17のうちの最も上に位置する犠牲膜17である。

[0028] 図4(b)に示すように、例えば、等方性のドライエッチングを用いて層間絶縁膜23をエッチングし、リセス部RCを横方向に拡張する。つまり、リセス部RCの幅を、メモリホールMH 1の幅より広くする。また、メモリ

ホールMH1のX-Y断面が、例えば、略円形であれば、リセス部RCの中心は、メモリホールMHの中心と一致する。

[0029] 図5(a)に示すように、リセス部RCの内面を覆うスペーサ膜20を形成する。スペーサ膜20には、犠牲膜33とは異なる材料を用いる。スペーサ膜20には、例えば、酸化シリコン(SiO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO)、窒化シリコン(SiN)、不純物を添加したポリシリコン、不純物を添加したアモルファスシリコンもしくは炭化シリコン(SiC)を用いることができる。

[0030] 図5(b)に示すように、リセス部RCの内壁に接する部分を残して、スペーサ膜20をエッチバックする。例えば、異方性RIEを用いて層間絶縁膜23の上面に堆積された部分および犠牲膜33の上に堆積された部分を除去する。これにより、例えば、リセス部RCの内壁に沿ったリング状のスペーサ膜20が残される。

[0031] 層間絶縁膜23の上に堆積されるスペーサ膜20の厚さ T_s 。(図5(a)参照)は、リセス部RCの内部に空間を残し、且つ、エッチング後のリセス部RCの最小幅 $WJ2$ が、メモリホールMH1の幅 $WT2$ および幅 $WB2$ よりも狭くなるように設定される。ここで、メモリホールMH1のX-Y断面が略円形であるとすれば、最初幅 $WJ2$ は、リング状のスペーサ膜20の内径である。また、メモリホールMH1の幅 $WT2$ は、犠牲膜17Tを貫く部分の内径であり、幅 $WB2$ は、メモリホールMH1の底面に最近接した位置の犠牲膜17Bを貫く部分の内径である。

[0032] 図6(a)に示すように、犠牲膜35をリセス部RCを埋め込むように形成する。犠牲膜35は、例えば、アモルファスシリコン膜である。

[0033] 図6(b)に示すように、例えば、CMP (Chemical Mechanical Polishing) を用いて犠牲膜35を研磨し、層間絶縁膜23を露出させる。これにより、犠牲膜35のうちのリセス部RCを埋め込んだ部分を残して、犠牲膜35を除去することができる。

[0034] 図7に示すように、層間絶縁膜23および犠牲膜35の上に層間絶縁膜2

5 および犠牲膜 27 を交互に積層する。層間絶縁膜 25 は、例えば、シリコン酸化膜であり、犠牲膜 27 は、例えば、シリコン窒化膜である。さらに、複数の層間絶縁膜 25 のうちの最も上に位置する層間絶縁膜 25 T の上面から犠牲膜 35 に連通するメモリホール MH2 を形成する。

[0035] 図 8 (a) に示すように、メモリホール MH2 を介して、犠牲膜 35 および犠牲膜 33 を選択的に除去し、メモリホール MH1 とメモリホール MH2 とが一体となったメモリホール MH を形成する。その後、メモリホール MH の内面上にメモリ膜 MF を形成する。

[0036] ワード線 WL の積層数が多い場合は、このように、メモリホール MH1 とメモリホール MH2 を別々に形成し、最終的に 1 つのメモリホール MH とすることが好ましい。これにより、多数のワード線 WL を貫くメモリホール MH を形成する際のエッチング等の難度を軽減することができる。

[0037] 図 8 (b) は、メモリホール MH の X-Y 断面を示す模式図である。図 8 (b) に示すように、メモリ膜 MF は、メモリホール MH の内面上に、ブロック絶縁膜 FL1、電荷保持膜 FL2 およびトンネル絶縁膜 FL3 を順に積層した構造を有する。ブロック絶縁膜 FL1 およびトンネル絶縁膜 FL3 は、例えば、シリコン酸化膜である。電荷保持膜 FL2 は、例えば、シリコン窒化膜である。ブロック絶縁膜 FL1 は、例えば、金属酸化物を含んでも良い。

[0038] 図 9 に示すように、メモリホール MH の底面において、メモリ膜 MF のうちのソース層 SL 上に形成された部分を選択的に除去する。メモリ膜 MF は、例えば、異方性 RIE を用いて選択的に除去される。

[0039] 図 10 に示すように、半導体膜 SF を、メモリ膜 MF が形成されたメモリホール MH の内面を覆うように形成する。半導体膜 SF は、例えば、ポリシリコン膜であり、メモリ膜 MF に接するように形成される。また、半導体膜 SF は、メモリホール MH の底面において、ソース層 SL に接する。

[0040] さらに、メモリホール MH の内部を埋め込むように、絶縁性コア CA を形成する。絶縁性コア CA は、例えば、CVD を用いて堆積される酸化シリコ

ンである。さらに、犠牲膜17および25を選択的に除去し、金属層に置き換えることにより、ワード線WL1、WL2、選択ゲートSGSおよびSGDを形成する。

[0041] 図11(a)および(b)は、第1実施形態に係る記憶装置1の特性を示す模式断面図である。図11(a)は、比較例に係る記憶装置2において、メモリ膜MFを選択的に除去する過程を示す模式断面図である。図11(b)は、記憶装置1のメモリ膜MFを選択的に除去する過程を示す模式断面図である。

[0042] 図11(a)に示すように、記憶装置2は、スペーサ膜20を含まない。さらに、図11(a)には、メモリホールMH1に対して、メモリホールMH2が位置ずれしている状態を示している。

[0043] 図11(a)に示すように、メモリホールMH2の位置ずれにより、メモリホールMH1の内壁の一部がメモリホールMH2を通して露出されている。このような状態において、RIEにより、メモリホールMH2の開口側からメモリ膜MFのソース層SL上に形成された部分を除去すると、メモリホールMH1の内壁の一部がイオン衝撃を受ける。このため、メモリホールMH1の内壁上に形成されたメモリ膜MFの一部にダメージ領域が形成される。その結果、メモリセルMCにおける電荷保持機能の劣化、および、リーク電流の増加などの不具合を生じさせる。

[0044] これに対し、図11(b)に示す記憶装置1では、スペーサ膜20によりメモリホールMH1の内壁が遮蔽され、メモリホールMH2の開口側からは見えない構成となっている。このため、メモリホールMH1の内壁上に形成されたメモリ膜は、ソース層SL上のメモリ膜MFの一部を除去する際に、スペーサ膜20により保護される。また、スペーサ膜20の表面上に形成されたメモリ膜MFの一部は、イオン衝撃によりダメージを受けるが、この領域に設けられたメモリ膜MFは電氣的に機能しないので、記憶装置1の動作に影響することはない。

[0045] このように、本実施形態に係る記憶装置1では、メモリホールMH1とメ

メモリホールMH2との間の接続部にスペーサ膜20を設けることにより、メモリホールMH1の内壁上に形成されるメモリ膜MFを保護し、メモリセルMCの特性の劣化を防ぐことができる。

[0046] また、図11(b)に示すように、メモリホールMH2がメモリホールMH1に対して位置ずれした場合、メモリホールMH1とメモリホールMH2とをつなぐ開口の幅が狭くなる。このため、メモリホールMHの内面にメモリ膜MFおよび半導体膜SFを形成する過程(図10参照)において、メモリホールMH1とメモリホールMH2との間が閉塞される恐れがある。したがって、メモリホールMH1のX方向およびY方向の幅(例えば、内径)は、メモリホールMH2のX方向およびY方向の幅よりも広く形成されることが好ましい。言い換えれば、柱状体PB1のX方向およびY方向の幅(例えば、外径)は、柱状体PB2のX方向およびY方向の幅よりも広いことが好ましい。

[0047] (第2実施形態)

図12は、第2実施形態に係る記憶装置3を示す模式断面図である。図12には、柱状体PB1およびPB2の断面構造が示されている。

[0048] 図12に示すように、柱状体PB1は、Z方向に積層された選択ゲートSGSおよび複数のワード線WL1を貫いてZ方向に延びる。柱状体PB2は、Z方向に積層された複数のワード線WL2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PB1および柱状体PB2は、複数のワード線WL1のうちの最も上に位置するワード線WLT1と、複数のワード線WL2のうちの最も下に位置するワード線WLL2と、の間で接続される。

[0049] 図12に示すように、柱状体PB1およびPB2は、メモリ膜MFと、半導体膜SFと、絶縁性コアCAと、を含む。メモリ膜MF、半導体膜SFおよび絶縁性コアCAは、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを貫いてZ方向に延在する。例えば、柱状体PB1およびPB2は、一体に形成された、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを含む柱状体の一部である。柱状体PB1は、柱状体PB2

とソース層SLとの間に位置する。半導体膜SFは、ソース層SLに電氣的に接続される。

[0050] 図12に示すように、ワード線WLT1と、ワード線WLL2と、の間には、層間絶縁膜15Tおよび絶縁膜43が設けられる。絶縁膜43は、層間絶縁膜15Tとワード線WLL2との間に設けられる。柱状体PB1は、層間絶縁膜15Tおよび絶縁膜43を貫いてZ方向に延びる。層間絶縁膜15Tおよび絶縁膜43は、例えば、シリコン酸化膜である。

[0051] 柱状体PB1と絶縁膜43の間には、ストッパー膜40Sが設けられる。ストッパー膜40Sは、例えば、ワード線WLT1の上面もしくはワード線WLL2の下面に平行な断面において、柱状体PB1を囲むように設けられる。ストッパー膜40Sは、例えば、柱状体PB1に近接する部分のZ方向の厚さが、柱状体PB1から離れた部分のZ方向の厚さよりも厚い形状を有する。また、ストッパー膜40Sの層間絶縁膜15Tに接する下面のX方向もしくはY方向の幅は、ストッパー膜40Sのワード線WLL2に近接する部分のX方向もしくはY方向の幅よりも広い。

[0052] ストッパー膜40Sは、例えば、層間絶縁膜15T、絶縁膜43、および後述する犠牲膜27とは異なる材料を含む。ストッパー膜40Sには、例えば、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO) 等の金属酸化物や炭化シリコン (SiC) などを用いることができる。層間絶縁膜15Tおよび絶縁膜43がシリコン酸化膜ではない場合には、ストッパー膜40Sは、酸化シリコン (SiO_2) を含んでも良い。また、後述する犠牲膜27が窒化シリコン (SiN) ではない場合、ブロック膜49Sは、窒化シリコンを含んでも良い。

[0053] 次に、図13(a)～図14(b)を参照して、第2実施形態に係る記憶装置3の製造方法を説明する。図13(a)～図14(b)は、記憶装置3の製造過程を順に示す模式断面図である。

[0054] 例えば、ソース層SLの上に層間絶縁膜13および15を介して複数の犠牲膜17を積層する。層間絶縁膜13は、最も下に位置する犠牲膜17とソ

ース層SLとの間に位置する。層間絶縁膜15および犠牲膜17は、層間絶縁膜13の上に交互に積層される。続いて、最も上に位置する層間絶縁膜15Tの上面からソース層SLに至る深さのメモリホールMH1を形成した後、メモリホールMH1の内部を埋め込んだ犠牲膜33を形成する（図3（a）および（b）を参照）。

[0055] さらに、図13（a）に示すように、犠牲膜33の上端が層間絶縁膜15Tよりも上のレベルに突き出るように、犠牲膜33の一部および層間絶縁膜15Tの一部を除去する。例えば、層間絶縁膜15Tよりも上のレベルに体積された犠牲膜33の一部を選択的にエッチバックした後、層間絶縁膜15Tの一部を選択的にエッチバックする。

[0056] 図13（b）に示すように、層間絶縁膜15T上にストッパー膜40を形成する。ストッパー膜40は、例えば、CVDを用いて形成され、犠牲膜33の上端を覆う。ストッパー膜40は、例えば、犠牲膜33の上端（すなわち、層間絶縁膜15Tよりも上のレベルに突き出た部分）のZ方向の幅 ΔT と同程度のZ方向の厚さを有する。

[0057] 図13（c）に示すように、犠牲膜33の上端を囲む部分を残して、ストッパー膜40をエッチバックする。ストッパー膜40は、例えば、異方性RIEを用いてエッチバックされる。これにより、犠牲膜33の上端の周りにストッパー膜40Sが形成される。

[0058] 図14（a）に示すように、層間絶縁膜15Tの上に絶縁膜43を形成する。絶縁膜43は、犠牲膜33の上面を外部に露出させるように形成される。絶縁膜43は、例えば、CVDを用いて犠牲膜33およびストッパー膜40Sを覆うように形成された後、CMPを用いて部分的に除去されるか、もしくは、エッチバックされる。犠牲膜33の上面を露出させた絶縁膜43の表面は、平坦化される。

[0059] 図14（b）に示すように、絶縁膜43の上に、層間絶縁膜25を介して複数の犠牲膜27を積層する。その後、ソース層SLに至る深さのメモリホールMHを形成する。層間絶縁膜25および犠牲膜27は、絶縁膜43の上

に交互に積層される。

[0060] メモリホールMHは、メモリホールMH2を形成した後（図15（a）参照）、犠牲膜33を選択的に除去することにより形成される。メモリホールMH2は、例えば、層間絶縁膜25および犠牲膜27を選択的に除去することにより、最も上に位置する層間絶縁膜25Tの表面から犠牲膜33に至る深さに形成される。

[0061] 続いて、メモリホールMHの内部に、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを形成する。さらに、犠牲膜17および27を選択的に除去し、金属層に置き換えることにより、ワード線WL1、WL2、選択ゲートSGSおよびSGDを形成する。

[0062] 図15（a）および（b）は、第2実施形態に係る記憶装置3の特性を示す模式断面図である。図15（a）は、メモリホールMH2を形成した後の犠牲層17および27を含む積層体の断面を示す模式図である。15（b）は、ストッパー膜40Sを設けない場合のメモリホールMH2の形状を示す模式図である。

[0063] メモリホールMH2は、犠牲膜33に連通するように形成される。多くの場合、製造過程における位置合わせの精度に起因して、メモリホールMH2は、その底面が犠牲膜33の上面に一致する位置よりもX方向もしくはY方向にずれた位置に形成される。

[0064] 実施形態に係る記憶装置3では、犠牲膜33の上面と共にストッパー膜40Sが、メモリホールMH2の底面に露出される。ストッパー膜40Sは、メモリホールMH2を形成するエッチング条件に対して耐性を有し、その下方に位置する層間絶縁膜15Tおよび犠牲膜17を保護する。

[0065] これに対し、ストッパー膜40Sを設けない場合には、図15（b）に示すように、メモリホールMH2の底面に露出した層間絶縁膜15Tがエッチングされ、その下方に位置する犠牲膜17までエッチングされることがある。この結果、層間絶縁膜15Tおよび犠牲膜17が意図せずにエッチングされた領域EXが形成される。

[0066] メモリホールMHの内面上にメモリ膜MFを形成した後、ソース層SL上に形成された部分を選択的に除去する過程において、領域EX上に形成された部分もエッチングされるか、もしくは、ダメージを受ける（図11（a）参照）。これにより、半導体膜SFとワード線WL1を短絡させるか、もしくは、記憶装置3の信頼性を低下させる場合がある。

[0067] このように、ストッパー膜40Sは、メモリホールMH2を形成する過程における層間絶縁膜15Tおよび犠牲膜17のエッチングを防ぎ、記憶装置3の製造歩留りおよび信頼性を向上させる。なお、ストッパー膜40Sには、犠牲膜27を選択的に除去するエッチング条件に対して耐性を有する材料を用いる。すなわち、犠牲膜27をワード線WL2に置き換える工程において、ストッパー膜40Sをエッチングしないことが望ましい。

[0068] 図16は、第2実施形態の変形例に係る記憶装置4を示す模式断面図である。図16には、柱状体PB1およびPB2の断面構造が示されている。

[0069] 図16に示すように、柱状体PB1は、選択ゲートSGSおよび複数のワード線WL1を貫いてZ方向に延びる。柱状体PB2は、複数のワード線WL2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PB1および柱状体PB2は、ワード線WLT1と、ワード線WLL2と、の間で接続される。ストッパー膜40Sは、柱状体PB1の上端を囲むように設けられる。

[0070] この例では、ワード線WLL2は、ストッパー膜40Sから離間した位置に設けられる。ワード線WLL2とストッパー膜40Sとの間、および、ワード線WLL2と絶縁膜43との間には、例えば、層間絶縁膜25が配置される。

このような構造は、例えば、絶縁膜43の上に層間絶縁膜25を形成した後で、犠牲膜27を積層することにより形成される（図14（a）および図14（b）参照）。これにより、犠牲膜27をワード線WL2に置き換える工程において、ストッパー膜40Sのエッチングを回避することができる。例えば、ストッパー膜40Sに犠牲膜27と同じ材料を用いることができる。

ため、本実施例において、犠牲膜27に窒化シリコンを用いた場合であってもブロック膜40に窒化シリコン(SiN)を用いることができる。また、ストッパー膜40Sが層間絶縁膜25によりワード線WLL2から電氣的に絶縁されるため、ストッパー膜40Sの材料として、不純物を添加したポリシリコンもしくは不純物を添加したアモルファスシリコンを用いても良い。

[0071] (第3実施形態)

図17は、第3実施形態に係る記憶装置5を示す模式断面図である。図17には、柱状体PB1およびPB2の断面構造が示されている。

[0072] 図17に示すように、柱状体PB1は、選択ゲートSGSおよび複数のワード線WL1を貫いてZ方向に延びる。柱状体PB2は、複数のワード線WLL2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PB1および柱状体PB2は、ワード線WLT1と、ワード線WLL2と、の間で接続される。

[0073] この例では、ワード線WLT1とワード線WLL2との間に、接続部JPが設けられる。接続部JPは、メモリ膜MFの拡張部MFJ、半導体膜SFの拡張部SFJおよび絶縁性コアCAの拡張部CAJを含む。接続部JPは、例えば、柱状体PB1の上端をX方向およびY方向に拡張した構造を有する。接続部JPは、例えば、層間絶縁膜15Tとワード線WLL2との間に位置する。

[0074] また、接続部JPは、例えば、ワード線WLT1の上面もしくはワード線WLL2の下面に平行な断面において、絶縁膜43に囲まれる。また、接続部JPは、例えば、内側に位置する部分のZ方向の厚さが、外縁に位置する部分のZ方向の厚さよりも厚い形状を有する。また、接続部JPの層間絶縁膜15Tに接する下面のX方向もしくはY方向の幅は、ワード線WLL2に近接する部分のX方向もしくはY方向の幅よりも広い。

[0075] 次に、図18(a)～図19(b)を参照して、第3実施形態に係る記憶装置5の製造方法を説明する。図18(a)～図19(b)は、記憶装置5の製造過程を順に示す模式断面図である。

- [0076] 図18(a)に示すように、ソース層SLの上に層間絶縁膜13および15を介して複数の犠牲膜17を積層する。続いて、最も上に位置する層間絶縁膜25Tの表面からソース層SLに至る深さのメモリホールMH1を形成する。その後、メモリホールMH1の内部を埋め込んだ犠牲膜33を形成する。結果として、犠牲膜33は、ソース層SL上に積層された層間絶縁膜13、15および犠牲膜17をZ方向に貫くように設けられる。
- [0077] さらに、犠牲膜33の上端が層間絶縁膜15Tよりも上のレベルに突き出るように、犠牲膜33の一部および層間絶縁膜15Tの一部を除去する。続いて、層間絶縁膜15T上に犠牲膜50を形成する。犠牲膜50は、例えば、CVDを用いて形成されるアモルファスシリコン膜であり、犠牲膜33の上端を覆う。犠牲膜50は、例えば、犠牲膜33の層間絶縁膜15Tよりも上のレベルに突き出た部分のZ方向の幅と同程度のZ方向の厚さを有する。
- [0078] 図18(b)に示すように、犠牲膜33の上端を囲む部分を残して、犠牲膜50をエッチバックする。犠牲膜50は、例えば、異方性RIEを用いてエッチバックされる。これにより、犠牲膜33の上端の周りに犠牲膜50Sが形成される。
- [0079] 図18(c)に示すように、層間絶縁膜15Tの上に絶縁膜43を形成する。絶縁膜43は、犠牲膜33の上面を外部に露出させるように形成される。絶縁膜43は、例えば、CVDを用いて犠牲膜33および犠牲膜50Sを覆うように形成された後、CMPを用いて部分的に除去されるか、もしくは、エッチバックされる。犠牲膜33の上面を露出させた絶縁膜43の表面は、平坦化される。
- [0080] 図19(a)に示すように、絶縁膜43の上に、層間絶縁膜25を介して複数の犠牲膜27を積層する。層間絶縁膜25および犠牲膜27は、絶縁膜43の上に交互に積層される。その後、最も上に位置する層間絶縁膜25Tの表面から犠牲膜33に連通するメモリホールMH2を形成する。
- [0081] 犠牲膜50Sは、メモリホールMH2の形成過程において、その下方に位置する層間絶縁膜15Tおよび犠牲膜17を保護する。これにより、メモリ

ホールMH 2の位置ずれにより、その底面が犠牲膜33の上面と一致する位置からずれたとしても、層間絶縁膜15Tおよび犠牲膜17のエッチングを防ぐことができる(図15(b)参照)。

[0082] 図19(b)に示すように、層間絶縁膜25Tの上面からソース層SLに至る深さのメモリホールMHを形成する。メモリホールMHは、例えば、犠牲膜33を選択的に除去することにより形成される。メモリホールMHは、層間絶縁膜15Tと最も下に位置する犠牲膜27との間に拡張領域50Fを有する。拡張領域50Fは、犠牲膜33と同時に犠牲膜50Sを選択的に除去することにより形成される。

[0083] 続いて、メモリホールMHの内部に、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを形成する。メモリ膜MFは、メモリホールMHの拡張領域50Fの内面に沿って形成される拡張部MFJを含む。半導体膜SFは、メモリ膜MFの拡張部MFJの上に形成される拡張部SFJを含む。絶縁性コアCAは、拡張領域50F内のスペースを埋め込んだ拡張部CAJを含む。さらに、犠牲膜17および25を選択的に除去し、金属層に置き換えることにより、ワード線WL1、WL2、選択ゲートSGSおよびSGDを形成する。

[0084] 本実施形態では、拡張部MFJ、SFJおよびCAJを含む接続部JPを設けることにより、記憶装置5の製造歩留り、および、信頼性を向上させることができる。

[0085] (第4実施形態)

図20は、第4実施形態に係る記憶装置6を示す模式断面図である。図20には、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを含む積層体の断面が示されている。図20に示す断面は、柱状体PBの断面を含む。

[0086] 図20に示すように、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDは、層間絶縁膜13、15および25を介してソース層SLの上に積層される。選択ゲートSGS、ワード線WL1、ワード

線WL 2および選択ゲートSGDを含む積層体は、複数設けられ、例えば、X方向に並べて配置される。各積層体は、スリットSTを介して離間して配置される。スリットSTの内部には、例えば、接続導体L1が設けられる。接続導体L1は、スリットSTの内壁を覆う絶縁膜55により選択ゲートSGS、ワード線WL 1、ワード線WL 2および選択ゲートSGDから電氣的に絶縁される。また、接続導体L1は、ソース層SLに電氣的に接続される。ソース層SLは、接続導体L1を介して制御回路（図示しない）に接続される。

[0087] 柱状体PBは、選択ゲートSGS、ワード線WL 1、ワード線WL 2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PBは、例えば、メモリ膜MF、半導体膜SFおよび絶縁性コアを含む。柱状体PBは、柱状体PB1と、柱状体PB2と、を含む。柱状体PB1は、選択ゲートSGSおよび複数のワード線WL 1を貫いてZ方向に延びる。柱状体PB2は、複数のワード線WL 2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PB1および柱状体PB2は、ワード線WL T1と、ワード線WL L2と、の間で接続される。

[0088] この例では、ワード線WL T1とワード線WL L2との間に、ストッパー膜60Sが設けられる。ストッパー膜60Sは、例えば、複数の柱状体PBが配置される領域に選択的に設けられる。柱状体PBは、ストッパー膜60Sを貫くように設けられる。ストッパー膜60Sは、例えば、スリットSTにより分断された領域、および、ワード線WL 1およびWL 2を制御回路（図示しない）に接続するコンタクトプラグ（図示しない）が配置される領域には設けられない。

[0089] ストッパー膜60Sには、酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO ）、酸化タングステン（ WO_x ）、酸化チタニウム（ TiO ）、炭化シリコン（ SiC ）などの金属酸化物を用いることができる。また、ストッパー膜60Sには、例えば、窒化シリコン（ SiN ）もしくは炭化シリコン（ SiC ）を用いることができる。層間絶縁膜15Tおよび絶縁膜43が

シリコン酸化膜ではない場合、ストッパー膜60Sは、酸化シリコン(SiO₂)を含んでも良い。

[0090] 次に、図21(a)～図22(b)を参照して、第4実施形態に係る記憶装置6の製造方法を説明する。図21(a)～図22(b)は、第4実施形態に係る記憶装置6の製造過程を順に示す模式断面図である。

[0091] 図21(a)に示すように、犠牲膜33は、層間絶縁膜13および15を介してソース層SL上に積層された犠牲膜17を貫いてZ方向に延びる。犠牲膜33は、その上端が層間絶縁膜15Tよりも上のレベルに突き出るように設けられる。続いて、層間絶縁膜15T上にストッパー膜60を形成する。ストッパー膜60は、犠牲膜33の上端を覆うように形成される。

[0092] ストッパー膜60は、ストッパー膜60Mと、ストッパー膜60Pと、を含む。例えば、複数の犠牲膜33が設けられた領域に形成されるストッパー膜60MのZ方向の厚さは、その周辺に設けられるストッパー膜60PのZ方向の厚さよりも厚く形成される。ストッパー膜60Pは、例えば、絶縁膜43の上に均一な厚さのストッパー膜60を形成した後、犠牲膜33が設けられた領域以外の部分を選択的に薄層化することにより形成される。

[0093] 図21(b)に示すように、犠牲膜33が設けられた領域に位置する部分が残るように、ストッパー膜60をエッチバックする。ストッパー膜60は、例えば、RIEを用いてエッチバックされる。これにより、犠牲膜33の上端の周りにストッパー膜60Sが形成される。ストッパー膜60Sは、複数の犠牲膜33が形成される領域を覆い、その表面に犠牲膜33の上面を露出させるように形成される。

[0094] 図21(c)に示すように、層間絶縁膜15Tの上に絶縁膜43を形成する。絶縁膜43は、犠牲膜33の上面およびストッパー膜60Sの上面を露出させるように形成される。絶縁膜43は、例えば、CVDを用いて犠牲膜33およびストッパー膜60Sを覆うように形成された後、CMPを用いて部分的に除去されるか、もしくは、エッチバックされる。犠牲膜33の上面およびストッパー膜60Sの上面を露出させた絶縁膜43の表面は、平坦化

される。

- [0095] 図22(a)に示すように、犠牲膜33、ストッパー膜60Sおよび絶縁膜43の上に、複数の犠牲膜27を層間絶縁膜25を介して積層する。層間絶縁膜25および犠牲膜27は、交互に積層される。その後、最も上に位置する層間絶縁膜25Tの表面から犠牲膜33に連通するメモリホールMH2を形成する。
- [0096] ストッパー膜60Sは、メモリホールMH2の形成過程において、その下方に位置する層間絶縁膜15Tおよび犠牲膜17を保護する。これにより、メモリホールMH2の位置ずれにより、その底面が犠牲膜33の上面と一致する位置からずれたとしても、層間絶縁膜15Tおよび犠牲膜17のエッチングを防ぐことができる(図15(b)参照)。
- [0097] 図22(b)に示すように、層間絶縁膜25Tの上面からソース層SLに至る深さのメモリホールMHを形成する。メモリホールMHは、例えば、犠牲膜33を選択的に除去することにより形成される。
- [0098] 続いて、メモリホールMHの内部に、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを形成する。さらに、犠牲膜17および25を選択的に除去し、金属層に置き換えることにより、ワード線WL1、WL2、選択ゲートSGSおよびSGDを形成する。
- [0099] 図23は、第4実施形態の変形例に係る記憶装置7を示す模式断面図である。図23には、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを含む積層体の断面構造が示されている。図23には、柱状体PBの断面も表されている。
- [0100] 図23に示すように、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDは、層間絶縁膜13、15および25を介してソース層SLの上に積層される。選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを含む積層体は、複数設けられ、例えば、X方向に並べて配置される。各積層体は、スリットSTを介して離間して配置される。スリットSTの内部には、例えば、接続導体LIが設けられる。

接続導体L1は、スリットSTの内壁を覆う絶縁膜55により選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDから電氣的に絶縁される。また、接続導体L1は、ソース層SLに電氣的に接続される。ソース層SLは、接続導体L1を介して制御回路に接続される。

[0101] 柱状体PBは、選択ゲートSGS、ワード線WL1、ワード線WL2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PBは、例えば、メモリ膜MF、半導体膜SFおよび絶縁性コアを含む。柱状体PBは、柱状体PB1と、柱状体PB2と、を含む。柱状体PB1は、選択ゲートSGSおよび複数のワード線WL1を貫いてZ方向に延びる。柱状体PB2は、複数のワード線WL2および選択ゲートSGDを貫いてZ方向に延びる。柱状体PB1および柱状体PB2は、ワード線WL1と、ワード線WL2と、の間で接続される。

[0102] この例では、ワード線WL1とワード線WL2との間に、ストッパー膜70Sが設けられる。ストッパー膜70Sは、例えば、複数の柱状体PBが配置される領域に選択的に設けられる。柱状体PBは、ストッパー膜70Sを貫くように設けられる。ストッパー膜70Sは、例えば、隣接する柱状体PBの間に位置する凹部70Dを含む。

[0103] ストッパー膜70Sには、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO)、酸化タングステン (WO_x)、酸化チタニウム (TiO) などの金属酸化物を用いることができる。また、ストッパー膜70Sには、不純物をドーピングしたポリシリコン、不純物をドーピングしたアモルファスシリコンなどの半導体を用いても良い。さらに、ストッパー膜70Sには、例えば、窒化シリコン (SiN) もしくは炭化シリコン (SiC) を用いることができる。層間絶縁膜15Tおよび絶縁膜43がシリコン酸化膜ではない場合、ストッパー膜70Sは、酸化シリコン (SiO_2) を含んでも良い。

[0104] 次に、図24(a)～図26(b)を参照して、第4実施形態の変形例に係る記憶装置7の製造方法を説明する。図24(a)～図26(b)は、記憶装置7の製造過程を順に示す模式図である。図24(a)～(c)、図2

6 (a) および (b) は、図 25 中に示す K-K 線に沿った断面を示す断面図であり、図 25 は平面図である。

- [0105] 図 24 (a) に示すように、犠牲膜 33 は、ソース層 SL 上に層間絶縁膜 13 および 15 を介して積層された複数の犠牲膜 17 を貫いて Z 方向に延びる。犠牲膜 33 は、その上端が層間絶縁膜 15 T よりも上のレベルに突き出るように設けられる。続いて、層間絶縁膜 15 T 上にストッパー膜 70 を形成する。ストッパー膜 70 は、犠牲膜 33 の上端を覆うように形成される。
- [0106] 例えば、隣接する犠牲膜 33 間の間隔が狭い場合、ストッパー膜 70 は、犠牲膜 33 の間に位置する部分 70 m の Z 方向の厚さが、犠牲膜 33 が設けられない領域に位置する部分 70 f の Z 方向の厚さよりも厚く形成される。
- [0107] 図 24 (b) に示すように、複数の犠牲膜 33 が設けられた領域に位置する部分が残るように、ストッパー膜 70 をエッチバックする。ストッパー膜 70 は、例えば、RIE を用いてエッチバックされる。これにより、犠牲膜 33 の上端の周りにストッパー膜 70 S が形成される。ストッパー膜 70 S は、犠牲膜 33 が形成される領域を覆い、その表面に犠牲膜 33 の上面を露出させるように形成される。また、ストッパー膜 70 S は、隣接する犠牲膜 33 の間に位置する凹部 70 D を有する。
- [0108] 図 24 (c) に示すように、層間絶縁膜 15 T の上に絶縁膜 43 を形成する。絶縁膜 43 は、犠牲膜 33 の上面およびストッパー膜 70 S の上面を露出させるように形成される。絶縁膜 43 は、例えば、CVD を用いて犠牲膜 33 およびストッパー膜 70 S を覆うように形成された後、CMP を用いて部分的に除去されるか、もしくは、エッチバックされる。犠牲膜 33 の上面およびストッパー膜 60 S の上面を露出させた絶縁膜 43 の表面は、平坦化される。
- [0109] 図 25 は、絶縁膜 43 の表面を示す模式平面図である。同図に示すように、絶縁膜 43 は、犠牲膜 33 が設けられた領域を囲むように形成される。また、絶縁膜 43 の一部は、隣接する犠牲膜 33 の間に位置する凹部 70 D の内部にも形成される。

- [0110] 図25に示すように、ストッパー膜70Sは、例えば、スリットSTが設けられる領域には形成されない。また、複数の犠牲膜33が設けられた領域のY方向の両側に位置する領域にも形成されない。この領域には、例えば、ワード線WL1に接続されるコンタクトプラグが設けられる。
- [0111] 図26(a)に示すように、犠牲膜33、ストッパー膜70Sおよび絶縁膜43の上に、複数の犠牲膜27を層間絶縁膜25を介して積層する。層間絶縁膜25および犠牲膜27は、交互に積層される。その後、最も上に位置する層間絶縁膜25Tの表面から犠牲膜33に連通するメモリホールMH2を形成する。この例では、最も下に位置する犠牲膜27Lとストッパー膜70Sとの間に層間絶縁膜25が形成されているが、犠牲膜27Lがストッパー膜70Sに接する構造でも良い。
- [0112] ストッパー膜70Sは、メモリホールMH2の形成過程において、その下方に位置する層間絶縁膜15Tおよび犠牲膜17を保護する。これにより、メモリホールMH2の位置ずれにより、その底面が犠牲膜33の上面と一致する位置からずれたとしても、層間絶縁膜15Tおよび犠牲膜17のエッチングを防ぐことができる(図15(b)参照)。
- [0113] 図26(b)に示すように、層間絶縁膜25Tの上面からソース層SLに至る深さのメモリホールMHを形成する。メモリホールMHは、例えば、犠牲膜33を選択的に除去することにより形成される。
- [0114] 続いて、メモリホールMHの内部に、メモリ膜MF、半導体膜SFおよび絶縁性コアCAを形成する。さらに、犠牲膜17および25を選択的に除去し、金属層に置き換えることにより、ワード線WL1、WL2、選択ゲートSGSおよびSGDを形成する。
- [0115] 図27は、第4実施形態の変形例に係る記憶装置7の製造過程を示す模式断面図である。この例では、図26(b)に示すメモリホールMHを形成した後、ストッパー膜70Sの一部70Xを除去する。
- [0116] 例えば、メモリホールMH2を形成した後、ストッパー膜70Sの一部がメモリホールMH2の底面に露出される(図26(a)参照)。このため、

犠牲膜33を選択的に除去した後、メモリホールMHの内壁から突出したストッパー膜70の一部70Xが残される。ストッパー膜70の一部70Xは、例えば、異方性RIEを用いて除去される。

[0117] この例では、ストッパー膜70の一部70Xを除去した領域において、メモリホールMHの内面上にメモリ膜MFおよび半導体膜SFを均一な厚さで形成することができる。また、柱状体PB2と柱状体PB1との間の接続領域における半導体膜SFの縦方向の長さを短くすることにより、Z方向に流れるチャネル電流の低下を抑制することができる。

[0118] 図28は、第4実施形態の他の変形例に係る記憶装置8を示す模式平面図である。図28は、図25に対応する平面図であり、絶縁膜43の表面を表している。

[0119] 図28に示すように、記憶装置8の製造過程において、犠牲膜33と犠牲膜37とが配置されている。犠牲膜33および37は、層間絶縁膜13および15を介してソース層SL上に積層された犠牲膜17を貫いてZ方向に延びる。犠牲膜33は、例えば、柱状体PBが設けられる領域に形成される。犠牲膜37は、例えば、コンタクトプラグCCが設けられる領域に配置される。犠牲膜37は、例えば、柱状支持体（図示しない）に置き換えられる。柱状支持体は、例えば、犠牲膜17を金属層に置き換えて、ワード線WL1および選択ゲートSGDを形成する過程において、層間絶縁膜15を支持し、犠牲膜17を選択的に除去した後のスペースを保持するために設けられる。

[0120] この例では、ストッパー膜70Sに加えて、犠牲膜37を囲むストッパー膜70Gが設けられる。ストッパー膜70Gは、例えば、ワード線WL T1とワード線WL L2との間において、柱状支持体（図示しない）を囲むように配置される。ストッパー膜70Gは、複数の柱状支持体のそれぞれの周りに設けられ、相互に離間して配置される。

[0121] 第1～第4実施形態に記載の実施例は、それぞれの形態に限定されるものではない。例えば、同じ符号の構成要素は、各実施形態に共通であり、1つ

の実施形態に記載された構成要素は、技術的に可能であれば、他の実施形態にも適用されるものである。

[0122] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0123] 1～8…記憶装置、 13、15、15T、23、25、25T…層間絶縁膜、 17、17B、17T、27、27L、33、35、37、50、50S…犠牲膜、 20…スペーサ膜、 40、40S、60、60M、60P、60S、70、70G、70S…ストッパー膜、 43、55…絶縁膜、 50F…拡張領域、 70D…凹部、 BL…ビット線、 CA…絶縁性コア、 CAJ…拡張部、 CC…コンタクトプラグ、 FL1…ブロック絶縁膜、 FL2…電荷保持膜、 FL3…トンネル絶縁膜、 JP…接続部、 LI…接続導体、 MC…メモリセル、 MF…メモリ膜、 M F J…拡張部、 MH、MH1、MH2…メモリホール、 PB、PB1、PB2…柱状体、 RC…リセス部、 SF…半導体膜、 SFJ…拡張部、 SGD、SGS…選択ゲート、 SL…ソース層、 ST…スリット、 VB…接続プラグ、 WL、WL1、WLT1、WL2、WLL2…ワード線