

一种均衡训练方法、装置及系统

相关申请的交叉引用

本申请要求在2020年05月30日提交中国专利局、申请号为202010480695.3、申请名称为“一种均衡训练方法、装置及系统”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及芯片技术领域，尤其涉及一种均衡训练方法、装置及系统。

背景技术

高速串行计算机扩展总线标准 (peripheral component interconnect express, PCIe) 是一种计算机扩展总线标准，PCIe 总线常用于计算机系统、服务器、存储器、手机等需要高速传输数据的处理器中，来连接外围设备。所述 PCIe 规定，通信系统（例如，主芯片与从芯片之间的链路协商）上电后先进行链路协商，成功协商后，才建立高速链路进行业务数据的收发。其中，从 PCIe3.0 开始，在进行链路协商时，提供了用以补偿因链路损耗引起信号质量问题的均衡训练机制。

所述均衡训练机制包括均衡训练阶段一至均衡训练阶段四（phase0~phase3），共 4 个阶段。当前，均衡训练的每一阶段都规定了固定的均衡超时时间，例如，Phase2 和 Phase3 阶段规定的均衡超时时间的最大时限通常为 32ms。其中，所述通信系统如果在规定的均衡超时时间内均衡训练未完成，便会触发超时，并宣布链路均衡失败。

而随着通信速率的飞速提升，在更高速的链路中进行通信传输时，所述通信系统需要更为复杂的均衡电路结构以及数量庞大的均衡参数。也就意味着，该种情况下，在均衡训练阶段中，确定均衡参数需要花费更长的时间，甚至远远超出所述 PCIe 协议目前规定的最大时限 32ms 的均衡超时时间。因此，在更高速的链路中进行通信传输时，链路协商成功率较低。

综上，目前进行均衡训练的方式不够灵活，无法适用更高速的链路协商。

发明内容

本申请提供一种均衡训练方法，用以更灵活的进行均衡训练，提升高速链路协商的成功率。进一步的，本申请还提供了执行该方法的装置及系统，以及在执行该方法中用到的一种芯片。

第一方面，本申请实施例提供一种均衡训练方法，该方法包括下述步骤：

获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间，N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行

所述目标阶段的均衡训练。

基于该方案，本申请实施例能够针对每次均衡训练阶段，灵活的配置用于均衡训练的均衡超时时间，从而使配置的均衡超时时间更符合当前用于协商的训练速率。已知的，在均衡的各个阶段，如果芯片的均衡操作不能在均衡超时时间内完成，则该芯片将会退出均衡，进而导致该芯片和对端芯片之间的链路协商失败。而本申请中，均衡训练阶段中配置的均衡超时时间是根据所述均衡训练阶段的训练速率确定的。因此，所述均衡训练阶段配置的均衡超时时间较为充足，能够更好的保证所述均衡训练阶段的操作顺利完成，不会由于时间不充裕而退出。因此，本申请提供的方法能够在一定程度上提升链路协商成功率。

需要说明的是，在该芯片为主芯片时，所述对端芯片为从芯片。在该芯片为从芯片时，所述对端芯片为主芯片。

可选的，该主芯片和该从芯片之间通过 PCIe 总线或 CCIX 总线连通。可知，本实施例提供的均衡训练方法应用在使用 PCIe 总线或 CCIX 总线的处理器系统内。

可选的，在应用 PCIe 总线的处理器系统中，该主芯片为根组件（RC，Root Complex）或交换芯片，该从芯片是独立于该主芯片的端点设备（Endpoint）。应当知道的是，交换芯片在一些情况下可以为主芯片，在另一些情况下可以为从芯片。

结合第一方面，在一种可能的实现方式中，在所述目标速率阈值区间为所述 N+1 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

基于该方案，本申请实施例在确定所述目标阶段的训练速率所在的目标速率阈值区间为最小的阈值区间时，将所述目标均衡超时时间设置为前向兼容的均衡超时时间，无需再根据 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系查找所述目标阶段的训练速率对应的均衡超时时间，更好的节省了系统开销。

例如，所述 PCIe3.0~PCIe5.0 的前向兼容的均衡超时时间为 32ms。

结合第一方面，在一种可能的实现方式中，所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

基于该方案，将所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系预先存储到所述主芯片的寄存器内，或者所述从芯片的寄存器内，从而在用到所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系时，可以直接到对应芯片的寄存器中读取，节约时间。

结合第一方面，在一种可能的实现方式中，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

基于该方案，本申请实施例中还提供了一种快速均衡训练模式，即如果在进行本轮均衡训练目标阶段之前，选择了快速均衡训练模式，则将前一轮均衡训练阶段的发送参数和接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标节点的初始参数。丰富了进行均衡训练的方法，同时，因采用快速均衡训练模式，能够有效降低获取均衡参数的复杂度以及有效缩短获取均衡参数的时间，从而，更好的保证所述均衡训练阶段的操作顺利完成，不会由于时间不充裕而退出，一定程度上提升链路协商成功率。

结合第一方面，在一种可能的实现方式中，在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，

并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

5 基于该方案，在完成本轮均衡训练目标阶段的均衡训练后，存储所述主芯片在所述本轮均衡训练目标阶段的均衡参数，以及存储所述从芯片在所述本轮均衡训练目标阶段的均衡参数。从而在进行下一轮均衡训练目标阶段时，可以直接获取主芯片与从芯片事先存储的发送参数和接收参数，用于确定初始参数，节约时间。

结合第一方面，在一种可能的实现方式中，所述确定不采用快速均衡训练模式之前，
10 获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

基于该方案，本申请实施例提供了一种如何确定是否采用均衡训练模式的方法，即根据用于进行所述均衡训练目标阶段的协商序列中指定比特位值来确定，丰富了均衡训练方式。
15 式。

第二方面，本申请实施例还提供一种均衡训练方法，该方法包括下述步骤：

判断是否采用快速均衡模式，在确定采用快速均衡模式时，获取主芯片与从芯片在
20 前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段，获取均衡训练目标阶段前向兼容的均衡超时时间，并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

25 基于该方案，本申请实施例在进行本次均衡训练目标阶段中，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数。丰富了进行均衡训练的方法，有助于更快获取本次均衡训练阶段的均衡参数，适用性更强，效率更高。同时，因采用快速均衡训练模式，能够有效降低获取均衡参数的复杂度以及有效缩短获取均衡参数的时间，从而，更好的保证所述均衡训练阶段的操作顺利完成，不会由于时间不充裕而退出，一定程度上提升链路协商成功率。

需要说明的是，在该芯片为主芯片时，所述对端芯片为从芯片。在该芯片为从芯片时，所述对端芯片为主芯片。

35 可选的，该主芯片和该从芯片之间通过 PCIe 总线或 CCIX 总线连通。可知，本实施例提供的均衡训练方法应用在使用 PCIe 总线或 CCIX 总线的处理器系统内。

可选的，在应用 PCIe 总线的处理器系统中，该主芯片为根组件（RC，Root Complex）或交换芯片，该从芯片是独立于该主芯片的端点设备（Endpoint）。应当知道的是，交换芯片在一些情况下可以为主芯片，在另一些情况下可以为从芯片。

结合第二方面，在一种可能的实现方式中，所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训
40 衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训

练目标阶段的初始参数的模式。基于该方案，本申请实施例中还提供了一种快速均衡训练模式，即在确认采用快速均衡训练模式后，根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数。丰富了进行均衡训练的方法，有助于更快获取本次均衡训练阶段的均衡参数。

5 结合第二方面，在一种可能的实现方式中，在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的
10 均衡参数存储在所述从芯片的寄存器内。

基于该方案，在完成本轮均衡训练目标阶段的均衡训练后，存储所述主芯片在所述本轮均衡训练目标阶段的均衡参数，以及存储所述从芯片在所述本轮均衡训练目标阶段的均衡参数。从而在进行下一轮均衡训练目标阶段时，可以直接获取主芯片与从芯片事先存储的发送参数和接收参数，用于确定初始参数，节约时间。

15 结合第二方面，在一种可能的实现方式中，所述确定采用快速均衡训练模式之前，获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

基于该方案，本申请实施例提供了一种如何确定是否采用均衡训练模式的方法，即根据用于进行所述均衡训练目标阶段的协商序列中指定比特位值来确定，丰富了均衡训练方式。
20

第三方面，本申请提供一种均衡训练装置，该装置用于执行前述第一方面或第一方面任一实现方式所述的方法。该装置包括收发器和管理器。

25 收发器用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段。对应的，管理器用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大。；则所述主芯片与所述从芯片在
30 所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

采用本实施例提供的装置，能够实现第一方面或第一方面任一可能的实现方式所述的均衡训练方法。可知，采用本实施例提供的装置，能够使得该主芯片在均衡的第三阶段的均衡超时时间是充足的，相应的，该主芯片在该第三阶段的均衡操作不会因为时间不够而退出；以及，使得该从芯片在均衡的第四阶段的均衡超时时间也是充足的，相应的，该从芯片在该第四阶段的均衡操作也不会因为时间不够而退出。因此，采用本实施例提供的装置，能够在一定程度上降低因为均衡超时时间不够而导致芯片退出均衡操作，有效提升链路协商成功率。
35

结合第三方面，在一种可能的实现方式下，在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。
40

该方案的有益效果可以参见第一方面的相关实现方式对应的有益效果，此处不再赘述。
如前文所述，所述 PCIe3.0~PCIe5.0 的前向兼容的均衡超时时间为 32ms。

结合第三方面，在一种可能的实现方式下，所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

5 结合第三方面，在一种可能的实现方式下，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述管理器还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

该方案的有益效果可以参见第一方面的相关实现方式对应的有益效果，此处不再赘述。

10 结合第三方面，在一种可能的实现方式下，在完成本轮均衡训练目标阶段的均衡训练后，所述管理器还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

15 结合第三方面，在一种可能的实现方式下，所述收发器还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

该方案的有益效果可以参见第一方面的相关实现方式对应的有益效果，此处不再赘述。

20 第四方面，本申请提供一种均衡训练装置，该装置用于执行前述第二方面或第二方面任一实现方式所述的方法。该装置包括收发器和管理器。

管理器，用于判断是否采用快速均衡模式；

25 收发器，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

管理器还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

收发器还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

30 管理器还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；

以及，所述管理器还用于在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

35 采用本实施例提供的装置，能够实现第二方面或第二方面任一种可能的实现方式所述的均衡训练方法。可知，采用本实施例提供的装置，能够更快的为所述主芯片和所述从芯片配置本轮均衡训练目标阶段的初始参数，丰富了进行均衡训练的方法，有助于更快获取本次均衡训练阶段的均衡参数，适用性更强，效率更高。此外，有效降低了在进行均衡训练目标阶段过程中因时间不够而退出的概率，提升链路协商成功率。

40 结合第四方面，在一种可能的实现方式下，在完成本轮均衡训练目标阶段的均衡训练后，所述管理器还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述

主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

5 该方案的有益效果可以参见第二方面的相关实现方式对应的有益效果，此处不再赘述。

结合第四方面，在一种可能的实现方式下，确定采用快速均衡训练模式之前，所述收发器还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述管理器还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

10 该方案的有益效果可以参见第二方面的相关实现方式对应的有益效果，此处不再赘述。

第五方面，本申请提供另一种均衡训练装置，该装置也用于执行前述第一方面或第一方面任一实现方式所述的均衡训练方法。该装置包括获取单元、确定单元和配置单元。

15 所述获取单元，用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

所述确定单元，用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间；

20 所述配置单元，用于将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间；

其中， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，所述速率阈值区间越大，则对应的所述均衡超时时间越大；

则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

25 本实施例提供的装置用于执行第一方面或第一方面任一种可能的实现方式所述的方法。采用本实施例提供的装置，能够使得该主芯片在均衡的第三阶段的均衡超时时间是充足的，相应的，该主芯片在该第三阶段的均衡操作不会因为时间不够而退出；以及，使得该从芯片在均衡的第四阶段的均衡超时时间也是充足的，相应的，该从芯片在该第四阶段的均衡操作也不会因为时间不够而退出。因此，采用本实施例提供的装置，能够在一定程度上降低因为均衡超时时间不够而导致芯片退出均衡操作，有效提升链路协商成功率。

30 结合第五方面，在一种可能的实现方式下，所述确定单元具体用于在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

结合第五方面，在一种可能的实现方式下，所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

35 结合第五方面，在一种可能的实现方式下，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述确定单元还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

40 结合第五方面，在一种可能的实现方式下，所述获取单元还用于在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所

述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

5 结合第五方面，在一种可能的实现方式下，所述获取单元还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述确定单元还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

10 第六方面，本申请提供另一种均衡训练装置，该装置也用于执行前述第二方面或第二方面任一实现方式所述的均衡训练方法。该装置包括获取单元、确定单元和配置单元。

所述确定单元，用于判断是否采用快速均衡模式；

所述获取单元，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

15 所述配置单元，用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

所述获取单元还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

20 所述配置单元还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；则在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

本实施例提供的装置用于执行第二方面或第二方面任一种可能的实现方式所述的方法。采用本实施例提供的装置，能够更快的为所述主芯片和所述从芯片配置本轮均衡训练目标阶段的初始参数，丰富了进行均衡训练的方法，有助于更快获取本次均衡训练阶段的均衡参数，适用性更强，效率更高。此外，有效降低了在进行均衡训练目标阶段过程中因时间不够而退出的概率，提升链路协商成功率。

25 结合第六方面，在一种可能的实现方式下，所述获取单元还用于在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

30 结合第六方面，在一种可能的实现方式下，确定采用快速均衡训练模式之前，所述获取单元还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述确定单元还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

40 第七方面，本申请提供了再一种均衡训练装置，该装置也用于执行前述第一方面或第一方面任一实现方式所述的均衡训练方法。该装置包括中央处理器（CPU，Central Processor Unit）和存储器，CPU用于执行存储在存储器内的代码以本实施例所述的装置的功能。

存储器用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系。对应的，CPU 用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段。

5 CPU 还用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

10 与前述各个实现方式所述的装置类似，采用本实施例所述的装置，能够在一定程度上降低由于均衡超时时间不够而导致系统退出均衡操作，进而导致链路协商失败的风险。

第八方面，本申请提供了再一种均衡训练装置，该装置也用于执行前述第二方面或第二方面任一实现方式所述的均衡训练方法。该装置包括中央处理器（CPU，Central Processor Unit）和存储器，CPU 用于执行存储在存储器内的代码以本实施例所述的装置的功能。

15 存储器用于存储前一轮均衡训练目标阶段的均衡参数。对应的，CPU 用于判断是否采用快速均衡模式，在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段。

20 CPU 还用于获取均衡训练目标阶段前向兼容的均衡超时时间，并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

25 与前述各个实现方式所述的装置类似，采用本实施例所述的装置，能够在一定程度上降低由于均衡超时时间不够而导致系统退出均衡操作，进而导致链路协商失败的风险。

第九方面，本申请提供了一种芯片，该芯片可以为前述第一方面或其任一种实现方式、或第三方面或其任一种实现方式、或第五方面或其任一种实现方式提及的主芯片或从芯片。该芯片包括寄存器、收发器和管理器。

寄存器，用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系；

收发器，用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

35 管理器，用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；

40 则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

应用本实施例所述的芯片，能够实现第一方面或第一方面的任一种可能的实现方式所述的方法，进而实现降低因均衡超时时间不够而导致系统退出均衡操作，进而导致链路协商失败的风险。

结合第九方面，在第一种可能的实现方式下，所述寄存器还用于存储前向兼容的均衡超时时间。

结合第九方面，在第一种可能的实现方式下，所述寄存器还用于存储本轮均衡训练目标阶段的均衡参数。

进一步的，本申请实施例中，所述芯片具有打开和关闭部分均衡电路，在需要快速均衡过程的情况下关闭部分均衡电路的功能，比如关闭 DFE 或者部分 CTLE，实现缩短均衡时间。其中，本申请实施例所述芯片自带管理软件，或者是符合标准的状态机。

第十方面，本申请提供了一种芯片，该芯片可以为前述第二方面或其任一种实现方式、或第四方面或其任一种实现方式、或第六方面或其任一种实现方式提及的主芯片或从芯片。该芯片包括寄存器、收发器和管理器。

寄存器，用于存储所述芯片本轮均衡训练目标阶段的均衡参数；

管理器，用于判断是否采用快速均衡模式；

收发器，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

管理器还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

收发器还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

管理器还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；以及在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

应用本实施例所述的芯片，能够实现第二方面或第二方面的任一种可能的实现方式所述的方法，进而实现降低因均衡超时时间不够而导致系统退出均衡操作，进而导致链路协商失败的风险。

结合第十方面，在第一种可能的实现方式下，所述寄存器还用于存储本轮均衡训练目标阶段的均衡参数。

结合第十方面，在第一种可能的实现方式下，所述寄存器还用于存储 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系。

进一步的，本申请实施例中，所述芯片具有打开和关闭部分均衡电路，在需要快速均衡过程的情况下关闭部分均衡电路的功能，比如关闭 DFE 或者部分 CTLE，实现缩短均衡时间。其中，本申请实施例所述芯片自带管理软件，或者是符合标准的状态机。

第十一方面，本申请还提供一种通信系统，该通信系统包括系统软件、主芯片和从芯片。所述主芯片和所述从芯片之间通过总线或 CCIX 总线连通。

所述系统软件用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时

时间，N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

5 采用本实施例提供的装置，能够实现第一方面或第一方面任一种可能的实现方式所述的均衡训练方法。可知，采用本实施例提供的装置，能够使得该主芯片在均衡的第三阶段的均衡超时时间是充足的，相应的，该主芯片在该第三阶段的均衡操作不会因为时间不够而退出；以及，使得该从芯片在均衡的第四阶段的均衡超时时间也是充足的，相应的，该从芯片在该第四阶段的均衡操作也不会因为时间不够而退出。因此，采用本实施例提供的装置，能够在一定程度上降低因为均衡超时时间不够而导致芯片退出均衡操作，有效提升
10 链路协商成功率。

结合第十一方面，在一种可能的实现方式下，所述系统软件还用于在所述目标速率阈值区间为所述 N+1 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

结合第十一方面，在一种可能的实现方式下，所述 N+1 个速率阈值区间与所述 N+1
15 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

结合第十一方面，在一种可能的实现方式下，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述系统软件还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

20 结合第十一方面，在一种可能的实现方式下，在完成本轮均衡训练目标阶段的均衡训练后，所述系统软件还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述
25 本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

结合第十一方面，在一种可能的实现方式下，所述系统软件还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

30 需要说明的是，第十一方面或其各个可能实现方式的有益效果可以参见前述各个关联实施例的有益效果，由于高度类似，因此不再赘述。

第十二方面，本申请还提供一种通信系统，该通信系统包括系统软件、主芯片和从芯片。所述主芯片和所述从芯片之间通过总线或 CCIX 总线连通。

35 所述系统软件用于判断是否采用快速均衡模式，在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段，获取均衡训练目标阶段前向兼容的均衡超时时间，并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超
40 时时间；在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片

在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

采用本实施例提供的装置，能够实现第二方面或第二方面任一种可能的实现方式所述的均衡训练方法。可知，采用本实施例提供的装置，能够更快的为所述主芯片和所述从芯片配置本轮均衡训练目标阶段的初始参数，丰富了进行均衡训练的方法，有助于更快获取本次均衡训练阶段的均衡参数，适用性更强，效率更高。此外，有效降低了在进行均衡训练目标阶段过程中因时间不够而退出的概率，提升链路协商成功率。

结合第十二方面，在一种可能的实现方式下，在完成本轮均衡训练目标阶段的均衡训练后，所述系统软件还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

结合第十二方面，在一种可能的实现方式下，确定采用快速均衡训练模式之前，所述系统软件还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；以及根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

需要说明的是，第十二方面或其各个可能实现方式的有益效果可以参见前述各个关联实施例的有益效果，由于高度类似，因此不再赘述。

第十三方面，本申请实施例提供了一种计算机程序产品，计算机程序产品包括：计算机程序代码，当计算机程序代码被均衡训练装置的单元模块或收发器、管理器运行时，使得该装置执行上述第一方面或第二方面中的任意一面；或第一方面至第二方面中的任意可能的实现方式中的任一方法。

第十四方面，本申请实施例提供了一种计算机可读存储介质，计算机可读存储介质存储有程序，程序使得均衡超时时间训练装置（例如，主芯片；再例如，从芯片）执行上述第一方面或第二方面中的任意一面；或第一方面至第二方面中的任意可能的实现方式中的任一方法。

附图说明

图 1 为本申请提供的变速均衡训练示意图；

图 2 为本申请提供的均衡电路示意图；

图 3 为本申请实施例提供的一种系统架构示意图；

图 4 为本申请提供的位于 RC 和显卡之间的信号通道的示意图；

图 5 为 PCIe 标准规定的建链流程图；

图 6 为本申请实施例提供的一种场景示意图；

图 7 为本申请实施例提供的第一种确定第一均衡超时时间的场景示意图；

图 8 为本申请实施例提供的第二种确定第一均衡超时时间的场景示意图；

图 9 为本申请实施例提供的第一种均衡训练方法流程示意图；

图 10 为本申请实施例提供的第二种均衡训练方法示意图；

图 11 为本申请实施例提供的第三种均衡训练方法示意图;

图 12 为本申请提供的第一种均衡训练装置示意图;

图 13 为本申请提供的第二种均衡训练装置示意图;

图 14 为本申请提供的再一种均衡训练装置的示意图;

5 图 15 为本申请提供的一种芯片的结构示意图;

图 16 为本申请提供的一种通信系统的结构示意图。

具体实施方式

下面结合说明书附图对本申请进行具体说明。

10 PCIe 是一种计算机扩展总线标准, PCIe 总线常用于计算机系统、服务器、存储器、手机等需要高速传输数据的处理器中, 来连接外围设备。从 PCIe3.0 开始, PCIe 采用发送和接收均衡电路来解决信号质量问题, 同时也定义了均衡训练机制。如图 1 所示, 所述均衡训练机制包括 phase0~phase3 共 4 个阶段。其中, 所述 Phase2 主要是主芯片调整从芯片的发送参数, 同时主芯片对应的调整自己的接收参数, 以期链路达到协议要求的误码率
15 小于 $10E-12$ 的稳定状态; 所述 Phase3 主要是从芯片调整主芯片的发送参数和自己接收参数。也就是说, 所述 Phase2 与所述 Phase3 主要分别用于进行发送端和接收端均衡电路的参数训练, 以保证寻找到合适的均衡电路参数。示例性的, 如图 2 所示的均衡电路框图, 所述均衡参数的值可以表示为 $C-1/C0/C+1$ 值。

此外, 在 PCIe 均衡训练中, 当前均衡训练的每一阶段都规定了固定的均衡超时时间, 20 例如, 上述图 1 所示, Phase2 和 Phase3 阶段规定的均衡超时时间的最大时限通常为 32ms, 而如果在规定的均衡超时时间内均衡训练未完成, 便会触发超时, 并宣布链路均衡失败。

由于 PCIe 速率不断提升, PCIe 的传输速率已经从 PCIe1.0 版本的 2.5G 提升到 PCIe6.0 版本的 64Gbps, 并且随着科技的进步, 后续还会使用更高的速率, 在更高速的传输中, 芯片的发送端与接收端需要更为复杂的均衡电路结构以及数量庞大的均衡参数。

25 因此, 在均衡训练阶段中, 确定均衡参数需要花费更长的时间, 甚至从 ms 级别到 s 级别, 远远超出 PCIe 协议目前要求的最大 32ms 的时间要求。而这种情况, 会导致在更高速的链路中进行通信传输时, 链路协商成功率较低。

目前针对上述问题提供的解决方案如下:

根据链路损耗配置均衡超时时间, 即把链路损耗分为长距(long reach, LR)和短距(short reach, SR)等不同损耗类型, 在进行均衡训练时, 确定链路损耗类型, 根据不同链路损耗类型对均衡超时时间的需求, 配置均衡训练 Phase2 和 Phase3 阶段的均衡超时时间为不同值。
30

但是, 链路损耗类型的确定本身就是一个较为复杂的问题, 并且根据链路损耗类型来配置均衡超时时间, 约束范围较宽泛, 无法针对损耗类型相同, 但速率不同的均衡训练进行更加灵活的调整。
35

为解决上述问题, 本申请实施例提供一种均衡训练方法, 本申请实施例的技术方案可以应用于各种总线处理系统。例如, 应用 PCIe 总线的处理器系统(也可以简称为“PCIe 系统”), 以及应用 CCIX 总线的处理器系统(也可以简称为“CCIX 系统”)。

为便于理解本申请实施例，下面仅以 PCIe 系统为例详细说明本申请涉及的方案。应当知道的是，应用 CCIX 系统也具有相同或相似的特征，具体参见下文关于应用 PCIe 系统的描述就能够理解应用 CCIX 系统了，因此不再重复赘述。

如图 3 所示，它示出了一个应用 PCIe 总线的处理器系统。该系统包括根组件（root complex, RC）、交换芯片（switch）和 PCIe-to-PCI 桥等。

具体的，RC 也被称为该系统的根控制器，通常被集成在中央处理器（central processor unit, CPU）上。RC 通常具有多个端口。通过该多个端口中的每一个端口，该 RC 可以和一个部件连通。该多个端口可以包括多个用于连接 PCIe 总线的端口（简称 PCIe 端口）。通过一个 PCIe 端口，该 RC 可以连接一个端点（endpoint），自然，该 RC 和该 Endpoint 之间是通过 PCIe 总线实现连接的。需要说明的是，如图 3 所示，该 Endpoint 可以为显卡、网卡、光通道卡、Switch 或专用集成电路（application specific integrated circuit, ASIC）等。在图 1 所示的处理器系统中，RC 和 DDR 之间通过 DDR 总线连通，所以 RC 上与 DDR 连接的端口不是 PCIe 端口。因此，该 RC 的多个端口可以全是 PCIe 端口，也可以部分是 PCIe 端口。

Switch 用于对该 RC 进行链路扩展。具体的，一方面，该 Switch 和 RC 之间通过 PCIe 总线实现连通；另一方面，该 Switch 具有多个端口，通过一个端口，该 Switch 可以和一个 EP 通过 PCIe 总线连通。因此，基于该 Switch，该 RC 可以通过一个端口和多个 Endpoint 实现连通。如图 3 所示，该 Switch 具有 3 个端口，该 Switch 通过该 3 个端口中的任意一个端口可以和一个 ASIC，通过 PCIe 总线连通。

PCIe-to-PCI 桥的作用是桥接，用于实现 PCIe 总线和 PCI 总线的转换，从而能够兼容原来的支持 PCI 总线的 Endpoint。如图 3 所示，PCIe-to-PCI 桥的一端通过 PCIe 总线连接到 Switch，另一端连接到 PCI 总线上。进一步地，图 3 中还示出了多个支持 PCI 总线标准的 PCI 插槽，插在该 PCI 插槽内的芯片或卡能够通过 PCI 总线连接到该 PCIe-to-PCI 桥，进而通过 Switch 连接到 CPU。

需要说明的是，RC 和 Endpoint 之间可以通过 PCIe 总线直接连通，也可以通过 PCIe 总线和连接器后实现连通。如图 4 所示，RC 和显卡之间依次通过 PCIe 总线、连接器、PCIe 总线、连接器和 PCIe 总线后实现连通。应当知道的是，位于 RC 和 Endpoint 之间的多条 PCIe 总线的长度可以是相同，也可以是不同。

为了便于理解，此处对本申请中多次提及的“系统”进行说明。本申请所述的系统是指应用 PCIe/CCIX 总线的系统（简称为“PCIe/CCIX 系统”）。该 PCIe/CCIX 系统可以包括一个中央处理器 CPU 和其外围设备，其中，该 CPU 和其外围设备之间的通道中至少有一个通道使用的是 PCIe/CCIX 总线。该 PCIe/CCIX 系统还可以包括多个 CPU 和其外围设备，其中，该多个 CPU 之间的通道中至少有一个通道使用的是 PCIe/CCIX 总线，或其中一个 CPU 和外围设备之间的通道中至少有一个通道使用的是 PCIe/CCIX 总线。

参见附图 5，它示出了 PCIe 系统从上电到建立通信连接的流程图。根据 PCIe 标准的规定，当开机或复位后，主芯片中的链路状态机将控制链路依次进入：检测——轮询（polling）——配置（configuration）——连接（linkup）——恢复。具体的，在检测阶段，主芯片检测从芯片是否在位。当检测到从芯片在位后，进入到 Polling 阶段，进行比特锁定以及训练速率确定，或者进行比特锁定以及训练模式确定（即确定是否采用快速均衡模式）。然后进入到配置阶段，进行链路带宽和链路号的确定，执行通道到通道的相位补偿等。完成配

置后, 进入 Linkup 阶段, 链路以低速运行到 Linkup, 也即主芯片和从芯片建立连接。然后, 系统进入到恢复阶段, 进行均衡超时时间以及变速, 完成变速且速率提升到高速后, 返回到连接状态, 以实现业务数据传输。

需要说明的是, 本申请中所述的主芯片是指包含下行口 (downstream port, DSP) 的芯片。有时, 该主芯片也被简称为下行口。本申请中所述的从芯片是指包含上行口 (upstream port, USP) 的芯片。有时, 该从芯片也被简称为上行口。

进一步地, 结合图 3 可知, 在本申请中, 所述主芯片可以为 RC, 也可以为交换芯片 (switch)。在该主芯片为 RC 时, 该从芯片可以为端点设备 (endpoint), 也可以为交换芯片 (switch)。在该主芯片为交换芯片时, 该从芯片可以为端点设备。其中, 该端点设备可以为显卡、网卡、光通道卡、存储卡或交换芯片等。

示例性的, 本申请实施例选取所述发送终端设备与所述接收终端设备为具有处理功能的芯片为例, 对本申请实施例的具体场景进行详细介绍。其中, 该场景中包括 PCIe link 以及 link 两端的芯片, 其中一端芯片包括下行口 (downstream port, DSP), 另一端芯片包括上行口 (upstream port, USP)。如下如图 6 所示, 包含 DSP 的芯片可以是 CPU (包含 root complex 部分)、交换芯片 (switch) 和 Retimer, 包含 USP 的芯片可以是 PCIe 节点 (FC card、IB 等)、交换芯片 (switch) 以及 Retimer 等。

值得注意的是, 关于均衡超时时间的操作发生在主芯片和从芯片之间。在本申请中, 该主芯片和从芯片可以位于同一处理器系统中, 也可以位于不同的处理器系统中, 其中, 该主芯片和从芯片之间通过 PCIe/CCIX 总线连通。例如, 图 3 中的 RC 对应于主芯片, Endpoint 对应于从芯片。

需要说明的是, 本申请实施例中关于配置均衡超时时间的操作可以在不同阶段实现, 不仅可以发生在恢复阶段, 也可以发生在芯片上电之后以及 PCIe/CCIX 状态机启动之前。

示例性的, 上电芯片校准阶段由系统软件通过配置两路两端的芯片功能模块寄存器完成, 比如 I2C、Jtag 等接口; 或者在链路协商阶段由两端芯片通过 TS 序列协商完成; 或者链路开始以较低速率 (比如 2.5G) 完成链路初始化, 通过带内完成配置, 再协商到高速率。

本申请实施例描述的系统架构以及业务场景是为了更加清楚的说明本申请实施例的技术方案, 并不构成对于本申请实施例提供的技术方案的限制, 本领域普通技术人员可知, 随着系统架构的演变和新业务场景的出现, 本申请实施例提供的技术方案对于类似的技术问题, 同样适用。应理解, 图 3 至图 6 仅为便于理解而示例的简化示意图, 该系统中还可以包括其他装置或者其他构造等, 图 3 至图 6 中未予以画出。

以下再对本申请实施例中涉及的部分用语进行解释说明, 以便于理解。

1) 本申请实施例中 “PCIe 总线”, 是一种高速串行计算机扩展总线标准。

PCIe 属于高速串行点对点双通道高带宽传输, 所连接的设备分配独享通道带宽, 不共享总线带宽, 主要支持主动电源管理, 错误报告, 端对端的可靠性传输, 热插拔以及服务质量(QOS)等功能。相对于 PCI 总线来说具有更快的传输速率。

其中, 需要说明的是, 本申请实施例中所述 PCIe 总线不仅可以应用于内部互连, 也可以应用于外部互连。

2) 本申请实施例中 “CCIX 总线” 基于与 PCIe 总线相同的物理架构, 该物理架构包括电气子层 (electrical sub-block) 和逻辑子层 (logical sub-block), 且 CCIX 总线支持 PCIe1.0、

PCIe2.0、PCIe3.0 和 PCIe4.0 的传输速率。

其中，需要说明的是，本申请实施例中所述 CCIX 总线不仅可以应用于内部互连，也可以应用于外部互连。

3) 本申请实施例中“状态机”是由状态寄存器和组合逻辑电路构成，能够根据控制信号按照预先设定的状态进行状态转移，是协调相关信号动作、完成特定操作的控制中心。

4) 本申请实施例中“均衡训练”是指在通信系统中，由于各种噪声和干扰的存在，使得通信系统中的传输信号发生失真的变化，也就是信道是非理想信道，对信道中这些特性进行补偿和校正的技术。

5) 本申请实施例中“均衡超时时间”是指均衡训练阶段的的最大时限，即如果在规定的均衡超时时间内均衡训练未完成，便会触发超时，并宣布链路均衡失败。

其中，本申请实施例中的术语“至少一个”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中，A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。以下至少一项(个)下或其类似表达，是指的这些项中的任意组合，包括单项(个)或复数项(个)的任意组合。例如，a，b，或 c 中的至少一项(个)，可以表示：a,b,c,a-b,a-c,b-c,或 a-b-c，其中 a,b,c 可以是单个，也可以是多个。

除非有相反的说明，本申请实施例提及“第一”、“第二”等序数词是用于对多个对象进行区分，不用于限定多个对象的顺序、时序、优先级或者重要程度。

此外，本申请实施例和权利要求书及附图中的术语“包括”和“具有”不是排他的。例如，包括了一系列步骤或模块的过程、方法、系统、产品或设备，不限于已列出的步骤或模块，还可以包括没有列出的步骤或模块。

一、通过上述应用场景等内容的介绍，本申请实施例提供的第一种均衡训练方法。

其中，本申请实施例提供的均衡训练方法中均衡训练的目标阶段是指第三阶段或第四阶段，即本申请实施例提供的均衡训练方法配置的是 Phase 2 和/或 Phase 3 两个阶段所需要的目标均衡超时时间。

此外，在执行本申请所述的第一种均衡训练方法之前，还需要对该 PCIe 系统做如下的配置。

首先，需要在该 PCIe 系统内建立并存储 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系，如图 7 或者图 8 所示。

可选的，所述均衡训练阶段为均衡训练阶段三时，所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系被预先存储在所述主芯片的寄存器内；所述均衡训练阶段为均衡训练阶段四时，所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系被预先存储在所述从芯片的寄存器内。

需要说明的是，该所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系被存储在该 PCIe 系统之中后，该系统上电、下电以及复位，均不会造成所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系丢失。可选的，所述 N+1 个速率阈值区间与所述 N+1 个均衡超时时间的对应关系被存储在该 PCIe 系统内的存储器中。

进一步的，所述第一种均衡训练方法具体步骤可参图 9 所述步骤。

S900, 获取主芯片与从芯片在均衡训练的目标阶段的训练速率。

本申请实施例一种可选的方式, 通过下列方式获取所述均衡训练目标阶段的训练速率:

本申请实施例中, 获取主芯片和从芯片之间用于进行所述均衡训练目标阶段的协商序列, 并根据所述协商序列中第一特定的 bit 位值, 确定在所述均衡训练目标阶段的训练速率, 其中, 所述第一特定的 bit 位指示需要进行训练速率信息。

具体的, 获取到所述第一特定的 bit 位数值后, 根据所述第一特定的 bit 位数值与进行训练速率的对应关系, 确定将要进行所述均衡训练目标阶段的训练速率, 例如, 所述训练速率为 V。

示例性的, 以 PCIe5.0 为例, 假设, 用于表示训练速率的所述第一特定的 bit 位为协商序列中的最后两位, 其中, bit 位数值与训练速率对应关系如表 1 所示。

例如, 所述第一特定的 bit 位值为 01, 则确定要进行均衡训练的训练速率为 16GT/s。

bit 位数值	训练速率
00b	8.0 GT/s
10b	16.0 GT/s
01b	32.0 GT/s
11b	Reserved

表 1 bit 位数值与训练速率对应关系

其中, 所述表 1 所示的 bit 位数值与训练速率的对应关系被预先存储在 PCIe/CCIX 系统的存储器内。具体的, 该存储器可以为闪存或电子可擦可编程只读存储器 EEPROM 等。

S901, 确定所述训练速率对应的目标均衡超时时间。

所述目标均衡超时时间表示在所述均衡训练目标阶段获取到均衡参数的最大时限。

本申请实施例中一种可选的方式, 确定所述目标阶段的训练速率所在的目标速率阈值区间, 根据 N+1 个速率阈值区间与 N+1 个均衡超时时间的对应关系, 确定所述目标速率阈值区间对应的目标均衡超时时间。其中, 所述 N 个速率阈值是预先确定的, 且 N 是大于或等于 0 的整数, 其中, 所述速率阈值区间越大, 则对应的所述均衡超时时间越大。

进一步的, 本申请实施例根据 N 的取值情况, 分别对查找目标均衡超时时间进行详细介绍。

取值情况 1: N=2 的情况, 即当前的速率阈值是一个, 速率阈值区间为两个。

具体的, 根据获取到的所述训练速率, 例如, 所述训练速率为 V, 判断所述训练速率所处的速率阈值区间。当速率阈值是一个, 例如所述速率阈值为 V_a 。则根据获取的所述训练速率 V 所在的速率阈值区间确定对应的目标均衡超时时间。

示例性的, 如上述图 7 所示, 因当前速率阈值是一个, 即 V_a 。因此, 当前存在两个速率阈值区间, 即用于表示训练速率小于速率阈值 V_a 的速率阈值区间 1, 以及用于表示训练速率大于等于速率阈值 V_a 的速率阈值区间 2。

其中, 假设, 速率阈值区间 1 对应的目标均衡超时时间为 32ms, 速率阈值区间 2 对应的目标均衡超时时间为 50ms。

进一步的, 将获取到的所述训练速率 V, 与所述速率阈值 V_a 进行比较, 确定所述训练速率位于哪个速率阈值区间。

假设, 若 $V \geq V_a$, 则所述训练速率位于所述速率阈值区间 2, 此时, 所述训练速率对应的目标均衡超时时间为 50ms。同理, 若 $V < V_a$, 则所述训练速率位于所述速率阈值区间 1, 此时, 所述训练速率对应的目标均衡超时时间为 32ms。

此外, 本申请实施例中一种可选的方式, 为了节省在不必要情况下查找目标均衡超时时间造成的系统开销, 在执行所述 S901 之前, 还会将获取到的所述训练速率与设置的最小阈值速率进行比较。其中, 所述最小速率阈值用于确定是否继续使用前向兼容的均衡超时时间作为配置的均衡超时时间。

具体的, 若确定所述训练速率大于等于最小速率阈值; 或确定所述训练速率大于所述最小速率阈值, 则执行所述 S901。反之, 若确定所述训练速率小于等于最小速率阈值; 或确定所述训练速率小于所述最小速率阈值, 则确定所述目标均衡超时时间为前向兼容的均衡超时时间, 例如, 直接根据前向兼容的均衡超时时间 32ms 进行均衡训练。

进一步的, 若本申请实施例中, 在执行所述 S901 之前, 已经确定了不继续使用前向兼容的均衡超时时间作为目标均衡超时时间, 需要重新选取均衡超时时间, 即目标均衡超时时间时, 则在取值情况 1 的场景下。所述速率阈值 V_a 即为所述最小速率阈值。此时, 可以直接确定所述训练速率 V 处于所述速率阈值区间 2, 对应的第一时长为 50ms。

取值情况 2: $N > 2$ 的情况, 即当前的速率阈值至少有两个, 速率阈值区间至少有三个。

具体的, 根据获取到的所述训练速率, 例如, 所述训练速率为 V , 判断所述训练速率所处的速率阈值区间。当速率阈值至少两个时, 根据获取的所述训练速率值 V 所在的速率阈值区间确定对应的目标均衡超时时间。

示例性的, 如上述图 8 所示, 因当前速率阈值至少两个, 例如第一速率阈值 V_a , 第二速率阈值 V_b , ..., 第 $N-1$ 速率阈值 V_{n-1} 。因此, 当前存在至少三个速率阈值区间, 即用于表示训练速率小于速率阈值 V_a 的速率阈值区间 1; 用于表示训练速率大于等于速率阈值 V_a , 小于速率阈值 V_b 的速率阈值区间 2; ...; 用于表示训练速率大于等于速率阈值 V_{n-2} , 小于速率阈值 V_{n-1} 的速率阈值区间 V_n 。

其中, 假设, 速率阈值区间 1 对应的目标均衡超时时间为 32ms, 速率阈值区间 2 对应的目标均衡超时时间为 50ms, ..., 速率阈值区间 N 对应的目标均衡超时时间为 100ms。

进一步的, 根据获取到的所述训练速率 V , 确定所述训练速率位于哪个速率阈值区间。

假设, 若 $V_a \leq V < V_b$, 则所述训练速率位于所述速率阈值区间 2, 此时, 所述训练速率对应的目标均衡超时时间为 50ms。同理, 若 $V < V_a$, 则所述训练速率位于所述速率阈值区间 1, 此时, 所述训练速率对应的目标均衡超时时间为 32ms。若 $V_{n-1} < V$, 则所述训练速率位于所述速率阈值区间 N , 此时, 所述训练速率对应的目标均衡超时时间为 100ms。

此外, 本申请实施例中一种可选的方式, 为了节省在不必要情况下查找目标均衡超时时间造成的系统开销, 在执行所述 S901 之前, 还会将获取到的所述训练速率与设置的最小阈值速率进行比较。其中, 所述最小速率阈值用于确定是否继续使用前向兼容的均衡超时时间作为配置的均衡超时时间。

进一步的, 若本申请实施例中, 在执行所述 S901 之前, 已经确定了不继续使用前向兼容的均衡超时时间作为配置的均衡超时时间, 需要重新选取均衡超时时间, 即目标均衡超时时间时, 则在取值情况 2 的场景下。所述速率阈值 V_a 即为所述最小速率阈值。此时, 在确定所述目标均衡超时时间时, 无需在进行所述训练速率 V 与所述速率阈值 V_a 的比较。

S902, 根据所述目标均衡超时时间, 配置所述主芯片以及所述从芯片在所述均衡训练阶段的均衡超时时间。

进一步的, 若在所述目标均衡超时时间内, 找到用于满足链路稳定性的均衡参数, 确定本次均衡训练成功, 并根据所述训练速率, 进行通信; 反之确定本次均衡训练失败。

5 应当知道的是, 在完成前述均衡超时时间的配置之后, 按照 PCIe 总线标准规定的协商流程, 链路状态机会按照图 5 所示的过程完成建链。

二、通过上述应用场景等内容的介绍, 本申请实施例提供的第二种均衡训练方法。

10 其中, 在执行本申请所述的第二种均衡训练方法之前, 还需要对该 PCIe 系统做如下的配置。

首先, 需要在该 PCIe 系统内建立并存储前一轮均衡训练目标阶段的发送参数和接收参数。

15 可选的, 在完成前一轮均衡训练目标阶段的均衡训练后, 将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内, 并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

20 需要说明的是, 所述前一轮均衡训练目标阶段的发送参数和接收参数被存储在该 PCIe 系统中之后, 该系统上电、下电以及复位, 均不会造成该前一轮均衡训练目标阶段的发送参数和接收参数丢失。具体的, 该前一轮均衡训练目标阶段的发送参数和接收参数被存储在该 PCIe 系统内的存储器中。

进一步的, 所述第一种均衡训练方法具体步骤可参图 10 所述步骤。

S1000, 确定本轮均衡训练目标阶段采用快速均衡训练模式。

25 其中, 所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数, 分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

S1001, 获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数。

30 其中, 本申请实施例中, 成功进行前一轮均衡训练目标阶段后, 记录所述前一轮均衡训练目标阶段得到的均衡参数 (即所述发送参数和所述接收参数), 例如, 所述前一轮得到的均衡参数为第二均衡参数, 以备在本轮进行均衡训练目标阶段中直接调用所述第二均衡参数确定本轮的目标均衡参数。

S1002, 将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数。

35 其中, 本申请实施例中本轮均衡训练目标阶段的目标均衡参数为所述初始参数, 或者是根据所述初始参数进一步确定的。

40 因为, 在相同的运行环境下, 上一轮均衡训练目标阶段的目标均衡参数与本轮均衡训练目标阶段的目标均衡参数相差不会很大, 因此, 进行本轮均衡训练目标阶段时, 直接使用上一轮的目标均衡参数作为本轮的目标均衡参数, 能够有效节省确定目标均衡参数的时间; 或者, 根据上一轮的目标均衡参数来确定本轮的目标均衡参数, 能够更好的知晓本轮目标均衡参数的大致范围, 有助于快速的确定本轮目标均衡参数, 节省确定目标均衡参数

的时间。

S1003, 获取均衡训练目标阶段前向兼容的均衡超时时间, 并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间。

5 S1004, 在所述本轮均衡训练目标阶段的均衡超时时间内, 利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

进一步的, 若在本次均衡训练阶段配置的均衡超时时间内, 找到所述第一均衡参数, 则确定本次均衡训练成功; 反之则确定本次均衡训练失败。

10 三、进一步的, 本申请实施例中所述图 9 所述方案, 与所述图 10 所述方案, 在实际均衡训练过程中可以进行结合使用, 即在执行所述图 9 中的 S900 之前, 确定是否开启快速训练模式, 具体参见图 11 所述步骤。其中, 为简洁描述, 该部分的配置内容以及执行过程中的细节参见上述内容的介绍, 在此不进行赘述。

S1100, 在本次均衡训练过程中, 确定是否采用快速均衡训练模式, 若是, 执行 S1101, 若否, 执行 S1102。

15 本申请实施例一种可选的方式, 通过下列方式确定是否采用快速均衡训练模式:

本申请实施例中, 获取主芯片和从芯片之间用于进行均衡训练目标阶段的协商序列, 并根据所述协商序列中第二特定的 bit 位值, 确定是否采用快速均衡训练模式, 其中, 所述第二特定的 bit 位指示是否采用快速均衡训练模式。

20 示例性的, 假设, 用于表示是否采用快速均衡训练模式的所述第二特定的 bit 位为协商序列中的第一位, 其中, bit 位数值与均衡训练模式的对应关系如表 2 所示。

例如, 所述第一特定的 bit 位值为 0 时, 表示不能采用 (disable), 为 1 时表示可以采用 (enable)。

bit 位数值	均衡训练模式
0b	不采用快速均衡训练模式
1b	采用快速均衡训练模式

表 2 bit 位数值与均衡训练模式对应关系

25

需要说明的是, 本申请实施例中也可以用多 bit 表示, 例如, 用 2bit 表示是否使采用快速均衡模式, 且用于表示是否采用快速均衡训练模式的 bit 位为协商序列中的前两位。其中, 可选的, 00 表示 Disable; 01 表示 enable。

30 S1101, 获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数, 继续执行 S1103。

S1102, 获取主芯片与从芯片在均衡训练阶段的训练速率, 继续执行 S1104。

S1103, 将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数, 继续执行 S1106。

S1104, 确定所述训练速率对应的目标均衡超时时间, 继续执行 S1105。

35 S1105, 将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间, 所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

S1106, 获取均衡训练目标阶段前向兼容的均衡超时时间, 并将所述前向兼容的均衡

超时时间配置为本轮均衡训练目标阶段的均衡超时时间。

S1107, 在所述本轮均衡训练目标阶段的均衡超时时间内, 利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

需要说明的是, 本申请实施例中所述图 9 与所述图 10 的结合方式并不限于上述图 11 所述方式, 可以根据实际应用进行灵活调整, 例如, 确定采用快速均衡模式后, 依旧可以根据用于进行均衡训练目标阶段的训练速率确定目标均衡超时时间, 从而根据所述目标均衡超时时间以及得到的初始参数进行均衡训练。

进一步的, 本申请实施例中在通过上述图 9~图 11 任一种方式完成均衡训练后, 恢复默认配置。

四、本申请还提供了一种均衡训练装置, 该装置可以用来执行前述提供的第一种均衡训练方法和/或第二种均衡训练方法, 因此本实施例所述的装置可以参见前述方法实施例的相关限定和描述, 为了节约篇幅, 相同或者相似部分, 本实施例不再赘述。需要说明的是, 本实施例所述的装置可以为系统的管理芯片。

如图 12 所示, 为本实施例提供的一种均衡训练装置 1200。该装置 1200 包括收发器 1201 和管理器 1202;

当所述均衡训练装置用来执行前述提供的第一种均衡训练方法时:

具体的, 该收发器 1201 用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率, 所述目标阶段是指第三阶段或第四阶段。对应的, 该管理器 1202 用于确定所述目标阶段的训练速率所在的目标速率阈值区间, 根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系, 确定所述目标速率阈值区间对应的目标均衡超时时间, 并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间, N 个速率阈值是预先确定的, 且 N 是大于或等于 0 的整数, 其中, 所述速率阈值区间越大, 则对应的所述均衡超时时间越大。; 则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

作为本申请的一个实施例, 在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时, 所述管理器 1202 确定所述目标均衡超时时间为前向兼容的均衡超时时间。

作为本申请的另一个实施例, 所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

作为本申请的再一种实施例, 所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前, 所述管理器 1202 还用于确定不采用快速均衡训练模式; 所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数, 分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

作为本申请的再一种实施例, 在完成本轮均衡训练目标阶段的均衡训练后, 所述管理器 1202 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内, 并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的再一种实施例, 所述管理器 1202 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列; 根据所述协商序列指定的比特位值与均衡训

练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

当所述均衡训练装置用来执行前述提供的第二种均衡训练方法时：

5 具体的，该管理器 1202 用于判断是否采用快速均衡模式。对应的，该收发器 1201 用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数。

10 管理器还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；收发器还用于获取均衡训练目标阶段前向兼容的均衡超时时间；管理器还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；以及，所述管理器还用于在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

15 作为本申请的一个实施例，在完成本轮均衡训练目标阶段的均衡训练后，所述管理器 1202 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

20 作为本申请的一个实施例，确定采用快速均衡训练模式之前，所述收发器 1201 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述管理器 1202 还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

25 五、本申请还提供了第二种均衡训练装置，该装置也可以用来执行前述提供的第一种的配置均衡超时时间的均衡训练方法和/或第二种均衡训练方法，因此本实施例所述的装置也可以参见前述方法实施例的相关限定和描述。需要说明的是，本实施例所述的装置可以为 BIOS。

如图 13 所示，为本实施例提供的一种均衡训练装置 1300，该装置包括获取单元 1301，确定单元 1302 和配置单元 1303。

30 其中，当所述均衡训练装置用来执行前述提供的第一种均衡训练方法时：

所述获取单元 1301，用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

35 相应的，所述确定单元 1302，用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间；

进一步地，所述配置单元 1303，用于将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间；其中， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。作为本申请的再一种实施例，所述确定单元 1302 具体用于在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最

40

小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

作为本申请的再一种实施例，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述确定单元 1302 还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

作为本申请的再一种实施例，所述获取单元 1301 还用于在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的再一种实施例，所述获取单元 1301 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述确定单元还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

其中，当所述均衡训练装置用来执行前述提供的第二种均衡训练方法时：

所述确定单元 1302，用于判断是否采用快速均衡模式；

相应的，所述获取单元 1301，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

所述配置单元 1303，用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

进一步地，所述获取单元 1301 还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

所述配置单元 1303 还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；则在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

作为本申请的再一种实施例，所述获取单元 1301 还用于在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的再一种实施例，确定采用快速均衡训练模式之前，所述获取单元 1301 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；所述确定单元 1302 还用于根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

六、本申请还提供了第三种均衡训练装置，该装置也可以用于执行前述提供的第一种

的配置均衡超时时间的均衡训练方法和/或第二种均衡训练方法，相应的，该装置也可以参见前述方法实施例的相关限定，相同或相似部分，本实施例不再赘述。

请参见附图 14，为本实施例提供的均衡训练的装置 1400，该装置 1400 包括中央处理器 1401 和存储器 1402。其中，存储器 1402 用于存储代码，CPU1401 用于执行存储器 1402 存储的代码以实现本实施例所述的装置的功能。应当知道的是，该 CPU 为应用该 PCIe 总线的处理器系统的 CPU。

其中，当所述均衡训练装置用来执行前述提供的第一种均衡训练方法时：

具体的，存储器 1402 还用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系。CPU1401 用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段。

CPU1401 还用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

作为本申请的一种实施例，所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

作为本申请的再一种实施例，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述 CPU1401 还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数的模式。

作为本申请的再一种实施例，在完成本轮均衡训练目标阶段的均衡训练后，所述 CPU1401 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的再一种实施例，所述 CPU1401 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

其中，当所述均衡训练装置用来执行前述提供的第二种均衡训练方法时：

具体的，存储器 1402 还用于存储前一轮均衡训练目标阶段的均衡参数。CPU1401 用于判断是否采用快速均衡模式，在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段。

CPU1401 还用于获取均衡训练目标阶段前向兼容的均衡超时时间，并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；在所述本轮均衡训练目标

阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

作为本申请的一种实施例，在完成本轮均衡训练目标阶段的均衡训练后，所述 CPU1401 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的一种实施例，确定采用快速均衡训练模式之前，所述 CPU1401 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；以及根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

七、本申请还提供了一种芯片，该芯片为前述实施例所述的主芯片或从芯片。请参见附图 15，为本申请提供的芯片 1500，该芯片 1500 包括寄存器 1501，收发器 1502 管理器 1503。

其中，当所述芯片用来执行前述提供的第一种均衡训练方法时：

寄存器 1501，用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系；

收发器 1502，用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

管理器 1503，用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；

则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

其中，当所述芯片用来执行前述提供的第二种均衡训练方法时：

寄存器 1501，用于存储所述芯片本轮均衡训练目标阶段的均衡参数；

管理器 1503，用于判断是否采用快速均衡模式；

收发器 1502，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

管理器 1503 还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

收发器 1502 还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

管理器 1503 还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；以及在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

进一步的，本申请实施例中，所述芯片具有打开和关闭部分均衡电路，在需要快速均衡过程的情况下关闭部分均衡电路的功能，比如关闭 DFE 或者部分 CTLE，实现缩短均衡时间。其中，本申请实施例所述芯片自带管理软件，或者是符合标准的状态机。

5 八、请参阅附图 16，为本申请提供的一种通信系统 1600。该通信系统 1600 包括系统软件 1601、主芯片 1603 和从芯片 1604。其中，主芯片 1603 和从芯片 1604 之间通过 PCIe/CCIX 总线连通。需要说明的是，该系统软件 1601 可以为 BIOS。

其中，当所述通信系统用来执行前述提供的第一种均衡训练方法时：

10 具体的，系统软件 1601 获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；则所述主芯片与所述从芯片在所述目标
15 阶段的均衡超时时间内进行所述目标阶段的均衡训练。

需要说明的是，该通信系统还可以包括存储器 1602。该存储器 1602 用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系。

进一步的，该存储器 1602 还用于存储本轮均衡训练目标阶段的均衡参数。作为本申请的一种实施例，所述系统软件 1601 还用于在所述目标速率阈值区间为所述 $N+1$ 个速率
20 阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

作为本申请的一种实施例，所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

作为本申请的一种实施例，所述获取主芯片与从芯片在均衡训练的目标阶段的训练速率之前，所述系统软件 1601 还用于确定不采用快速均衡训练模式；所述快速均衡训练模式是指根据上一轮均衡训练目标阶段的发送参数和接收参数，分别配置所述主芯片和所述
25 从芯片在本轮均衡训练目标阶段的初始参数的模式。

作为本申请的一种实施例，在完成本轮均衡训练目标阶段的均衡训练后，所述系统软件 1601 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片
30 的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

作为本申请的一种实施例，所述系统软件 1601 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列；根据所述协商序列指定的比特位值与均衡训练模式的对应关系，确定所述协商序列中指定的比特位值对应非快速均衡训练模式。
35

其中，当所述通信系统用来执行前述提供的第二种均衡训练方法时：

具体的，系统软件 1601 用于判断是否采用快速均衡模式，在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发
40 送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的

初始参数, 均衡训练目标阶段是指均衡训练的第三阶段或第四阶段, 获取均衡训练目标阶段前向兼容的均衡超时时间, 并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间; 在所述本轮均衡训练目标阶段的均衡超时时间内, 利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

5 需要说明的是, 该通信系统还可以包括存储器 1602。该存储器 1602 用于存储前一轮均衡训练目标阶段的均衡参数。

进一步的, 该存储器 1602 还用于存储本轮均衡训练目标阶段的均衡参数。

进一步的, 该存储器 1602 用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系。

10 作为本申请的一种实施例, 在完成本轮均衡训练目标阶段的均衡训练后, 所述系统软件 1601 还用于将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内, 并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内; 或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

15 作为本申请的一种实施例, 确定采用快速均衡训练模式之前, 所述系统软件 1601 还用于获取所述主芯片与所述从芯片用于进行所述均衡训练目标阶段的协商序列; 以及根据所述协商序列指定的比特位值与均衡训练模式的对应关系, 确定所述协商序列中指定的比特位值对应非快速均衡训练模式。

20

值得注意的是, 上述的装置、芯片以及通信系统均可以参见方法实施例中的有关描述。由于本申请保护的主体之间具有单一性, 因此这些主体的描述部分有很多相同或相似的部分, 为了节约篇幅, 本申请文件中对方法实施例做了全面丰富的描述, 其他实施例均比较简约。

25 在一些可能的实施方式中, 本申请实施例提供的均衡训练方法的各个方面还可以实现为一种程序产品的形式, 其包括程序代码, 当所述程序代码在计算机设备上运行时, 所述程序代码用于使所述计算机设备执行本说明书中描述的根据本申请各种示例性实施方式的均衡训练方法中的步骤。

30 所述程序产品可以采用一个或多个可读介质的任意组合。可读介质可以是可读信号介质或者可读存储介质。可读存储介质例如可以是——但不限于——电、磁、光、电磁、红外线、或半导体的系统、装置或器件, 或者任意以上的组合。可读存储介质的更本申请实施例一种实现方式中例子(非穷举的列表)包括: 具有一个或多个导线的电连接、便携式盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦式可编程只读存储器(EPROM或闪存)、光纤、便携式紧凑盘只读存储器(CD-ROM)、光存储器件、磁存储器件、或者上述的任意合适的组合。

35 根据本申请的实施方式的用于均衡训练的程序产品, 其可以采用便携式紧凑盘只读存储器(CD-ROM)并包括程序代码, 并可以在服务器设备上运行。然而, 本申请的程序产品不限于此, 在本文件中, 可读存储介质可以是任何包含或存储程序的有形介质, 该程序可以被消息传输、装置或者器件使用或者与其结合使用。

40 可读信号介质可以包括在基带中或者作为载波一部分传播的数据信号, 其中承载了可

读程序代码。这种传播的数据信号可以采用多种形式，包括——但不限于——电磁信号、光信号或上述的任意合适的组合。可读信号介质还可以是可读存储介质以外的任何可读介质，该可读介质可以发送、传播或者传输用于由周期网络动作系统、装置或者器件使用或者与其结合使用的程序。

5 可读介质上包含的程序代码可以用任何适当的介质传输，包括——但不限于——无线、有线、光缆、RF等，或者上述的任意合适的组合。

10 可以以一种或多种程序设计语言的任意组合来编写用于执行本申请操作的程序代码，所述程序设计语言包括面向对象的设计语言——诸如Java、C++等，还包括常规的过程式程序设计语言——诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算设备上执行、部分地在用户设备上执行、作为一个独立的软件包执行、部分在用户计算设备上部分在远程计算设备上执行、或者完全在远程计算设备或服务器上执行。在涉及远程计算设备的情形中，远程计算设备可以通过任意种类的网络——包括局域网（LAN）或广域网（WAN）——连接到用户计算设备，或者，可以连接到外部计算设备。

15 本申请实施例针对均衡训练方法还提供一种计算设备可读存储介质，即断电后内容不丢失。该存储介质中存储软件程序，包括程序代码，当所述程序代码在计算设备上运行时，该软件程序在被一个或多个处理器读取并执行时可实现本申请实施例上面任何一种均衡超时时间训练的方案。

20 以上参照示出根据本申请实施例的方法、装置（系统）和/或计算机程序产品的框图和/或流程图描述本申请。应理解，可以通过计算机程序指令来实现框图和/或流程图示图的一个块以及框图和/或流程图示图的块的组合。可以将这些计算机程序指令提供给通用计算机、专用计算机的处理器和/或其它可编程数据处理装置，以产生机器，使得经由计算机处理器和/或其它可编程数据处理装置执行的指令创建用于实现框图和/或流程图块中所指定的功能/动作的方法。

25 相应地，还可以用硬件和/或软件（包括固件、驻留软件、微码等）来实施本申请。更进一步地，本申请可以采取计算机可使用或计算机可读存储介质上的计算机程序产品的形式，其具有在介质中实现的计算机可使用或计算机可读程序代码，以由指令执行系统来使用或结合指令执行系统而使用。在本申请上下文中，计算机可使用或计算机可读介质可以是任意介质，其可以包含、存储、通信、传输、或传送程序，以由指令执行系统、装置或设备使用，或结合指令执行系统、装置或设备使用。

30 尽管结合具体特征及其实施例对本申请进行了描述，显而易见的，在不脱离本申请的精神和范围的情况下，可对其进行各种修改和组合。相应地，本说明书和附图仅仅是所附权利要求所界定的本申请的示例性说明，且视为已覆盖本申请范围内的任意和所有修改、变化、组合或等同物。显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包括这些改动和变型在内。

35

权 利 要 求

1.一种均衡训练方法，其特征在于，包括：

获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

5 确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；

10 则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

2.如权利要求 1 所述的方法，其特征在于，在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

3.如权利要求 1 所述的方法，其特征在于，所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

4.如权利要求 1~3 任一项所述的方法，其特征在于：所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通，所述主芯片为根组件或交换芯片，所述从芯片是独立于所述主芯片的端点设备。

5.一种均衡训练方法，其特征在于，包括：

20 判断是否采用快速均衡模式，

在确定采用快速均衡模式时，

获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数，并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段，

25 获取均衡训练目标阶段前向兼容的均衡超时时间，并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；

在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

6.如权利要求 5 所述的方法，其特征在于，所述方法还包括：

30 在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；

或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；

35 或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

7.如权利要求 5 或 6 所述的方法，其特征在于：所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通，所述主芯片为根组件或交换芯片，所述从芯片是独立于所述主芯片的端点设备。

8.一种均衡训练装置,其特征在于,包括:

收发器,用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率,所述目标阶段是指第三阶段或第四阶段;

5 管理器,用于确定所述目标阶段的训练速率所在的目标速率阈值区间,根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系,确定所述目标速率阈值区间对应的目标均衡超时时间,并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间, N 个速率阈值是预先确定的,且 N 是大于或等于 0 的整数,其中,所述速率阈值区间越大,则对应的所述均衡超时时间越大;则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

10 9.如权利要求 8 所述的装置,其特征在于,在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时,所述目标均衡超时时间为前向兼容的均衡超时时间。

10.如权利要求 8 所述的装置,其特征在于,所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

15 11.如权利要求 8~10 任一项所述的装置,其特征在于,所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通,所述主芯片为根组件或交换芯片,所述从芯片是独立于所述主芯片的端点设备。

12.一种均衡训练装置,其特征在于,包括:

管理器,用于判断是否采用快速均衡模式;

20 收发器,用于在确定采用快速均衡模式时,获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数;

管理器还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数,均衡训练目标阶段是指均衡训练的第三阶段或第四阶段;

收发器还用于获取均衡训练目标阶段前向兼容的均衡超时时间;

25 管理器还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间;

以及,所述管理器还用于在所述本轮均衡训练目标阶段的均衡超时时间内,利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

13.如权利要求 12 所述的装置,其特征在于,所述管理器还用于:

30 在完成本轮均衡训练目标阶段的均衡训练后,将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内,并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内;

或者,将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内;

35 或者,将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

14.如权利要求 12 或 13 所述的装置,其特征在于,所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通,所述主芯片为根组件或交换芯片,所述从芯片是独立于所述主芯片的端点设备。

40 15.一种均衡训练装置,其特征在于,包括:

获取单元, 用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率, 所述目标阶段是指第三阶段或第四阶段;

确定单元, 用于确定所述目标阶段的训练速率所在的目标速率阈值区间, 根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系, 确定所述目标速率阈值区间对应的目标均衡超时时间;

配置单元, 用于将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间;

其中, N 个速率阈值是预先确定的, 且 N 是大于或等于 0 的整数, 所述速率阈值区间越大, 则对应的所述均衡超时时间越大;

则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

16. 如权利要求 15 所述的装置, 其特征在于, 在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时, 所述目标均衡超时时间为前向兼容的均衡超时时间。

17. 如权利要求 15 所述的装置, 其特征在于, 所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

18. 如权利要求 15~17 任一项所述的装置, 其特征在于, 所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通, 所述主芯片为根组件或交换芯片, 所述从芯片是独立于所述主芯片的端点设备。

19. 一种均衡训练装置, 其特征在于, 包括:

确定单元, 用于判断是否采用快速均衡模式;

获取单元, 用于在确定采用快速均衡模式时, 获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数;

配置单元, 用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数, 均衡训练目标阶段是指均衡训练的第三阶段或第四阶段;

获取单元还用于获取均衡训练目标阶段前向兼容的均衡超时时间;

配置单元还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间; 用于在所述本轮均衡训练目标阶段的均衡超时时间内, 利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

20. 如权利要求 19 所述的装置, 其特征在于, 所述处理单元还用于:

在完成本轮均衡训练目标阶段的均衡训练后, 将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内, 并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内;

或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内;

或者, 将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

21. 如权利要求 19 或 20 所述的装置, 其特征在于, 所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通, 所述主芯片为根组件或交换芯片, 所述从芯片是独立于所述主芯片的端点设备。

22.一种芯片，其特征在于，包括：

寄存器，用于存储 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系；

收发器，用于获取主芯片与从芯片在均衡训练的目标阶段的训练速率，所述目标阶段是指第三阶段或第四阶段；

5 管理器，用于确定所述目标阶段的训练速率所在的目标速率阈值区间，根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系，确定所述目标速率阈值区间对应的目标均衡超时时间，并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间， N 个速率阈值是预先确定的，且 N 是大于或等于 0 的整数，其中，所述速率阈值区间越大，则对应的所述均衡超时时间越大；

10 则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

23.如权利要求 22 所述的芯片，其特征在于，在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时，所述目标均衡超时时间为前向兼容的均衡超时时间。

15 24.如权利要求 22 所述的芯片，其特征在于，所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系预先存储在所述主芯片的寄存器内或所述从芯片的寄存器内。

25.一种芯片，其特征在于，包括：

寄存器，用于存储所述芯片本轮均衡训练目标阶段的均衡参数；

管理器，用于判断是否采用快速均衡模式；

20 收发器，用于在确定采用快速均衡模式时，获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数；

管理器还用于将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数，均衡训练目标阶段是指均衡训练的第三阶段或第四阶段；

25 收发器还用于获取均衡训练目标阶段前向兼容的均衡超时时间；

管理器还用于将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间；以及在所述本轮均衡训练目标阶段的均衡超时时间内，利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

26.如权利要求 25 所述的芯片，其特征在于，所述管理器还用于：

30 在完成本轮均衡训练目标阶段的均衡训练后，将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内，并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内；

或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内；

35 或者，将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

27.一种通信系统，其特征在于，包括系统软件、主芯片和从芯片，所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通；

40 所述系统软件用于：

获取主芯片与从芯片在均衡训练的目标阶段的训练速率,所述目标阶段是指第三阶段或第四阶段;

5 确定所述目标阶段的训练速率所在的目标速率阈值区间,根据 $N+1$ 个速率阈值区间与 $N+1$ 个均衡超时时间的对应关系,确定所述目标速率阈值区间对应的目标均衡超时时间,并将所述目标均衡超时时间配置为所述目标阶段的均衡超时时间, N 个速率阈值是预先确定的,且 N 是大于或等于 0 的整数,其中,所述速率阈值区间越大,则对应的所述均衡超时时间越大;

则所述主芯片与所述从芯片在所述目标阶段的均衡超时时间内进行所述目标阶段的均衡训练。

10 28.如权利要求 27 所述的通信系统,其特征在于,还包括:

存储器,用于存储所述 $N+1$ 个速率阈值区间与所述 $N+1$ 个均衡超时时间的对应关系。

29.如权利要求 27 或 28 所述的通信系统,其特征在于,在所述目标速率阈值区间为所述 $N+1$ 个速率阈值区间中速率最小的阈值区间时,所述目标均衡超时时间为前向兼容的均衡超时时间。

15 30.一种通信系统,其特征在于,包括系统软件、主芯片和从芯片,所述主芯片和所述从芯片之间通过外围组件快速互连 PCIe 总线或者加速器的高速互连内存一致性 CCIX 总线连通;

所述系统软件用于:

判断是否采用快速均衡模式,

20 在确定采用快速均衡模式时,

获取主芯片与从芯片在前一轮均衡训练目标阶段的发送参数和接收参数,并将所述发送参数和所述接收参数分别配置为所述主芯片和所述从芯片在本轮均衡训练目标阶段的初始参数,均衡训练目标阶段是指均衡训练的第三阶段或第四阶段,

25 获取均衡训练目标阶段前向兼容的均衡超时时间,并将所述前向兼容的均衡超时时间配置为本轮均衡训练目标阶段的均衡超时时间;

在所述本轮均衡训练目标阶段的均衡超时时间内,利用所述主芯片和所述从芯片在所述本轮均衡训练目标阶段的初始参数进行均衡训练。

31.如权利要求 30 所述的通信系统,其特征在于,还包括:

第一存储器,用于存储主芯片在所述前一轮均衡训练目标阶段的均衡参数;

30 第二存储器,用于存储从芯片在所述前一轮均衡训练目标阶段的均衡参数。

32.如权利要求 30 或 31 所述的通信系统,其特征在于,所述系统软件还用于:

在完成本轮均衡训练目标阶段的均衡训练后,将所述主芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内,并将所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内;

35 或者,将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述主芯片的寄存器内;

或者,将所述主芯片以及所述从芯片在所述本轮均衡训练目标阶段的均衡参数存储在所述从芯片的寄存器内。

33.如权利要求 30~32 任一项所述的通信系统,其特征在于,还包括:

40 第一存储器,用于存储主芯片在所述本轮均衡训练目标阶段的均衡参数;

第二存储器，用于存储从芯片在所述本轮均衡训练目标阶段的均衡参数。