

(12) 按照专利合作条约所公布的国际申请

更正本

(19) 世界知识产权组织
国际局

(43) 国际公布日

2024 年 3 月 7 日 (07.03.2024)



(10) 国际公布号

WO 2024/045142 A9

(51) 国际专利分类号:

H04L 7/00 (2006.01)

H04L 7/033 (2006.01)

H04L 27/00 (2006.01)

H04J 3/06 (2006.01)

(21) 国际申请号:

PCT/CN2022/116603

(22) 国际申请日:

2022 年 9 月 1 日 (01.09.2022)

(25) 申请语言:

中文

(26) 公布语言:

中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 刘乔 (LIU, Qiao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。蔡华 (CAI, Hua); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。王光健 (WANG, Guangjian); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。刘瑶 (LIU, Yao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市西城区裕民路18号北环中心A座2002, Beijing 100029 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: COMMUNICATION APPARATUS AND SIGNAL SAMPLING METHOD

(54) 发明名称: 一种通信装置以及信号采样方法

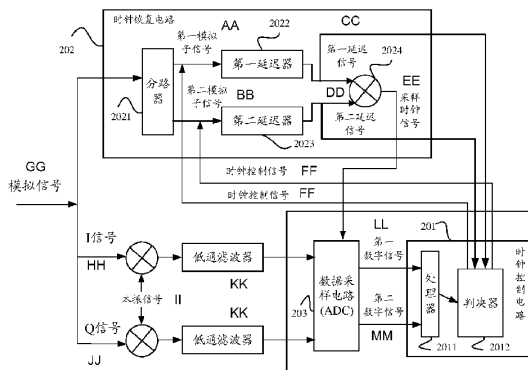


图 2

201	Clock control circuit	DD	Second delay signal
202	Clock recovery circuit	EE	Sampling clock signal
203	Data sampling circuit (ADC)	FF	Clock control signal
2011	Processor	GG	Analog signal
2012	Determiner	HH	I signal
2021	Splitter	II	Q signal
2022	First delayer	JJ	Oscillator signal
2023	Second delayer	KK	Low-pass filter
AA	First analog sub-signal	LL	First digital signal
BB	Second analog sub-signal	MM	Second digital signal
CC	First delay signal		

(57) Abstract: A communication apparatus and a signal sampling method. The communication apparatus comprises: a clock control circuit, a data sampling circuit and a clock recovery circuit, wherein the clock control circuit is used for determining a sampling clock offset of the data sampling circuit, and generating a first clock control signal according to the sampling clock offset, the first clock control signal being used for adjusting a sampling clock of the data sampling circuit; the clock recovery circuit is used for adjusting the sampling clock of the data sampling circuit according to the first clock control signal, and sending a clock signal to the data sampling circuit;

[见续页]

WO 2024/045142 A9

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(48) 更正本的公布日:

2025 年 1 月 30 日 (30.01.2025)

(15) 更正内容:

见 2025 年 1 月 30 日 (30.01.2025) 公布的公告

and the data sampling circuit is used for sampling an input analog signal according to the clock signal. By means of the communication apparatus, a sampling clock of a data sampling circuit can be locked at an optimal sampling moment, and therefore useful information of an original analog signal can be retained in a digital signal after sampling without oversampling the original analog signal. Moreover, the complexity of the data sampling circuit is not increased even in a large-bandwidth scenario.

(57) 摘要: 一种通信装置以及信号采样方法, 该通信装置包括: 时钟控制电路、数据采样电路和时钟恢复电路。其中, 时钟控制电路用于确定数据采样电路的采样时钟偏差, 根据采样时钟偏差生成第一时钟控制信号, 该第一时钟控制信号用于调整数据采样电路的采样时钟。时钟恢复电路用于根据第一时钟控制信号调整数据采样电路的采样时钟, 并向数据采样电路发送时钟信号。数据采样电路用于根据时钟信号对输入的模拟信号进行采样。通过该通信装置可将数据采样电路的采样时钟锁定在最佳的采样时刻, 无需对原始模拟信号进行过采样, 也能够使得采样后的数字信号保留原始模拟信号的有效信息。此外, 即使在大带宽场景下, 也不会增加数据采样电路的复杂度。