

存储单元及其制备方法、存储器及其制备方法

本公开要求于 2021 年 07 月 02 日提交中国专利局、申请号为
5 202110753695.0、申请名称为“存储单元及其制备方法、存储器及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种存储单元及其制备方法、
10 存储器及其制备方法。

背景技术

动态随机存储器（Dynamic random access memory，简称 DRAM）是一种高速地、随机地写入和读取数据的半导体存储器，被广泛地应用到数
15 据存储设备或装置中。

DRAM 通常包括基底以及设置在基底上的多个重复的存储单元组成的存储单元阵列和外围电路，多个存储单元沿平行于基底的方向间隔设置，其中，每个存储单元通常包括电容结构和晶体管，晶体管的栅极与存储单元阵列中的字线相连、漏极与存储单元阵列中的位线相连、源极与电容结构相连。
20

但是，上述结构无法适应小尺寸的存储器的制备。

发明内容

本公开实施例的第一方面提供一种存储单元的制备方法，其包括：
25 第一晶体管，位于第一介质层内；
第二晶体管，位于第二介质层内，所述第二介质层位于所述第一介质层上方；
连接导线，位于所述第一介质层和第二介质层中，所述连接导线的一端与所述第一晶体管连接，另一端与所述第二晶体管连接；

其中，所述第一晶体管和所述第二晶体管为金属氧化物薄膜晶体管。

本公开实施例的第二方面提供一种存储器，包括：

基底，所述基底表面设置有外围电路；

多个如上所述的存储单元，位于所述外围电路的上方；

5 数据线，用于连接所述外围电路与各所述存储单元。

如上所述的存储器，其中，多个所述存储单元在沿平行于所述基底的方向排列形成水平阵列；

和/或，多个所述存储单元在沿垂直于所述基底的方向堆叠形成垂直阵列。

10 本公开实施例的第三方面提供一种存储单元的制备方法，包括如下步骤：

在所述第一介质层内形成第一晶体管，所述第一晶体管为金属氧化物薄膜晶体管；

15 在所述第一介质层内形成连接导线的一部分，该连接导线的一端与所述第一晶体管连接；

在所述第一介质层上形成第二介质层；

在所述第二介质层内形成连接导线另一部分，该连接导线靠近所述第一介质层的一端与形成在第一介质层内的连接导线连接；

20 在所述第二介质层内形成第二晶体管，所述第二晶体管与所述连接导线背离所述第一介质层的一端连接，所述第二晶体管为金属氧化物薄膜晶体管。

本公开实施例的第四方面提供一种存储器的制备方法，包括如下的步骤：

提供基底，所述基底的表面设置有外围电路；

25 在所述基底上依次形成多个存储单元，多个所述存储单元在沿平行于所述基底的方向排列形成水平阵列，和/或，多个所述存储单元在沿垂直于所述基底的方向堆叠形成垂直阵列；其中，所述存储单元通过如上所述存储单元的制备方法制得；

形成数据线，所述数据线用于连接所述外围电路与各所述存储单元。

30 除了上面所描述的本公开实施例解决的技术问题、构成技术方案的技术特征以及由这些技术方案的技术特征所带来的有益效果外，本公开实施

例提供的存储单元及其制备方法、存储器及其制备方法所能解决的其他技术问题、技术方案中包含的其他技术特征以及这些技术特征带来的有益效果，将在具体实施方式中作出进一步详细的说明。

5 附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 10 图 1 为本公开实施例一提供的存储单元的结构示意图；
图 2 为本公开实施例二提供的存储器的结构示意图；
图 3 为本公开实施例二提供的存储器的电路图；
图 4 为本公开实施例三提供的存储单元的制备方法的工艺流程图；
图 5 为本公开实施例三提供的存储单元的制备方法中形成有源层的结
15 构示意图；
图 6 为本公开实施例三提供的存储单元的制备方法中形成第一晶体管的结构示意图；
图 7 为本公开实施例三提供的存储单元的制备方法中形成第二绝缘层的结构示意图；
20 图 8 为本公开实施例三提供的存储单元的制备方法中形成第一接触部和金属线的结构示意图；
图 9 为本公开实施例三提供的存储单元的制备方法中形成第二接触部和有源层的结构示意图；
图 10 为本公开实施例三提供的存储单元的制备方法中形成第二晶体
25 管的结构示意图。

具体实施方式

- 动态随机存储器通常包括多个重复存储单元，多个重复存储单元沿平行于基底的方向间隔设置，其中，每个存储单元都包括电容器和晶体管，
30 使得存储器具有较大的体积，随着动态随机存储器向集成化的方向发展，每个存储单元仍然采用上述一个晶体管和一个电容器（1 Transistor 1

Capacitor，简称 1T1C），其中，特别是电容器受到尺寸微缩的限制，难以保证存储单元中电荷的存储量以及保留时间，进而降低存储器的性能。

基于上述的技术问题，本公开实施例提供了一种存储单元及其制备方法、存储器及其制备方法，存储单元包括层叠设置的第一晶体管和第二晶体管，利用第一晶体管或者第二晶体管中的寄生电容作为存储元件，来替换相关技术中的电容器，可以降低存储单元所占的体积，提高存储单元的集成度，为存储单元向集成化方向发展提供保障。

另外，第一晶体管和第二晶体管均为金属氧化物薄膜晶体管，可以使得存储器可以具有较高的保留时间，在降低存储器在体积的同时，也能提高存储器的性能。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

实施例一

如图 1 所示，本公开实施例提供了一种存储单元 100，该存储单元 100 可以包括第一介质层 120 以及设置在第一介质层 120 上的第二介质层 140，第一介质层 120 内设置有第一晶体管 110，第二介质层 140 内设置有第二晶体管 130，第一晶体管 110 和第二晶体管 130 通过设置在第一介质层 120 和第二介质层 140 内的连接导线 150 连接，其中，第一晶体管 110 和第二晶体管 130 可以为金属氧化物薄膜晶体管。

本实施例中涉及的存储单元 100 包括层叠设置的第一晶体管 110 和第二晶体管 130，利用第一晶体管 110 或者第二晶体管 130 中的寄生电容作为存储元件，来替换相关技术中的电容器，可以降低存储单元 100 所占的体积，为存储单元 100 向集成化方向发展提供保障。

另外，第一晶体管 110 和第二晶体管 130 均为金属氧化物薄膜晶体管，可以使得存储器具有较高的保留时间，在降低存储器在体积的同时，也能提高存储器的性能。

需要说明的是，第一晶体管 110 和第二晶体管 130 的结构相同，为了便于描述，以下的实施例均以第一晶体管 110 为例，对第一晶体管 110 的结构进行描述。

示例性地，继续参考图 1，第一晶体管 110 包括有源层 111、栅氧化层 112 以及栅极 113，其中，有源层 111 包括沟道区以及位于沟道区两侧的源极和漏极，栅氧化层 112 和栅极 113 依次层叠设置在有源层 111 上，且栅极 113 在有源层 111 上的投影覆盖在沟道区上，使得栅极 113 与有源层 111 之间具有重叠区域，这样当有源层 111 与栅极 113 之间形成电压差时，栅极 113 与有源层 111 之间会形成电容，该电容会作为存储单元的存储元件，
10 以实现数据的读取或者写入。

此外，在本实施例中有源层 111 的材质可以包括铟镓锌氧化物，铟镓锌氧化物具有较高的载流子迁移率，可以大大提高第一晶体管的灵敏度，降低了存储单元的功耗。

栅氧化层 112 的材质可以包括氧化硅和/或氧化铝，栅极 113 的材质可以包括氮化钛、氮化钽、铝和钨中一种。
15

需要说明的是，在本实施例中栅极 113 在有源层上 111 投影覆盖在沟道区上，可以理解为，栅极 113 在有源层 111 上的投影面积与沟道区的面积相等，也可以理解为，栅极 113 在有源层 111 上的投影面积小于沟道区的面积。

进一步地，第一晶体管 110 还包括保护层 114，保护层 114 位于栅极 113 和栅氧化层 112 的侧面，通过保护层 114 的设置实现栅极与其他器件之间电器隔离。
20

在一些实施例中，连接导线 150 的一端可以与第一晶体管 110 的栅极连接，另一端可以与第二晶体管 130 的源极或者漏极连接，通过第二晶体管 130 的源极或者漏极上电信号，来控制第一晶体管 110 的打开或者关闭。
25

需要说明的是，连接导线 150 的形状可以多种选择，比如，连接导线 150 可以为直线，又比如，连接导线 150 也可以为折线。

示例性地，连接导线 150 包括第一接触部 151、金属线 152 以及第二接触部 153，其中，第一接触部 151 和第二接触部 153 均沿垂直方向延伸，也就是说，第一接触部 151 和第二接触部 153 均沿垂直于第一介质层 120 的方向设置，金属线 152 沿水平方向延伸，且金属线 152 的一端与第一接
30

触部 151 连接，金属线 152 一端与第二接触部 153 连接。

第一接触部 151 与第一晶体管 110 的栅极 113 连接，第二接触部 153 与第二晶体管 130 的源极或漏极连接。

在本实施例中，金属线 152 的一端与第一接触部 151 连接，可以理解为，金属线 152 的一端与第一接触部 151 的中间位置连接，也可以理解为，金属线 152 的一端与第一接触部 151 的端部连接。

比如，金属线 152 的一端可以与第一接触部 151 背离第一晶体管 110 的栅极 113 的端部连接，金属线 152 的另一端可以与第二接触部 153 背离第二晶体管 130 的端部连接。

10 在一些实施例中，第一接触部 151 和金属线 152 可以位于第一介质层 120 内，第二接触部 153 可以位于第二介质层 140 内，但是，上述的方式仅是连接导线 150 的一种设置方式，连接导线 150 还可以全部设置的第一介质层 120 内或者可以全部设置在第二介质层 140 内。

为了防止第一介质层 120 和第二介质层 140 内的导电材料相互扩散，15 第一介质层 120 与第二介质层 140 之间还设置有阻挡层 160，且阻挡层 160 位于金属线 152 的上方，第二接触部 153 贯穿阻挡层 160 后与金属线 152 连接。

其中，阻挡层 160 的材质包括氮氧化硅等绝缘材质。

20 实施例二

如图 2 所示，本公开实施例还提供了一种存储器 200，其包括：基底 210、存储单元 100 以及数据线 220。

其中，基底 210 作为存储器的支撑部件，用于支撑设在其上的其他部件，其中，基底 210 可以由半导体材料制成，半导体材料可以为硅、锗、25 硅锗化合物以及硅碳化合物中的一种或者多种。

基底 210 的表面上设置有外围电路 211，外围电路 211 可以包括逻辑电路或者处理电路。

多个存储单元 100 设置在外围电路 211 的上方，且各个存储单元 100 通过数据线 220 与外围电路 211 连接。

30 本实施例通过将外围电路设置在存储单元的下方，与相关技术中，外围电路设置在存储单元沿水平方向的两侧的技术方案相比，可以降低存储

器的面积，为存储器向集成化发展提供保障。

进一步地，如图 2 所示，数据线 220 包括读取字线 221、读取位线 222、写入字线 223 和写入位线 224。

写入字线 223 和写入位线 224 可以设置在第二介质层 140 内，写入字线 223 在第一方向上延伸并连接多个存储单元 100 中的第二晶体管 130 的栅极，写入位线 224 在第二方向上延伸并连接多个存储单元 100 中第二晶体管 130 的源极或漏极，且与连接导线 150 连接端不为同一端。

也就是说，若连接导线 150 与第二晶体管 130 的源极连接，那么写入位线 224 就与第二晶体管 130 的漏极连接。

读取字线 221 和读取位线 222 可以设置在第一介质层 120 内，读取字线 221 在第三方向上延伸并连接多个存储单元 100 中的第一晶体管 110 的源极或漏极，读取位线 222 在第四方向上延伸并连接多个存储单元 100 中第一晶体管 110 的源极或漏极，且与读取字线的连接端不为同一端。

也就是说，如果读取字线 221 连接第一晶体管 110 的源极，相应地，读取位线 222 连接第一晶体管 110 的漏极。

第一方向和第二方向在平行于或垂直于基底的平面上的投影具有第一夹角，第三方向和第四方向在平行于或垂直于基底的平面上的投影具有第二夹角，其中，第一夹角和第二夹角均不为零，即，写入字线与写入位线是交叉设置的，读取字线与读取位线也为交叉设置的。

如图 3 所示，当给写入字线 223 上施加高电平时，该高电平可以控制第二晶体管 130 的栅极打开，第二晶体管 130 的源极和漏极之间产生电压差，使得第二晶体管的源极和漏极之间导通，写入位线 224 上的电压会作用在第一晶体管 110 的栅极上，将写入位线 224 上的数据写入第一晶体管 110 内，实现数据的写入。

若是需要读取第一晶体管内的数据时，第一晶体管 110 的栅极会打开，使得第一晶体管的源极与漏极之间打开，此时，第一晶体管 110 内的数据会通过读取位线 222，传递至外围电路 211 内，外围电路 211 会对该数据进行处理，以实现存储器读取功能。

在一些实施例中，多个存储单元 100 在沿平行于基底 210 的方向排列形成水平阵列，即多个存储单元 100 沿着水平方向依次设置，同时多个存储单元 100 沿垂直于基底 210 的方向堆叠形成垂直阵列，本实施例通过多

个存储单元 100 在沿垂直于基底 210 的方向堆叠形成垂直阵列，可以减少沿水平方向上依次排布的存储单元 100 的个数，降低了多个存储单元所占用的面积，提高存储单元的集成度，为存储器向集成化方向发展提供了保障。

- 5 此外，多个存储单元 100 在沿垂直于基底 210 的方向堆叠形成垂直阵列，与现有技术中，多个存储单元沿着水平方向分布的技术方案相比，可以通过增加存储器的高度，来降低存储器的沿水平方向的宽度，进而降低存储器的体积，提高存储单元的集成度。

10 在一些实施例中，基底 210 上设置有外围介质层 230，外围介质层 230 覆盖外围电路 211，实现外围电路 211 中各个单元之间的电气隔离。

其中，外围介质层 230 的材质可以包括氧化硅。

进一步地，外围介质层 230 与存储单元 100 的第一介质层 120 之间还具有外围阻挡层 240，利用外围阻挡层 240 的设置，防止第一介质层内的导电材质影响外围电路的性能。

- 15 当外围介质层 230 与第一介质层 120 之间设置有外围阻挡层 240 时，数据线 220 需要穿过外围阻挡层 240 和外围介质层 230 后，与外围电路 211 连接。

实施例三

- 20 如图 4 所示，本公开实施例还提供了一种存储单元的制备方法，包括如下步骤：

步骤 S100：在第一介质层内形成第一晶体管，第一晶体管为金属氧化物薄膜晶体管。

- 25 第一介质层 120 可以为作为第一晶体管 110 的承载主体，也可以作为第一晶体管 110 与其他器件之间的绝缘介质，第一介质层 120 的材质可以包括氧化硅或者氮化硅。

第一晶体管 110 的制备工艺可以采用如下的方式进行，示例性地：

步骤 a：提供第一绝缘层。

需要说明的是，第一绝缘层 121 为上述第一介质层 120 的一部分。

- 30 步骤 b：在第一绝缘层上形成有源层，有源层的材质包括铟镓锌氧化物。

示例性地，如图 5 所示，可以采用沉积工艺在第一绝缘层 121 上形成有源层 111，其中，沉积工艺可以为物理气相沉积工艺、化学气相沉积工艺或者原子层沉积工艺的一种。

5 步骤 c：在有源层内形成沟道区，以及分别位于沟道区两侧的源极和漏极。

在此步骤中，可以在有源层 111 上形成光刻胶层，图形化光刻胶层，以在光刻胶层内形成开口，该开口可以暴露出有源层 111 的部分，然后，利用离子注入工艺向开口内注入掺杂离子，以在有源层 111 内形成源极。

然后再利用上述的工艺，在有源层 111 内形成漏极。

10 步骤 d：在有源层上形成栅氧化层，栅氧化层的长度小于有源层的长度。

通过沉积工艺在有源层 111 上沉积一定厚度的氧化硅或者氧化铝，该氧化硅或者氧化铝构成栅氧化层 112。

15 步骤 e：在栅氧化层上形成栅极，栅极在有源层上的投影覆盖沟道区上。

继续采用沉积工艺在栅氧化层 112 上形成栅极 113，其中，栅极 113 的材质可以包括氮化钛、氮化钽、铝和钨中一种。

步骤 f：在有源层上形成保护层，保护层包裹在栅极和栅氧化层的侧面，其结构如图 6 所示。

20 可以通过沉积工艺在有源层上形成初始保护层，该初始保护层覆盖在栅氧化层的侧面和栅极的顶面及侧面上，然后利用刻蚀气体或者刻蚀液去除位于栅极的顶面上的初始保护层，保留在栅极和栅氧化层的侧面的初始保护层构成保护层 116。

25 步骤 g：在第一绝缘层上形成覆盖有源层、栅氧化层、栅极以及保护层的第二绝缘层，第二绝缘层和第一绝缘层构成第一介质层，其结构如图 7 所示。

步骤 S200：在第一介质层内形成连接导线的一部分，该连接导线的一端与第一晶体管连接。

30 示例性地，如图 8 所示，在第二绝缘层 122 内形成第一接触部 151 以及第一接触部 151 连接的金属线 152，第一接触部 151 沿垂直方向延伸，并与第一晶体管 110 的栅极 113 连接，金属线 152 沿水平方向延伸，第一

接触部 151 和金属线 152 构成连接导线的一部分。

在此步骤中，第一接触部 151 和金属线 152 采用双大马士革工艺形成的，也可以采用两次单大马士革工艺形成的。

需要说明的是，在本实施例中连接导线的一端可以理解为第一接触部
5 背离金属线的一端。

步骤 S300：在第一介质层上形成第二介质层。

示例性地，可以在第一介质层 120 上形成阻挡层 160，也就是说，可以先在第二绝缘层 122 上形成阻挡层 160，利用阻挡层防止第一介质层和第二介质层内的导电材料相互扩散。

10 其中，第二介质层和第一介质层的材质可以相同，均可以包括氧化硅，其中，第二介质层 140 可以包括依次层叠设置的第三绝缘层 141 和第四绝缘层 142，第三绝缘层 141 设置在阻挡层 160 上。

步骤 S400：在第二介质层内形成连接导线另一部分，该连接导线靠近第一介质层的一端与形成在第一介质层内的连接导线连接。

15 示例性地，可以在第二介质层内形成填充槽，该填充槽暴露出金属线 152 的部分，然后利用沉积工艺在填充槽内形成导电材质，该导电材质构成第二接触部 153，第二接触部 153 与金属线 152 连接，使得第一接触部 151、第二接触部 153 以及金属线 152 构成连接导线。

步骤 S500：在第二介质层内形成第二晶体管，第二晶体管与连接导线
20 背离第一介质层的一端连接，其中，第二晶体管为金属氧化物薄膜晶体管。

示例性地，如图 9 所示，在第一介质层 120 上形成第三绝缘层 141。

待形成第三绝缘层 141 之后，可以利用沉积工艺在第三绝缘层 141 上形成有源层 111，有源层 111 的材质包括铟镓锌氧化物。

需要说明的是，在第三绝缘层上形成有源层的步骤，与在第一绝缘层
25 上形成有源层的步骤相同，本实施例在此不再多加赘述。

重复步骤 c 至步骤 f，以在第三绝缘层 141 上形成第二晶体管 130，其结构如图 10 所示。

待形成第二晶体管 130 之后，在第三绝缘层 141 上形成覆盖有源层、栅氧化层、栅极以及保护层的第四绝缘层 142，第四绝缘层 142 和第三绝
30 缘层 141 构成第二介质层 140。

本公开实施例通过上述的步骤，形成层叠设置的第一晶体管和第二晶

体管，并使第一晶体管或者第二晶体管作为存储单元的存储器件，来替换相关技术中的电容器，可以降低存储单元所占的体积，提高存储单元的集成度，为存储单元向集成化方向发展提供保障。

5 实施例四

本公开实施例提供了一种存储器的制备方法，包括如下的步骤：

步骤 S10：提供基底，基底的表面设置有外围电路。

在本步骤中，外围电路可以通过现有技术中的制备方式进行制备，本实施例在此不再多加赘述。

10 待形成外围电路之后，可以在基底上形成覆盖外围电路的外围介质层 230。

之后，再利用沉积工艺在外围介质层 230 上形成外围阻挡层 240。

步骤 S20：在基底上依次形成多个存储单元，多个存储单元在沿平行于基底的方向排列形成水平阵列，和/或，多个存储单元在沿垂直于基底的方向堆叠形成垂直阵列。
15

存储单元是通过上述的实施例中存储单元的制备方法制得的，本实施例不再多加赘述。

步骤 S30：形成数据线，数据线用于连接外围电路与各存储单元。

需要说明的是，数据线的形成可以分为两步制备，其中一步可以在形成第一晶体管的步骤之前完成，另一步可以在形成第二晶体管之后完成。
20

示例性地，待形成第一介质层 120 之后，可以在第一介质层 120 内形成相互绝缘设置的读取字线 221 和读取位线 222，读取字线 221 用于连接多个存储单元 100 中的第一晶体管 110 的源极或漏极，读取位线 222 用于连接多个存储单元 100 中第一晶体管 110 的源极或漏极，且与读取字线 221 的连接端不为同一端。
25

待形成读取字线 221 和读取位线 222 之后，可以继续在第一介质层 120 内形成第一晶体管 110、在第一介质层 120 上形成第二介质层 140，以及在第二介质层 140 内形成第二晶体管 130。

待形成第二晶体管 130 之后，可以在第二介质层 140 内形成写入字线 223 和写入位线 224，写入字线 223 用于连接多个存储单元 100 中的第二晶体管 130 的栅极，写入位线 224 用于连接多个存储单元 100 中第二晶体管
30

130 的源极或漏极，且与连接导线 150 的连接端不为同一端。

在此步骤中，读取字线、读取位线、写入字线以及写入位线均可以采用双大马士革工艺制备。

在本实施例中，通过将多个存储单元沿垂直方向层叠设置，与相关技术多个存储单元沿水平方向依次设置的技术方案相比，可以降低多个存储单元所占的面积，降低了存储器的尺寸，提高存储单元的集成度。

此外，本实施例中外围电路设置存储单元的下方，与相关技术中外围电路设置的存储单元阵列的外侧的技术方案相比，可以进一步地缩小存储器的尺寸，提高集成度。

10 本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

20 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

25

权 利 要 求 书

1、一种存储单元，包括：

第一晶体管，位于第一介质层内；

5 第二晶体管，位于第二介质层内，所述第二介质层位于所述第一介质层上方；

连接导线，位于所述第一介质层和第二介质层中，所述连接导线的一端与所述第一晶体管连接，另一端与所述第二晶体管连接；

其中，所述第一晶体管和所述第二晶体管为金属氧化物薄膜晶体管。

10 2、根据权利要求1所述的存储单元，其中，所述第一晶体管和所述第二晶体管包括：

有源层，所述有源层的材质包括镓锌氧化物，其中，所述有源层包括沟道区以及分别位于所述沟道区两侧的源极和漏极；

栅氧化层，所述栅氧化层设置在所述有源层上；

15 栅极，所述栅极设置在所述栅氧化层上，且所述栅极在所述有源层上投影覆盖在所述沟道区上。

3、根据权利要求2所述的存储单元，其中，所述第一晶体管和所述第二晶体管还包括保护层，所述保护层位于所述栅极和所述栅氧化层的侧面。

4、根据权利要求2所述的存储单元，其中，所述连接导线的一端与所述第一晶体管的栅极连接，另一端与所述第二晶体管的源极或漏极连接。

20 5、根据权利要求4所述的存储单元，其中，所述连接导线包括垂直设置的第一接触部和第二接触部，以及水平设置的金属线；

所述第一接触部与所述第一晶体管的栅极连接，所述第二接触部与所述第二晶体管的源极或漏极连接，所述金属线连接所述第一接触部和所述第二接触部。

25 6、根据权利要求5所述的存储单元，其中，所述第一接触部和所述金属线位于所述第一介质层中，所述第二接触部位于所述第二介质层中。

7、根据权利要求5或6所述的存储单元，其中，所述第一介质层与所述第二介质层之间设置有阻挡层，所述阻挡层位于所述金属线上方，所述第二接触部贯穿所述阻挡层后与所述金属线连接。

30 8、一种存储器，包括：

基底，所述基底表面设置有外围电路；

多个如权利要求 1-7 任一项所述的存储单元，位于所述外围电路的上方；

数据线，用于连接所述外围电路与各所述存储单元。

5 9、根据权利要求 8 所述的存储器，其中，多个所述存储单元在沿平行于所述基底的方向排列形成水平阵列；

和/或，多个所述存储单元在沿垂直于所述基底的方向堆叠形成垂直阵列。

10 10、根据权利要求 8 所述的存储器，其中，所述数据线包括写入字线、写入位线、读取字线和读取位线；

其中，所述写入字线在第一方向上延伸并连接多个所述存储单元中的第二晶体管的栅极，所述写入位线在第二方向上延伸并连接多个所述存储单元中第二晶体管的源极或漏极，且与所述连接导线连接端不为同一端，所述读取字线在第三方向上延伸并连接多个所述存储单元中的第一晶体管的源极或漏极，所述读取位线在第四方向上延伸并连接多个所述存储单元中第一晶体管的源极或漏极，且与所述读取字线的连接端不为同一端。

20 11、根据权利要求 10 所述的存储器，其中，所述第一方向和所述第二方向在平行于或垂直于所述基底的平面上的投影具有第一夹角，所述第三方向和所述第四方向在平行于或垂直于所述基底的平面上的投影具有第二夹角；其中，所述第一夹角和所述第二夹角均不为零。

12、根据权利要求 8 所述的存储器，其中，所述基底上设置有外围介质层，所述外围介质层覆盖所述外围电路；

所述外围介质层与所述存储单元的第一介质层之间还具有外围阻挡层。

25 13、根据权利要求 12 任一项所述的存储器，其中，所述数据线穿过所述外围阻挡层和所述外围介质层，与所述外围电路连接。

14、一种存储单元的制备方法，包括如下步骤：

在第一介质层内形成第一晶体管，所述第一晶体管为金属氧化物薄膜晶体管；

30 在所述第一介质层内形成连接导线的一部分，该连接导线的一端与所述第一晶体管连接；

在所述第一介质层上形成第二介质层；

在所述第二介质层内形成连接导线另一部分，该连接导线靠近所述第一介质层的一端与形成在所述第一介质层内的连接导线连接；

在所述第二介质层内形成第二晶体管，所述第二晶体管与所述连接导线背离所述第一介质层的一端连接，所述第二晶体管为金属氧化物薄膜晶体管。

15、根据权利要求 14 所述的存储单元的制备方法，其中，在所述第一介质层内形成第一晶体管的步骤中，包括：

步骤 a：提供第一绝缘层；

步骤 b：在所述第一绝缘层上形成有源层，所述有源层的材质包括镉镓锌氧化物；

步骤 c：在所述有源层内形成沟道区，以及分别位于所述沟道区两侧的源极和漏极；

步骤 d：在所述有源层上形成栅氧化层，所述栅氧化层的长度小于所述有源层的长度；

步骤 e：在所述栅氧化层上形成栅极，所述栅极在所述有源层上的投影覆盖所述沟道区上；

步骤 f：在所述有源层上形成保护层，所述保护层包裹在所述栅极和所述栅氧化层的侧面；

步骤 g：在所述第一绝缘层上形成覆盖所述有源层、所述栅氧化层、所述栅极以及所述保护层的第二绝缘层，所述第二绝缘层和所述第一绝缘层构成所述第一介质层。

16、根据权利要求 15 所述的存储单元的制备方法，其中，在所述第一介质层内形成连接导线的一部分，该连接导线的一端与所述第一晶体管连接的步骤中，包括：

在所述第二绝缘层内形成第一接触部以及与第一接触部连接的金属线，所述第一接触部沿垂直方向延伸，并与所述第一晶体管的栅极连接，所述金属线沿水平方向延伸。

17、根据权利要求 16 所述的存储单元的制备方法，其中，在所述第二介质层内形成第二晶体管的步骤中，包括：

在所述第一介质层上形成第三绝缘层；

在所述第三绝缘层上形成有源层，所述有源层的材质包括镉镓锌氧化

物；

重复步骤 c 至步骤 f，以在第三绝缘层上形成第二晶体管；

在所述第三绝缘层上形成覆盖所述有源层、所述栅氧化层、所述栅极以及所述保护层的第四绝缘层，所述第四绝缘层和所述第三绝缘层构成所述第二介质层。

18、根据权利要求 15-17 任一项所述的存储单元的制备方法，其中，在所述第二绝缘层内形成第一接触部的步骤之后，在所述第二介质层内形成第二接触部的步骤之前，所述制备方法还包括：

在所述第二绝缘层上形成阻挡层。

10 19、一种存储器的制备方法，包括如下的步骤：

提供基底，所述基底的表面设置有外围电路；

在所述基底上依次形成多个存储单元，多个所述存储单元在沿平行于所述基底的方向排列形成水平阵列，和/或，多个所述存储单元在沿垂直于所述基底的方向堆叠形成垂直阵列；其中，所述存储单元通过如权利要求 15 14-18 任一项所述存储单元的制备方法制得；

形成数据线，所述数据线用于连接所述外围电路与各所述存储单元。

20、根据权利要求 19 所述的存储器的制备方法，其中，形成数据线的步骤中包括：

在第一介质层内形成相互绝缘设置的读取字线和读取位线，所述读取字线用于连接多个所述存储单元中的第一晶体管的源极或漏极，所述读取位线用于连接多个所述存储单元中第一晶体管的源极或漏极，且与所述读取字线的连接端不为同一端；

在所述第二介质层内形成写入字线和写入位线，所述写入字线用于连接多个所述存储单元中的第二晶体管的栅极，所述写入位线用于连接多个所述存储单元中第二晶体管的源极或漏极，且与所述连接导线连接端不为同一端。