

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月12日(12.03.2015)



(10) 国際公開番号

WO 2015/033404 A1

- (51) 国際特許分類:
G11C 29/00 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073812
- (22) 国際出願日: 2013年9月4日(04.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 山口 幸一郎 (YAMAGUCHI Kouichirou); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 御明誠 (MIKASHI Makoto); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 志賀 仁 (SHIGA Hitoshi); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP). 柴田 昇 (SHIBATA Noboru); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP).
- (74) 代理人: 勝沼 宏仁, 外 (KATSUNUMA Hirohito et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置

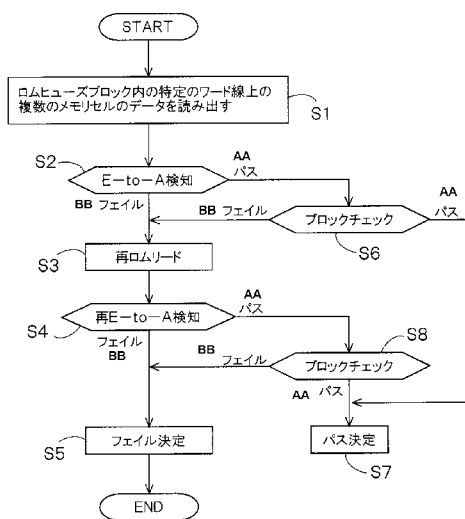


FIG. 3:
S1 Read data of multiple memory cells on specific word line in ROM fuse block
S2 Detect E-to-A
S3 Read ROM again
S4 Detect E-to-A again
S5 Fail determined
S6, S8 Check block
S7 Pass determined
AA Pass
BB Fail

(57) Abstract: A semiconductor storage device equipped with: a memory cell array having multiple word lines connected to multiple memory cells comprising a portion of multiple memory cells, and multiple blocks that include a group of the multiple memory cells comprising a portion of the multiple memory cells; a defect information storage block that includes multiple memory cells connected to two or more specific word lines of the multiple word lines, and that stores in these multiple memory cells defect information within the memory cell array; a first defect detection unit that reads the data of the memory cells in the defect information storage block, and determines whether there is a defect in the defect information storage block; a second defect detection unit that, when it is determined that there is a defect, changes the reading voltage level of the memory cell data and again reads the data of the memory cells in the defect information storage block, and determines whether there is a defect in the defect information storage block; and a defect determination unit that, when it is determined that there is a defect, determines that the defect information storage block is defective.

(57) 要約: 半導体記憶装置は、メモリセルの少なくとも一部の複数のメモリセルに接続された複数のワード線と、メモリセルの少なくとも一部の複数のメモリセルの一群を含む複数のブロックとを有するメモリセルアレイと、複数のワード線の中の特定の2以上のワード線に接続される複数のメモリセルを含み、これらメモリセルにメモリセルアレイ内の不良情報を記憶する不良情報記憶ブロックと、不良情報記憶ブロック内のメモリセルのデータを読み出して、不良情報記憶ブロックの不良判定を行う第1不良検出部と、不良と判定されると、メモリセルのデータの読み出し電圧レベルを変更して、再び不良情報記憶ブロック内のメモリセルのデータを読み出して、不良情報記憶ブロックの不良判定を行う第2不良検出部と、不良と判定されると、不良情報記憶ブロックを不良と決定する不良決定部と、を備える。



ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))