

明 細 書

発明の名称：成膜方法

技術分野

[0001] 本発明は、基材の表面に耐プラズマ性に優れた皮膜を形成する成膜方法に関する。

背景技術

[0002] 従来から、半導体製造装置のようにプラズマに晒される環境に使用される部材のために、耐プラズマ性に優れた材料が求められている。特許文献1には、このような材料を得るために、酸化イットリウム (Y_2O_3) を原料としてイオンプレーティング法によって基材の表面に酸化イットリウム膜を形成する技術が開示されている。また、特許文献2には、反応性スパッタリング法によって酸化イットリウム膜を形成する技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-290933号公報

特許文献2：国際公開第2019/26818号

[0004] 特許文献1、2に記載された方法では、酸化イットリウム膜の成膜速度が比較的遅いため、より実用的な成膜速度を得るためには、アークイオンプレーティング法（真空アーク法）による成膜が望ましい。しかしながら、本発明者がアークイオンプレーティング法による酸化イットリウム膜の形成を試みた結果、膜厚を厚くしていくと空隙率が高くなり、成膜品質が低下するという問題が新たに知見された。

発明の概要

[0005] 本発明の目的は、アークイオンプレーティング法によって、基材に所定の膜厚の酸化イットリウム膜を安定して形成することが可能な成膜方法を提供することにある。

[0006] 上記の目的を達成するために、本願の発明者は、酸化イットリウム膜を形

成するために、アーキオンプレーティング法による実験を鋭意繰り返した結果、新たな成膜方法を知見するに至った。

- [0007] 本発明による成膜方法は、基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の空隙率が0.5%以下となるように前記バイアス電圧を設定して、厚さ40 μ m以上の前記酸化イットリウム膜を成膜することと、を備える。
- [0008] また、本発明による成膜方法は、成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の密度が5 g/cm³以上となるように前記バイアス電圧を設定して、厚さ40 μ m以上の前記酸化イットリウム膜を成膜することと、を備える。
- [0009] また、本発明による成膜方法は、成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の硬さが9 GPa以上となるように前記バイアス電圧を設定して、厚さ40 μ m以上の前記酸化イットリウム膜を成膜することと、を備える。

図面の簡単な説明

[0010] [図1]図 1 は、本発明の一実施形態に係る成膜方法を行うための成膜装置の概略構成を示す模式図である。

[図2]図 2 は、膜の反りから応力を算出するための模式図である。

[図3]図 3 は、本発明の実施例において基材上に形成された酸化イットリウム膜の断面写真である。

[図4]図 4 は、皮膜の基材との界面からの距離と皮膜の空隙率との関係を示すグラフである。

[図5]図 5 は、皮膜の空隙率とエッチングレートとの関係を示すグラフである。

[図6]図 6 は、成膜時に印加されるバイアス電圧と皮膜の空隙率との関係を示すグラフである。

[図7]図 7 は、成膜時に印加されるバイアス電圧と皮膜の密度との関係を示すグラフである。

[図8]図 8 は、皮膜の密度とエッチングレートとの関係を示すグラフである。

[図9]図 9 は、成膜時に印加されるバイアス電圧と皮膜の硬さとの関係を示すグラフである。

[図10]図 10 は、皮膜の硬さとエッチングレートとの関係を示すグラフである。

[図11]図 11 は、成膜時に印加されるバイアス電圧と皮膜の応力との関係を示すグラフである。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら、本発明の一実施形態について詳述する。

図 1 は、本実施形態に係る成膜方法を行うための成膜装置 10 の概略構成を示す模式図である。本実施形態に係る成膜方法は、基材の表面に対して耐プラズマ性に優れた皮膜を形成する方法である。

[0012] なお、図 1 に示す成膜装置 10 は、本実施形態による成膜方法を実施するための成膜装置の一例を示すものであって、前記成膜方法を実施するための

成膜装置は、図1に示すものに限定されない。この成膜装置10は、物理的蒸着法（PVD法：Physical Vapor Deposition）を利用して、真空チャンバ12内に配置されたワークW（基材）の表面に皮膜を成膜する装置である。この成膜装置10には、アークイオンプレーティング法を用いて成膜を行うAIP（Arc Ion Plating）装置や、スパッタ法を用いて成膜を行うスパッタ装置などがある。

[0013] 成膜装置10は、アークイオンプレーティング装置である。成膜装置10は、真空チャンバ12と、回転テーブル14と、複数の基材ホルダ16と、バイアス電源18と、蒸発源としてのターゲット20と、アーク電源22と、ヒータ24と、アルゴンタンク30と、酸素タンク32と、真空ポンプPと、コントローラ50と、を備える。

[0014] 真空チャンバ12は、回転テーブル14及び回転テーブル14に配置された複数の基材ホルダ16を収容する。真空チャンバ12の内部（つまり、回転テーブル14及び複数の基材ホルダ16が収容されている空間）は、成膜工程を含む各種の工程において、真空ポンプPによって真空又はそれに近い状態に維持される。真空チャンバ12には、ガス導入口12Aと、排気口12Bとが設けられている。

[0015] 回転テーブル14は、図1の上下方向に延びる中心線を含む円板形状を有する。回転テーブル14は、真空チャンバ12内に配置されている。回転テーブル14は、成膜工程において、複数の基材ホルダ16を支持しながら、その中心線回りに回転する。なお、回転テーブル14は、複数の基材ホルダ16の各々が自転できるように、複数の基材ホルダ16の各々が個別に配置される回転台をさらに備えていてもよい。基材ホルダ16の数は、図1の2つに限定されない。

[0016] 複数の基材ホルダ16は、それぞれ、成膜を形成する対象であるワークW（基材）を支持する。本実施形態では、ワークWは、基材ホルダ16の外周面に配置されている。なお、図1では、一部のワークWのみが図示されている。

- [0017] 本実施形態では、ワークWは、A 6 0 6 1 合金（A I 合金）（A I 基材ともいう）からなり、2 0 m m×2 0 m mの正形状の板片である。なお、ワークWの材料、形状はこれに限定されるものではない。
- [0018] 複数の基材ホルダ1 6は、それぞれ、導電性材料で形成されている。導電性材料は、例えば、ステンレス鋼である。
- [0019] 複数の基材ホルダ1 6は、回転テーブル1 4の周方向に等間隔に配置されている。この状態で、複数の基材ホルダ1 6の各々が有する中心線は、回転テーブル1 4の中心線に平行である。
- [0020] バイアス電源1 8は、回転テーブル1 4を介して、複数の基材ホルダ1 6の各々に負のバイアス電圧を印加する。本実施形態では、一例としてバイアス電源1 8は、複数の基材ホルダ1 6の各々に対して、負のバイアス電圧を断続的に印加する。つまり、バイアス電源1 8は、パルス電源である。ワークW上に形成された皮膜の抵抗が比較的高い場合、前記バイアス電圧としてDCバイアスを印加すると、入射したイオンによって電荷が溜まる問題（チャージアップ）が生じることがある。一方、本実施形態のように、前記バイアス電圧としてパルス電圧を印加することによって、ワークW上に形成された皮膜の抵抗が比較的高い場合であっても、前記問題を抑止することができる。より具体的に、パルス電圧として、 μ SあるいはmSオーダで、マイナス側と、0 Vあるいはプラス側との間でバイアスを切り替えることで、チャージアップの問題を抑止することができる。
- [0021] なお、バイアス電源1 8は、成膜工程において、負のバイアス電圧を印加していないときには、バイアスは印加されていない。あるいは、バイアス電源1 8は、複数の基材ホルダ1 6の各々に対して、負のバイアス電圧と正のバイアス電圧とを交互に印加することができる。負のバイアス電圧の絶対値は、正のバイアス電圧の絶対値よりも大きい。
- [0022] なお、負のバイアス電圧と正のバイアス電圧とを交互に印加するのであれば、バイアス電源1 8は、例えば、交流電源（AC電源）であってもよいし、高周波電源（RF電源）であってもよい。また、バイアス電源1 8は、後

記で詳述するようにDCバイアスを印加するものでもよい。

- [0023] ターゲット20は、イットリウムからなる円板状の部材である。一例として、ターゲット20は、直径100mmの円板である。
- [0024] アーク電源22は、真空チャンバ12に配置されたターゲット20に真空アーク放電を生じさせる放電電源として機能するDC電源である。この際、ターゲット20は前記放電における陰極として機能する。一方、図1に示すように、真空チャンバ12は前記放電における陽極として機能する。ターゲット20は、アーク電源22によって発生する放電を受けて、その表面から蒸発したイットリウムのイオンを放出する。なお、アーク電源22は、ターゲット20とともに、アーク蒸発源を構成する。
- [0025] ヒータ24は、真空チャンバ12内に設けられており、不図示のヒータ電源から電流の供給を受けて発熱する。この結果、真空チャンバ12内の環境、ワークWが加熱される。
- [0026] アルゴンタンク30は、内部にアルゴンを収容しており、真空チャンバ12にアルゴンガスを供給する。同様に、酸素タンク32は、内部に酸素を収容しており、真空チャンバ12に酸素を供給する。なお、これらのタンクからのガス供給量は、コントローラ50の指令を受けて不図示のレギュレータの開度が調整されることで制御される。他の実施形態において、作業者の手作業で前記ガス供給量が調整されてもよい。
- [0027] 真空ポンプPは、排気口12Bを通じて、真空チャンバ12の内部空間を真空状態とする（真空引き）。
- [0028] コントローラ50は、上記のレギュレータに加え、真空ポンプPの制御、バイアス電源18およびアーク電源22、ヒータ24の各種電圧又は電流値の制御に加え、回転テーブル14の回転などを制御する。

実施例

- [0029] 次に、本実施形態に係る成膜方法の実施例について説明する。なお、以後の説明では、酸素をO、イットリウムをYと表記する場合がある。また、本発明は以下の実施例の範囲に限定されるものではない。当該成膜方法を実行

するにあたって、図1に示すように、成膜装置10内にターゲット20およびワークWを取り付け、真空ポンプPによって真空チャンバ12内を真空状態となるように排気する。

[0030] 次に、ヒータ24によって真空チャンバ12内において予熱を行った後に、アルゴンタンク30から真空チャンバ12内にガス導入口12Aを通じてアルゴンガスを導入し、前処理として、アルゴンガスイオンによってワークWの表面に対してボンバードを実施する。ここで、ボンバードとは、プラズマ放電によってアルゴンイオンのような重い不活性気体イオンを生成し、このイオンがワークWに照射されることにより当該ワークWの表面を加熱、スパッタリングし、当該表面の水分や汚染物のクリーニングを行うことを意味する。

[0031] 上記のボンバード後に、純酸素ガスを流量にして240 s c c m程度、チャンバ内の圧力が1 P a付近となるように導入する。なお、他の実施形態において、純酸素ガスの代わりに、A r - O₂混合ガス（例えば、A r 450 s c c m、酸素50 s c c m）をチャンバ内の圧力が2 P a付近になるように導入してもよい。なお、放電を安定して維持するために、チャンバ内の全圧は0.6 P a以上4 P a以下の範囲に設定されることが望ましい。

[0032] 次に、ターゲット20をカソードとして機能させながら真空チャンバ12内で放電させ、ワークW上に酸化イットリウム膜を成膜する。この際、成膜時のワークWの温度は300℃付近（200℃以上400℃以下）であり、アーク電流は100 A以上125 A以下の範囲であり、ワークWに印可する電圧は周波数200 k H z、D U T Y 56%のユニポーラパルス（パルス波形）あるいはD Cバイアス（直流電圧）で平均電圧を10～100 Vの間で変化させる。ワークW上に形成される酸化イットリウム膜の膜厚は約10～100 μ m程度である。なお、前述のように、一例としてワークWにはA 6061 A l（20 m m×20 m mの角片形状）が使用される。形成される酸化イットリウム膜中の酸素量は、チャンバに流入される酸素の圧力、すなわち酸素分圧（酸素流量）を変化させることで制御する。

[0033] 次に、ワークW上に形成される酸化イットリウム膜の評価方法について、その指標とともに説明する。

[0034] (1) 空隙率の評価

皮膜を形成した試験片（Al基材からなるワークW）を膜厚方向に沿って切断し、評価用の樹脂に埋め込み、その断面を断面方向からSEM（Scanning Electron Microscope）で観察した。そして、倍率500倍のSEM像を使用して、断面に観察できる皮膜の空隙を画像解析により算出した。この際、一例として、解析ソフトには、ImageJ 1.50bを使用した。なお、画像解析の手順は以下となる。

[0035] （ステップ1）画像から解析部分を切り出す。この際、おおむね皮膜の表面から深さ20μmの領域を切り出す。（ステップ2）画像の2値化を行う。なお、2値化の条件は、閾値110、256階調とした。（ステップ3）欠陥（空隙）面積の算出を行う。

[0036] (2) 膜応力の評価

図2に示すように、20×20×5mmのワークW上にイットリア膜（酸化イットリウム膜）を形成したサンプルのAl板の反り量を、触針式表面粗さ計を用いて10mm長さでの反りを測定し、下記Stoneyの式（1）から応力σを測定した。

[0037] [数1]

$$\sigma = \left(\frac{E}{1-\nu} \right) \times \frac{b_s^2 \delta_s}{3l_s^2 d_s} \quad \dots (1)$$

[0038] なお、式1および図2において、σ：応力、E：基板のヤング率72GPa、bs：基板の厚さ5mm、δs：たわみ量mm、ls：片持ち梁の長さ5mm、ds：膜厚μmである。

[0039] (3) 皮膜の密度の評価

30×30×5mmのAl板に厚さ100μm程のイットリア膜を形成し、膜形成前後における基材の重量増加を計測し、膜厚と成膜面積（900mm²）から皮膜の体積を計算し、その密度を算出した。

[0040] (4) 皮膜の硬さの評価

皮膜を形成したAl基材を切断、樹脂埋め込みを行い断面方向からナノインデントを用いて、厚さ方向に10 μ m置きに押込み最大荷重5mNでBerkovich型圧子を用いたインデントによって負荷除荷曲線を10点測定し、OLIVERらによる先端曲率補正(W. C. Oliver, G. m. Pharr; J. Mater. Res, 7, 1564 (1992) またはJ. B. Pechica, W. C. Oliver; Physica Scripta, T19, 61 (1987))を行い、断面平均硬さを測定した。

[0041] (5) 耐エッチング性の評価

以下の装置および条件において、形成された皮膜の耐エッチング性の評価を行った。

- ・使用装置 ICPエッチング装置
- ・ガス組成 Ar:CHF₃:O₂=130:14:5 (流量比)
- ・圧力 9Pa
- ・パワー コイル13.56MHz、1kW、サンプル13.56MHz、0.9kW (Vdc約950V)

[0042] 図3に、バイアス電圧10Vで形成した酸化イットリウム膜の断面SEM像を示す。図3に示すように、膜厚が厚い領域(表面に近い領域)ほど、皮膜中の空隙が増加していることが分かる。このような空隙が形成される原因は、真空アーク法特有のパーティクル(ターゲットから飛散する溶融粒子、マクロパーティクル)を核としたノジュール成長にあると考えられる。

[0043] 図4は、バイアス電圧10Vで形成した皮膜について、厚さ方向における、基材との界面からの距離とその領域での空隙率との関係を示すグラフである。この空隙率は、皮膜内部を20 μ mごとに分割して、各部分における空隙率を算出した結果に相当する。界面からの距離10 μ mにおける空隙率は、界面を0として、0~20 μ mまでの範囲における平均の空隙率を示している。同様に、図4における70 μ mのプロットは60~80 μ mにおける

平均の空隙率となる。図4に示すように、膜厚の増加とともに空隙率は増加しており、特に、膜厚（界面からの距離）が $40\mu\text{m}$ を超えると空隙率が 0.5% ほどに達することが分かる。図3、図4に示すように、皮膜と基材の界面付近ではほぼ空隙は観察されないが、皮膜上部では空隙率が大きくなることが知見された。

[0044] 図5は、皮膜の空隙率とプラズマエッチングレートとの関係を示すグラフである。図5に示すように、皮膜中の空隙率の増加とともにエッチングレートが増加しており、空隙率を 0.5% 以下とすることで、エッチングレートを $1.75\mu\text{m/hr}$ 以下に抑えることが出来る。なお、本発明の適用分野の一例である半導体製造装置ではプラズマを使用したエッチングプロセスが多用されており、近年半導体デバイス構造の複雑化によるエッチングの長時間化による装置内部の部材がプラズマによりエッチング、損傷・消耗することが問題となる。このため、プラズマによりエッチングされにくい（＝エッチングレートが小さい）材料（例： Y_2O_3 膜）を部材に被覆することが行われている。エッチングレートが低い材料は、エッチングによる部材の消耗が小さく部材交換までの時間が長いこと（長寿命）に加えて、汚染物質の放出が小さいことから半導体製造装置部材の保護材料として好適である。

[0045] 図6は、バイアス電圧と空隙率との関係を示すグラフであり、パルスバイアス（ACバイアス）、DCバイアスの場合の結果をそれぞれ示している。なお、当該空隙率も、膜厚 $50\mu\text{m}$ 以上の皮膜において、その表面から約 $20\mu\text{m}$ の領域で計測している。図6に示すように、パルスバイアスでは、成膜時のバイアス電圧を 25V 以上とすることで、厚さが $50\mu\text{m}$ 以上の厚い皮膜であっても皮膜の表面から $20\mu\text{m}$ の範囲の空隙率を 0.5% 以下に抑えることが出来る。また、同様に、DCバイアスにおいても、成膜時のバイアス電圧を 25V 以上とすることで、空隙率を 0.5% 以下に抑えることが出来る。なお、印加される電圧がパルス電圧の場合は、時間平均によってバイアス電圧を算出することができる。

[0046] 図7は、成膜時に印加されるバイアス電圧と皮膜の密度との関係を示すグ

ラフである。図8は、皮膜の密度とエッチングレートとの関係を示すグラフである。図7、図8に示すように、皮膜の空隙率だけではなく、基材の重量変化から測定した皮膜密度の増加に伴いエッチングレートも変化することが新たに知見された。そして、エッチングレートを低く抑えるためには、皮膜の密度は 5 g/cm^3 以上であることが良いことが分かる。

[0047] 図9は、成膜時に印加されるバイアス電圧と皮膜の硬さとの関係を示すグラフである。図10は、皮膜の硬さとエッチングレートとの関係を示すグラフである。図9、図10に示すように、皮膜の空隙率だけではなく、断面方向から測定した皮膜の硬さの増加に伴いエッチングレートも変化することが新たに知見された。そして、同様に、エッチングレートを低く抑えるためには、皮膜の平均硬さは 9 GPa 以上であることが良いことが分かる。

[0048] 図11は、成膜時に印加されるバイアス電圧と皮膜の応力との関係を示すグラフである。図11に示すように、バイアス電圧を増加させると皮膜の空隙率は低下し、プラズマ照射によるエッチングレートは低下する一方で、皮膜に発生する残留応力の増加が認められる。このことから、バイアス電圧は 75 V 未満に設定されることが好ましい。

[0049] 以上のように、本実施形態に係る成膜方法は、成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する方法である。当該方法は、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することと、前記膜の空隙率が 0.5% 以下となるように前記バイアス電圧を設定して、厚さ $40\text{ }\mu\text{m}$ 以上の酸化イットリウム膜を形成することと、を備えている。

[0050] このような方法によれば、バイアス電圧を制御パラメータとして膜の空隙率を抑えながら、実用的な成膜速度で酸化イットリウム膜を安定して形成することができる。

- [0051] また、本実施形態に係る成膜方法について換言すれば、当該方法は、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することと、前記膜の密度が 5 g/cm^3 以上となるように前記バイアス電圧を設定して、厚さ $40\text{ }\mu\text{m}$ 以上の酸化イットリウム膜を形成することと、を備える。当該方法においても、上記と同様の効果を奏することができる。
- [0052] 更に、前記成膜方法について換言すれば、当該方法は、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することと、前記膜の硬さが 9 GPa 以上となるように前記バイアス電圧を設定して、厚さ $40\text{ }\mu\text{m}$ 以上の酸化イットリウム膜を形成することと、を備える。当該方法においても、上記と同様の効果を奏することができる。
- [0053] これらの方法は、実用的な成膜速度によって、基材上にアークイオンプレーティング法により酸化イットリウム膜を成膜するものであり、皮膜のエッチングレートを低く抑えることにおいて共通する技術的效果を有するものである。
- [0054] なお、酸化イットリウムの膜厚が $50\text{ }\mu\text{m}$ 以上の時に、上記のバイアス電圧を印加する効果が一層発現され、 $80\text{ }\mu\text{m}$ 以上の時に、更に効果が発現される。
- [0055] また、空隙率は、より好ましくは 0.3% 以下であり、さらに好ましくは 0.1% 以下とされることが望ましい。
- [0056] ここで、前記バイアス電圧は平均で 25 V 以上となるように設定されることが望ましい。また、前記バイアス電圧は平均で 30 V 以上に設定されることがより望ましく、平均で 50 V 以上に設定されることが更に望ましい。一

方、前述のように、前記バイアス電圧が平均で75V以上になると応力が大きくなることから、75V未満に設定されることが好ましい。この際、図6に示したように、バイアス電圧が40V以上に設定されることで、パルスバイアス、DCバイアスに拘わらず、空隙率を抑えることができる。なお、パルスバイアスと比較して、DCバイアスは、その値が一定値であるということができる。

[0057] なお、実用的な成膜速度を得るためには、公知のイオンプレーティング法や反応性スパッタリング法ではなく、アークイオンプレーティング法で成膜することが望ましい。たとえば、公知のエッチング装置などには100 μ m以上の膜厚の皮膜を用いることが一般的であり、イオンプレーティングあるいはスパッタリング法では成膜レートが遅いことが課題となる。一方、本発明者らは、成膜速度が期待されるアークイオンプレーティング法の固有の問題として、膜厚を厚くしていくと空隙率が高くなっていく問題が顕著に生じ、特に40 μ m以上、100 μ m以下の厚さを有する皮膜形成においてこのような問題が生じることを知見した。そして、本発明者は、この問題をバイアス電圧の調整で解決することを新たに知見した。上記のような厚さ領域において、公知のスパッタ法では、空隙率を低くするとともに、実用的な成膜速度を実現することは難しい。

[0058] なお、バイアス電圧の望ましい下限値は装置により多少ばらつくが、バイアス電圧を25V以上に設定することで、上記のばらつきを吸収して良好な成膜を実現できることを本発明者は確認するに至った。

[0059] また、本発明における酸化イットリウム膜とは、膜内において Y_2O_3 とYとが混じり合った状態であって、 Y_2O_3 とYとの比率が変わることにより結果的に、膜内におけるYとOとの比率が変わるものである。本発明では、このように Y_2O_3 とYとが混じり合った状態の膜を総称して、「酸化イットリウム膜」と称する。なお、この場合のYとOとの比率は、原子比である。

[0060] 以上、本発明の実施の形態について詳述してきた。本発明に係る成膜方法によって得られる酸化イットリウム膜は、半導体製造装置等に代表されるよ

うに、プラズマに曝される部材に広く適用することができる。

[0061] なお、これらはあくまでも例示であって、本発明は、上述の実施の形態の記載によって、何等、限定的に解釈されるものではない。本発明において、基材は、絶縁材料からなるものに限定されず、導電性材料からなるものであってもよい。本発明において、負のバイアス電圧と正のバイアス電圧あるいは負のバイアスと無バイアス（0 V）とを交互に印加する態様は、上記実施の形態に記載のパルス状に限定されず、例えば、正弦波状、矩形波状、三角波状であってもよい。また、アーク電流は小さすぎると放電が安定しない、大きいとターゲットが加熱されることがあるため、100 mm程度の直径のターゲットに対して50 A以上、200 A以下の範囲に設定されることが望ましい。

[0062] 本発明の第1の態様による成膜方法は、基材上にアークイオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の空隙率が0.5%以下となるように前記バイアス電圧を設定して、厚さ40 μ m以上の前記酸化イットリウム膜を成膜することと、を備える。

[0063] アークイオンプレーティング法を用いて、イットリウムを酸素雰囲気中で放電させて酸化イットリウム膜を形成する場合、膜厚の増加に伴って皮膜中の空隙率が増加する傾向にあるが、成膜時に基材に印加するバイアス電圧を調整することにより、厚さ40 μ m以上の酸化イットリウム膜に対しても空隙率を減少させることができる。特に、空隙率を0.5%以下に抑えることで、エッチングレートを低減することができる。

[0064] また、本発明の第2の態様による成膜方法は、成膜を形成する対象である基材上にアークイオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと

、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の密度が 5 g/cm^3 以上となるように前記バイアス電圧を設定して、厚さ $40\text{ }\mu\text{m}$ 以上の前記酸化イットリウム膜を成膜することと、を備えるものでもよい。

[0065] また、本発明の第3の態様による成膜方法は、成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、前記チャンバ内に少なくとも酸素を導入することと、前記基材に所定のバイアス電圧を印加することと、前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の硬さが 9 GPa 以上となるように前記バイアス電圧を設定して、厚さ $40\text{ }\mu\text{m}$ 以上の前記酸化イットリウム膜を成膜することと、を備えるものでもよい。

[0066] 本発明の第4の態様による方法は、第1乃至第3の何れかの態様による方法において、前記バイアス電圧を平均で 25 V 以上となるように設定することを更に備えるものでもよい。

[0067] 本方法によれば、調整対象であるバイアス電圧を平均で 25 V 以上にすることで、安定して空隙率を減少させることができる。

[0068] 本発明の第5の態様による方法は、第1乃至第4の何れかの態様による方法において、前記バイアス電圧を平均で 75 V 未満となるように設定することを更に備えるものでもよい。

[0069] 本方法によれば、膜に作用する応力が大きくなることを抑止することができる。

[0070] 本発明の第6の態様による方法は、第1乃至第5の何れかの態様による方法において、前記バイアス電圧の波形がパルス波形であるものでもよい。

[0071] 本発明の第7の態様による方法は、第1乃至第5の何れかの態様による方

法において、前記バイアス電圧が一定値であるものでもよい。

請求の範囲

- [請求項1] 成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、
- チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、
- 前記チャンバ内に少なくとも酸素を導入することと、
- 前記基材に所定のバイアス電圧を印加することと、
- 前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、前記膜の空隙率が0.5%以下となるように前記バイアス電圧を設定して、厚さ40 μm 以上の前記酸化イットリウム膜を成膜することと、
- を備える、成膜方法。
- [請求項2] 成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、
- チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、
- 前記チャンバ内に少なくとも酸素を導入することと、
- 前記基材に所定のバイアス電圧を印加することと、
- 前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、
- 前記膜の密度が5 g/cm^3 以上となるように前記バイアス電圧を設定して、厚さ40 μm 以上の前記酸化イットリウム膜を成膜することと、
- を備える、成膜方法。
- [請求項3] 成膜を形成する対象である基材上にアーキオンプレーティング法によって酸化イットリウム膜を成膜する成膜方法であって、
- チャンバ内に、イットリウムからなるターゲットと、前記基材とを配置することと、

前記チャンバ内に少なくとも酸素を導入することと、
前記基材に所定のバイアス電圧を印加することと、
前記ターゲットの表面を酸素中で蒸発させて、前記基材上に酸化イットリウム膜を成膜することであって、
前記膜の硬さが9 GPa以上となるように前記バイアス電圧を設定して、厚さ40 μm以上の前記酸化イットリウム膜を成膜することと、
を備える、成膜方法。

[請求項4] 請求項1乃至3の何れか1項に記載の成膜方法であって、
前記バイアス電圧を平均で25 V以上となるように設定することを更に備える、成膜方法。

[請求項5] 請求項1乃至3の何れか1項に記載の成膜方法であって、
前記バイアス電圧を平均で75 V未満となるように設定することを更に備える、成膜方法。

[請求項6] 請求項1乃至3の何れか1項に記載の成膜方法であって、
前記バイアス電圧の波形がパルス波形である、成膜方法。

[請求項7] 請求項1乃至3の何れか1項に記載の成膜方法であって、
前記バイアス電圧が一定値である、成膜方法。