

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 31 日 (31.08.2023)



(10) 国际公布号
WO 2023/159733 A1

(51) 国际专利分类号:
G11C 11/4096 (2006.01) *G11C 11/4197* (2006.01)

(21) 国际申请号: PCT/CN2022/087829

(22) 国际申请日: 2022 年 4 月 20 日 (20.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210174060.X 2022 年 2 月 24 日 (24.02.2022) CN

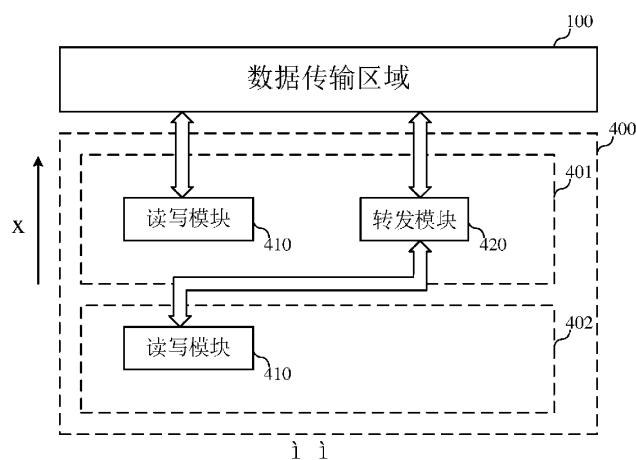
(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 李红文 (LI, Hongwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 尚为兵 (SHANG, Weibing); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 高恩鹏 (GAO, Enpeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 冀康灵 (JI, Kangling); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(54) Title: MEMORY CIRCUIT, DATA TRANSMISSION CIRCUIT, AND MEMORY

(54) 发明名称: 存储电路、数据传输电路和存储器



100 Data transmission area
410 Read-write module
420 Forwarding module

(57) Abstract: The present disclosure relates to a memory circuit, a data transmission circuit, and a memory. The memory circuit comprises: at least one memory structure provided in parallel to a data transmission area, each memory structure comprising a first memory array and a second memory array, which are arranged adjacent to each other in a first direction, wherein the distance between the first memory array and the data transmission area is less than the distance between the second memory array and the data transmission area, and the first direction is a direction approaching the data transmission area; the first memory array comprises a read-write module and a forwarding module; the second memory array comprises a read-write module; the first memory array performs data exchange

[见续页]

WO 2023/159733 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

with the data transmission area on the basis of the read-write module in the first memory array; and the second memory array performs data transmission with the data transmission area on the basis of the read-write module in the second memory array and the forwarding module in the first memory array.

(57) 摘要: 本公开是关于一种存储电路、数据传输电路和存储器。所述存储电路包括: 平行于数据传输区域设置的至少一个存储结构, 每一存储结构包括在第一方向上相邻设置的第一存储阵列和第二存储阵列, 第一存储阵列与数据传输区域的距离小于第二存储阵列与数据传输区域的距离, 第一方向为靠近数据传输区域的方向; 第一存储阵列中包含读写模块和转发模块, 第二存储阵列中包含读写模块, 第一存储阵列基于第一存储阵列中的读写模块与数据传输区域进行数据交互, 第二存储阵列基于第二存储阵列中的读写模块和第一存储阵列中的转发模块与数据传输区域进行数据传输。