

说明书

发明名称：存储器的校验管脚处理方法、装置、设备、存储介质和计算机程序产品

本申请要求于 2022 年 05 月 09 日提交中国专利局，申请号为 202210497004X，发明名称为“存储器的校验管脚处理方法、装置、设备和存储介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机技术领域，特别是涉及一种存储器的校验管脚处理方法、装置、设备、存储介质和计算机程序产品。

背景技术

高带宽存储器（High Bandwidth Memory，HBM）是一种高速高带宽的新型内存存储器，主要应用于人工智能芯片的领域。HBM 的读数据信号的传输线路容易受到芯片工艺、工作电压、环境温度以及信号间串扰的影响而发生故障，导致所传输的读数据信号出现错误，因此需要对读数据信号是否发送错误进行检测。

传统的检测方法主要将读数据信号与读数据信号的奇偶校验 PAR（Parity Check，奇偶校验）信号、读数据信号的采样脉冲信号一起传输，以便接收方基于采样脉冲信号采样奇偶校验信号得到校验信息，进而基于校验信息来校验读数据信号是否传输错误。

然而奇偶校验信号也会受到芯片工艺、工作电压、环境温度以及信号间串扰的影响，使得奇偶校验信号和采样脉冲信号出现偏移，接收方在基于采样脉冲信号采样奇偶校验信号时采样错误导致得到错误的校验信息，进而导致对数据信号的校验结果错误的情况。

发明内容

根据本申请的各种实施例，提供一种存储器的校验管脚处理方法、装置、设备、存储介质和计算机程序产品。

第一方面，本申请提供了一种存储器的校验管脚处理方法，由计算机设备执行，所述方法包括：

向目标存储器发送第一数据读取指令；

接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；

当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

第二方面，本申请还提供了一种存储器的校验管脚处理装置。所述装置包括：

指令发送模块，用于向目标存储器发送第一数据读取指令；

信号接收模块，用于接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

信号时移模块，用于通过延时电路分别对各所述第一数据信号进行时移，以使时移后各

所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

时延确定模块，基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

第三方面，本申请还提供了一种计算机设备。所述计算机设备包括存储器和处理器，所述存储器存储有计算机程序，所述处理器执行所述计算机程序时实现以下步骤：

向目标存储器发送第一数据读取指令；

接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；

当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

第四方面，本申请还提供了一种计算机可读存储介质。所述计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现以下步骤：

向目标存储器发送第一数据读取指令；

接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；

当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

第五方面，本申请还提供了一种计算机程序产品。所述计算机程序产品，包括计算机程序，该计算机程序被处理器执行时实现以下步骤：

向目标存储器发送第一数据读取指令；

接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；

当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

此处所说明的附图用来提供对本申请的进一步理解，构成本申请的一部分，本申请的示意性实施例及其说明用于解释本申请，并不构成对本申请的不当限定。在附图中：

图 1 为一个实施例中存储器的校验管脚处理方法的应用环境图；

图 2 为一个实施例中读指令的示意图；

图 3 为一个实施例中读数据的示意图；

图 4 为另一个实施例中读数据的示意图；

图 5 另一个实施例中读数据的示意图；

图 6 另一个实施例中读数据的示意图；

图 7 为一个实施例中数据信号和采样脉冲信号示意图；

图 8 为一个实施例中存储器的校验管脚处理方法的流程示意图；

图 9 为一个实施例中模式寄存器位 MR7 的功能示意图；

图 10 为一个实施例中 MISR 电路示意图；

图 11 为一个实施例中模式寄存器位 MR0 的功能示意图；

图 12 为一个实施例中读数据结构示意图；

图 13 为一个实施例中延时电路的示意图；

图 14 为另一个实施例中延时电路的示意图；

图 15 为一个实施例中数信号时移效果示意图；

图 16 为另一个实施例中数信号时移效果示意图；

图 17 为一个实施例中存储器的校验管脚处理系统的架构图；

图 18 为一个实施例中存储器的校验管脚处理装置的结构框图；

图 19 为另一个实施例中存储器的校验管脚处理装置的结构框图；

图 20 为一个实施例中计算机设备的内部结构图；

图 21 为另一个实施例中计算机设备的内部结构图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。

本申请实施例提供的存储器的校验管脚处理方法，由计算机设备执行，具体可以应用于如图 1 所示的应用环境中。其中，终端 102 通过网络与服务器 104 进行通信。该存储器的校验管脚处理方法可由终端 102 或服务器 104 执行，或者由终端 102 和服务器 104 协同执行。在一些实施例中，终端 102 和服务器 104 上设置有存储器控制器，该存储器的校验管脚处理方法具体可以由存储器控制器来执行。若存储器的校验管脚处理方法由终端 102 执行，该终端 102 通过向目标存储器发送第一数据读取指令；接收目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐，得到第一时延参数；当接收到目标存储器中各校验管脚返回的第二数据信号时，通过延时电路分别对各第二数据信号中目标数据信号进行时移，以使时移后各第二数据信号中的目标电平值对齐，得到第二时延参数；基于第一

时延参数和第二时延参数，确定校验管脚的采样时延参数。

其中，终端 102 可以是集成了 AI 芯片的智能手机、平板电脑、笔记本电脑、台式计算机、智能音箱、智能手表、智能语音交互设备、智能家电和车载终端等，但并不局限于此。该 AI 芯片可以是组合 AI 处理器和存储器（如高带宽存储器）的芯片。该存储器可以包括数据存储区 and 控制器，或者控制器可以以独立形式存在，并对该存储器进行控制。

服务器 104 可以是集成了 AI 芯片的独立的物理服务器，或是区块链系统中的服务节点，该区块链系统中的各服务节点之间形成组成点对点（P2P，Peer To Peer）网络，P2P 协议是一个运行在传输控制协议（TCP，Transmission Control Protocol）协议之上的应用层协议。

此外，服务器 104 还可以是集成了 AI 芯片的多个物理服务器构成的服务器集群，可以是提供云服务、云数据库、云计算、云函数、云存储、网络服务、云通信、中间件服务、域名服务、安全服务、内容分发网络（Content Delivery Network，CDN）、以及大数据和人工智能平台等基础云计算服务的云服务器。

终端 102 与服务器 104 之间可以通过蓝牙、USB(Universal Serial Bus，通用串行总线)或者网络等通讯连接方式进行连接，本申请在此不做限制。

在对本申请实施例提供的存储器的校验管脚处理方法进行说明之前，先对传统方案中存储器数据读取过程进行说明。

传统方案中，计算机设备向目标存储器发送一次突发数据读取指令后，目标存储器基于所接收的读指令读取读数据，并将读数据返回给计算机设备，如图 2 所示为传统方案中发送的一次 READ（读）指令的示意图，其中突发产长度可以是 2 或 4，图 3 为基于该 READ（读）指令所返回的读数据（DQ）的示意图，图中包含的相关时序参数如下所示：tDQSCK(min/max)是指 RDQS_c 上升沿（或 RDQS_t 下降沿）与 CK_c 上升沿（或 CK_t 下降沿）之间最小和最大的时间范围；tDQSCK 描述了 RDQS 上升沿与 CK 上升沿之间的时间延迟；tQSH：描述了 RDQS 信号持续为高电平的时间延迟；tQSL 描述了 RDQS 信号持续为低电平的时间延迟；tLZ(min/max)描述了读数据持续高阻态到低阻抗状态的最小和最大的时间范围；tHZ(min/max)描述了读数据持续低阻抗状态到高阻态的最小和最大的时间范围；tDQSQ 描述了 RDQS_t 上升沿（或 RDQS_c 下降沿）到读出 DQ、DM 和 DBI 数据之间的时间延迟；tQH 描述了 RDQS_t 上升沿（或 RDQS_c 下降沿）到读出 DQ、DM 和 DBI 数据保持稳定的时间延迟；RDQS（Read DQ Strobe）为读数据选取脉冲，也可以称为采样脉冲信号，DQ 为读数据总线，也可以称为读数据；DM（Data Mask）为数据掩码；DBI（Data Bus Inversion）为数据总线翻转。其中，突发(Burst)是指在目标存储器的同一行中相邻的存储单元连续进行数据传输的方式，连续传输的周期数就是突发长度(Burst Lengths，简称 BL)。

需要说明的是，传统方案中，计算机设备向目标存储器发送一次突发数据读取指令后，目标存储器基于所接收的读指令除了将读数据返回给计算机设备之外，还会将读数据的奇偶校验数据一同返回给计算机设备，其中奇偶校验数据对应的奇偶校验信号，可以与读数据的读数据信号同时进行传输，也可以迟于读数据的读数据信号进行传输，通常用 PL（parity latency，奇偶校验延迟）参数来描述奇偶校验信号相对于读数据信号的延迟周期数，PL 参数具体可以配置为 0 至 3 个时钟周期，PL 参数的配置由 HBM 的模式寄存器位 MR4（Mode Register 4）控制完成，具体如下表所示：

表 1

域	控制 bit	描述
Parity Latency (PL)	OP[3:2]	00 – 0 个 CK_c 周期 01 – 1 个 CK_c 周期 10 – 2 个 CK_c 周期 11 – 3 个 CK_c 周期

举例对 PL 参数的作用进行说明，如图 4 所示，该图所对应的读 BL(Read burst length)=2，PL=0，RL (Read Latency)=7，则读数据信号会在 T7 时刻的时钟上升沿到达，由于 PL=0，则奇偶校验信号同样会在 T7 时刻的时钟上升沿到达；参考图 5，该图所对应的 RL(Read burst length)=2，PL=1，RL (Read Latency)=6，则读数据信号会在 T6 时刻的时钟上升沿到达，由于 PL=1，则奇偶校验信号同样会在 T7 时刻的时钟上升沿到达。

由以上说明可知，当计算机设备向目标存储器发送一次数据读取指令时，如图 6 所示，目标存储器会向计算机设备返回读数据信号 (DQ)、读数据信号的奇偶校验信号 (PAR) 和相应的采样脉冲信号 (RAQS)，计算机设备通过采用 RDQS 作为采样信号，对读数据信号和奇偶校验信号进行采样，从而得到读数据和奇偶校验数据，因此只有在采样脉冲信号与奇偶校验信号的眼图中心对齐时，采样的准确率是最高的。其中，ACT 为一次行激活指令，PRE 为一次预充电指令。

以下对采样准确率进行举例说明，如图 7 所示，图中使用 CLK 采样 Data，在 HBM 读校验数据场景中，CLK 为 HBM DRAM 返回的 RDQS 信号，Data 包含了 HBM DRAM 返回的 PAR 数据，在图 7A 中，CLK 的上升沿（即采样沿）位于 Data 的数据中心位置，此时，采样的准确率最高；在图 7B 和图 7C 中，出现了 Data 的数据中心位置和 CLK 的上升沿未对齐的情况，图 7B 中 CLK 的上升沿漂移出 Data 的数据窗口；在图 7C 中，CLK 的上升沿虽然未漂移出 Data 的数据窗口，但是由于采样沿和数据的建立（或撤销）边沿距离过近，导致本次采样出现 setup timing（或 hold timing）的时序违例，图 7B 和图 7C 所示的这两种情况均会导致读数据的采样错误。

在一个实施例中，如图 8 所示，提供了一种存储器的校验管脚处理方法，以该方法应用于图 1 中的计算机设备（终端或服务器）为例进行说明，包括以下步骤：

S802，向目标存储器发送第一数据读取指令。

其中，目标存储器可以是高带宽内存（High Bandwidth Memory，HBM）；具体可以是 HBM DRAM（Dynamic Random Access Memory，动态的随机存取存储器）。第一数据读取指令用于从目标存储器中读取数据。

需要说明的是，本申请实施例中，向目标存储器发送一个第一数据读取指令，即为向目标存储器发起一次读操作，本申请实施例中的读操作一般为突发读操作，突发(Burst)是指在目标存储器的同一行中相邻的存储单元连续进行数据传输的方式，连续传输的周期数就是突发长度(Burst Lengths，简称 BL)。

具体的，计算机设备生成第一数据读取指令，并将第一数据读取指令发送至处于目标模式下的目标存储器，目标模式下的目标存储器基于所接收的数据读取指令，从目标寄存器的寄存器单元中读取读数据。图 2 为本申请实施例中第一数据读取指令的示意图。

其中，目标模式为存储器的操作模式中的一种，存储器的操作模式具体可以通过模式寄存器来进行设置，模式寄存器用于定义 HBM 的特定操作模式。该定义包括突发长度、突发类型、CAS 延迟、操作模式和写突发模式的选择。本申请实施例中的操作模式具体通过模式寄存器位 MR7 来进行设置。具体可参考图 9 所示的模式寄存器位 MR7 的功能描述信息。

在一个实施例中，计算机设备在将目标存储器发送第一数据读取指令之前，还需要对目标存储器的操作模式进行配置，对目标存储器的操作模式进行配置的过程具体包括以下步骤：向目标存储器发送操作模式配置指令，以使目标存储器基于操作模式配置指令配置操作模式为目标模式；当目标存储器处于目标模式时，向处于目标模式的目标存储器发送第一数据读取指令。

其中，目标模式为数据字（Data Word，DWORD）读线性反馈移位寄存器（Linear Feedback Shift Register，LFSR）模式。

具体的，计算机设备在将目标存储器配置为数据字读线性反馈移位寄存器（DWORD LFSR）模式之后，向处于数据字读线性反馈移位寄存器模式的目标存储器发送第一数据读取指令，处于数据字读线性反馈移位寄存器模式的目标存储器可以基于接收到的第一数据读取指令读取读数据，并将读数据存储到目标存储器的寄存器单元，以使计算机设备可以获取寄存器单元中所存储的读数据。

上述实施例中，计算机设备通过向目标存储器发送操作模式配置指令，以使目标存储器基于操作模式配置指令配置操作模式为目标模式，使得处于目标模式的存储器可以通过各校验管脚返回第一数据信号和采样脉冲信号，以便进一步确定校验管脚的采样时延参数。

在一个实施例中，目标寄存器基于操作模式配置指令配置操作模式为目标模式的过程包括以下步骤：对目标存储器的读指令处理电路进行初始化；基于操作模式配置指令，配置读指令处理电路的操作模式为目标模式。

其中，操作模式配置指令包含 8 个比特数据位，通过改变不同比特数据位的值生成不同的指令。指令处理电路可以是多输入移位寄存器（MISR）电路。

需要说明的是多输入移位寄存器（MISR）电路可以包括彼此交替地串联耦合的多个触发器与多个输入选择器，多个输入选择器可以分别对应于多个触发器。如图 10 所示，为一个实施例中的 MISR 电路示意图，该图中示出了 4 个触发器与 4 个输入选择器以储存并输出 4 个比特数据位，参考图 10，当输入控制信号 M0 和 M1 均为 1 时，即当输入控制信号 M0 和 M1 均以逻辑高电平输入时，MISR 电路对应于多输入移位寄存器模式（MISR mode），即 MISR 电路可以执行多输入移位寄存器的功能；当输入控制信号 M0 位为 0、M1 位为 1 时，即输入控制信号 M0 以逻辑低电平输入、M1 以逻辑高电平输入时，MISR 电路对应于简单的寄存器模式（Register mode），即 MISR 电路可以执行简单的寄存器（Register）功能；当输入控制信号 M0 位为 1、M1 位为 0 时，即输入控制信号 M0 以逻辑高电平输入、M1 以逻辑低电平输入时，MISR 电路对应于线性反馈移位寄存器模式（LFSR mode），即 MISR 电路可以执行线性反馈移位寄存器（LFSR）功能。

可以理解的是，当指令处理电路支持 20 个比特数据位时，对应的 MISR 电路可包含 20 个触发器与 20 个输入选择器以储存并输出 20 个比特数据位，该 20 位的 MISR 电路可以用以下多项式从数学上进行描述：

$$f(X)=X^{20}+X^{17}+1$$

当指令处理电路支持 4 个比特数据位时，对应的 MISR 电路可包含 4 个触发器与 4 个输入选择器以储存并输出 4 个比特数据位，该 4 位 MISR 电路可以用以下多项式从数学上进行描述：

$$f(X)=X^4+X^3+1$$

具体的，计算机设备生成初始化指令，并将初始化指令发送至目标存储器，目标存储器在接收到初始化指令后，基于初始化指令对读指令处理电路进行初始化，之后计算机设备向目标存储器发送操作模式配置指令，初始化后的目标存储器基于操作模式配置指令，配置目标存储器的读指令处理电路的操作模式为目标模式。

例如，HBM 配置 DWORD MISR 电路为 DWORD 读 LFSR 模式，具体通过配置 HBM 的模式寄存器 MR7 来完成，配置 HBM 为 DWORD 读 LFSR 模式的步骤具体为：首先配置 MR7 的指令值为 8'b00000001，参考图 9 其中 OP0 为 1，表示使能 DWORD Loopback 模式，OP[5:3] 为 3'b000，表示将 DWORD 寄存器中的默认值复位为 0xAAAAAh，其余位均为默认值，从而基于该 MR7 的指令对读指令处理电路进行初始化；然后配置 MR7 的指令值为 8'b00001011，其中 OP0 为 1，表示使能 DWORD Loopback 模式，OP[2:1]为 2'b01，表示读取 MISR 寄存器中的值，由于初始化过程中对该值做了复位，因此读取出的该值为 0xAAAAAh；OP[5:3]为 3'b001，将 DWORD 寄存器配置为读 LFSR 模式，其余位均为默认值，从而基于该 MR7 的指令对配置目标存储器的读指令处理电路的操作模式为 DWORD 读 LFSR 模式。

上述实施例中，通过对目标存储器的读指令处理电路进行初始化；基于操作模式配置指令，配置读指令处理电路的操作模式为目标模式，使得处于目标模式的目标存储器可以通过各校验管脚返回第一数据信号和采样脉冲信号，以便进一步确定校验管脚的采样时延参数。

S804，接收目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号。

其中，第一数据信号是基于读数据中的目标数据位而生成的，读数据是目标存储器基于第一数据读取指令从目标存储器的寄存器中所读取出的数据。

需要说明的是，目标存储器所处的操作模式为目标模式，目标模式下各校验管脚所输出的数据不再表示读数据的校验数据，而是将各管脚距离较近的读数据中的目标数据位的值返回至相应校验管脚内。

具体的，目标存储器在接收到第一数据读取指令，基于第一数据读取指令执行读操作得到读数据，并将读数据中的目标数据位的值返回给对应的校验管脚，通过校验管脚将目标数据位的值作为第一数据信号进行输出。

例如，HBM DRAM 的单通道的读数据以及奇偶校验管脚包含以下相关接口：

表 2

功能	数据位宽	功能描述
DQ	128 位	HBM DRAM 读数据总线
DBI	16 位	Data Bus Inversion，数据总线翻转
PAR	4 位	读 Parity 校验数据

例如，需要说明的是，在 DWORD 读 LFSR 模式下，校验管脚返回的数据不再真正的表

示读数据的校验数据的内容，同时也不会受到 MR0 中 DQ 总线读奇偶校验相应设置的影响。其中模式寄存器位 MR0 的功能描述信息如图 11 所示。在 DWORD 读 LFSR 模式下，HBM DRAM 将会将各校验管脚距离较近的读数据（DQ）中的目标数据位返回至相应校验管脚内。如下表所示为各个校验（PAR）管脚所实际对应返回的读数据的数据位：

表 3

PAR 管脚位	相关的 DQ 数据位
PAR[0]	DQ[2]
PAR[1]	DQ[34]
PAR[2]	DQ[66]
PAR[3]	DQ[98]

在读 LFSR 模式下，PAR[0]不再表示 DQ[31:0]这 32 位数据的奇偶校验数据，而仅仅是将 DQ[2]的值返回至 PAR[0]。同理，将 DQ[34] 的值返回至 PAR[1]，将 DQ[66] 的值返回至 PAR[2]，将 DQ[98] 的值返回至 PAR[3]。同时，PL 的配置内容也不再起作用，PAR 与 DQ 将会同时到达，即 PL=0 时的返回延迟。

参考图 12 所示的读数据结构示意图，本申请实施例一个完整的数据字（DWORD）可分为 DWORD0、DWORD1、DWORD2 和 DWORD3 四组，其中每个 DWORD 又分为 Byte0、Byte1、Byte2 和 Byte3 共 4 个数据单元，也就是说 128 位的读数据（DQ）分布在 16 个 Byte 中，每个 Byte 中包含 8bit 的 DQ，如图 12 所示，每个 Byte 中从第 19bit 到第 0bit 分别为 DBI 的下降沿数据字和 DBI 的上升沿数据字、8bit DQ 中每个 bit 的下降沿数据字和上升沿数据字、DM 的下降沿数据字和 DBI 的上升沿数据字，也就是说，每个 Byte 包含 20bit 的数值，当 DWORD 寄存器被复位后，该值将变为 0xAAAAAh，因此，各校验管脚的初始值如下表所示：

表 4

PAR 管脚位	相关的 DQ 数据位	PAR 初始数值
PAR[0]	DQ[2]	1'b0
PAR[1]	DQ[34]	1'b0
PAR[2]	DQ[66]	1'b0
PAR[3]	DQ[98]	1'b0

可以理解的是，校验管脚的数量与第一数据信号的数量是相同的，例如当校验管脚为 4 个时，对应的第一数据信号相应也有 4 个，例如校验管脚分别为 PAR[0]、PAR[1]、PAR[2]和 PAR[3]时，读数据为 data1、data2、data3、data4，由 PAR[0]所返回的第一数据信号则是分别基于 data1、data2、data3、data4 中的 DQ[2]数据位的值所生成的，由 PAR[1]所返回的第一数据信号则是分别基于 data1、data2、data3、data4 中的 DQ[34]数据位的值所生成的，由 PAR[2]所返回的第一数据信号则是分别基于 data1、data2、data3、data4 中的 DQ[66]数据位的值所生成的，由 PAR[3]所返回的第一数据信号则是分别基于 data1、data2、data3、data4 的 DQ[98]数据位的值所生成的。

S806，通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐，得到第一时延参数。

其中，每个校验管脚分别对应有相应的延时电路，延时电路用于对相应校验管脚所返回

的数据信号进行时移，时移是指对数据信号在时间上进行移动，具体可以通过调整每个数据信号对应传输路径上的时间延迟来对数据信号进行时移。时移的方向具体包括第一方向和第二方向，其中第一方向是指时间推迟的方向，第二方向是指时间提前的方向。

目标电平值可以是第一数据信号的第一个高电平，目标电平值与采样脉冲信号对齐是指第一数据信号的第一个高电平和采样脉冲信号的上升沿对齐。第一数据信号的第一个高电平和采样脉冲信号的上升沿对齐具体可以是第一数据信号的第一个高电平的上升沿和采样脉冲信号的上升沿对齐、第一数据信号的第一个高电平的下降沿和采样脉冲信号的上升沿对齐和第一数据信号的第一个高电平的眼图中心和采样脉冲信号的上升沿对齐中的至少一种。

第一延时参数是使得时移后第一数据信号中的第一个高电平的眼图中心与采样脉冲信号对齐的延时时间，也就是说，当对第一数据信号按照该第一延时参数进行时移时，时移后的第一数据信号中的第一个高电平的眼图中心与采样脉冲信号的上升沿对齐。

参考图 7，假设图 7C 中的 Data 为某个校验管脚接收到的第一数据信号，该第一数据信号的第一个高电平的眼图中心在采样脉冲信号（CLK）上升沿的左侧，则通过该校验管脚所对应的延时电路，按照第一延时参数将第一数据信号在第一方向上进行时移，从而可以达到图 7A 所示的时移后的第一数据信号的第一个高电平的眼图中心与采样脉冲信号（CLK）上升沿对齐。

如图 13 所示，为一个实施例中延时电路的示意图，其中每个校验管脚所对应的延时电路均包含多个延时元件（Delay Element, DE），每个延时元件包含了 4 个反相器(inverter)电路，每个 DE 后均包含了抽头接口，如图 14 所示，通过步进计数器（step counter）可以控制数据信号从某一个抽头出口中接出，从而达到对数据信号进行时移的目的，其中相邻的两个抽头出口之间的时间差为 1 个时移步长。例如，初始状态下某个校验管脚的第一数据信号从延时电路的第 i 个抽头出口中接出，也就是说在默认状态下计算机设备从延时电路的第 i 个抽头出口接收第一数据信号，当需要对第一数据信号进行第一方向的时移时，可以从第 i+1 以后的抽头出口接收第一数据信号，从而达到对第一数据信号进行第一方向时移的目的；当需要对第一数据信号进行第二方向的时移时，可以从第 i-1 以后的抽头出口接收第一数据信号，从而达到对第一数据信号进行第二方向时移的目的。

在一个实施例中，S806 具体包括以下步骤：通过延时电路分别对各第一数据信号沿第一方向进行时移，以使时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，得到第一时移参数；通过延时电路分别对各第一数据信号沿第二方向进行时移，以使时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐，得到第二时移参数；第一方向与第二方向是相反的方向；基于第一时移参数和第二时移参数，确定各校验管脚对应的第一延时参数。

关于对各第一数据信号沿第一方向进行时移，具体过程如下，计算机设备在得到第一数据信号之后，设置各个校验管脚相应的时移长度，并返回执行向目标存储器发送第一数据读取指令的步骤，在接收到各校验管脚重新返回的第一数据信号之后，按照所设置的时移长度对第一数据信号进行时移，并判断时移后第一数据信号中的目标电平值的上升沿是否与采样脉冲信号对齐，若各个校验管脚对应的第一数据信号中的目标电平值的上升沿与采样脉冲信号对齐，则将所设置的各个校验管脚相应的时移长度和第一方向，确定为各个管脚所对应的

第一时移参数；若各个校验管脚中至少一个校验管脚，对应的第一数据信号中的目标电平值的上升沿与采样脉冲信号未对齐，则重新设置各个校验管脚相应的时移长度，并返回执行向目标存储器发送第一数据读取指令的步骤，直至各个校验管脚对应的第一数据信号中的目标电平值的上升沿与采样脉冲信号对齐，并将对齐时各个校验管脚所对应的时移长度和第一方向，确定为相应校验管脚的第一时移参数。

以其中一个校验管脚进行举例说明，参考图 15，其中 phase 0 对应的数据信号为计算机设备通过延时电路的第 i 个（初始默认的）抽头出口所接收到的第一数据信号，也就是说 phase 0 对应的数据信号为未进行时移的第一数据信号，计算机设备在接收到该第一数据信号之后，通过图 14 所示的延时电路，设置该校验管脚时移方向为第一方向，时移长度为 n 个时移步长，也就是说将通过第 $i+n$ 个抽头出口接收第一数据信号，其中 n 是指时移的次数，并返回执行向目标存储器发送第一数据读取指令的步骤，在接收到各校验管脚重新返回的第一数据信号之后，通过第 $i+n$ 个抽头出口接收第一数据信号，得到时移后第一数据信号，并判断该时移后第一数据信号的目标电平值的上升沿与采样脉冲信号对齐，并将对齐时该校验管脚所对应的时移长度和第一方向，确定为该校验管脚的第一时移参数，如图 15 所示，phase 1 对应的数据信号为经过若干次的时移，所得到的时移后第一数据信号。

关于对各第一数据信号沿第二方向进行时移，具体过程如下，计算机设备在得到第一数据信号之后，设置各个校验管脚相应的时移长度，并返回执行向目标存储器发送第一数据读取指令的步骤，在接收到各校验管脚重新返回的第一数据信号之后，按照所设置的时移长度对第一数据信号进行时移，并判断时移后第一数据信号中的目标电平值的下降沿是否与采样脉冲信号对齐，若各个校验管脚对应的第一数据信号中的目标电平值的下降沿与采样脉冲信号对齐，则将所设置的各个校验管脚相应的时移长度和第二方向，确定为各个管脚所对应的第二时移参数；若各个校验管脚中至少一个校验管脚，对应的第一数据信号中的目标电平值的下降沿与采样脉冲信号未对齐，则重新设置该至少校验管脚相应的时移长度，并返回执行向目标存储器发送第一数据读取指令的步骤，直至各个校验管脚对应的第一数据信号中的目标电平值的下降沿与采样脉冲信号对齐，并将对齐时各个校验管脚所对应的时移长度和第二方向，确定为相应校验管脚的第二时移参数。

以其中一个校验管脚进行举例说明，参考图 15，其中 phase 0 对应的数据信号为计算机设备通过延时电路的第 i 个（初始默认的）抽头出口所接收到的第一数据信号，也就是说 phase 0 对应的数据信号为未进行时移的第一数据信号，计算机设备在接收到该第一数据信号之后，通过图 14 所示的延时电路，设置该校验管脚时移方向为第二方向，时移长度为 n 个时移步长，也就是说将通过第 $i-n$ 个抽头出口接收第一数据信号，其中 n 是指时移的次数，并返回执行向目标存储器发送第一数据读取指令的步骤，在接收到各校验管脚重新返回的第一数据信号之后，通过第 $i-n$ 个抽头出口接收第一数据信号，得到时移后第一数据信号，并判断该时移后第一数据信号的目标电平值的下降沿与采样脉冲信号对齐，并将对齐时该校验管脚所对应的时移长度，确定为该校验管脚的第二时移参数，如图 15 所示，phase 2 对应的数据信号为经过若干次的时移，所得到的时移后第一数据信号。

在一个实施例中，计算机设备在得到任一校验管脚的第一时移参数和第二时移参数之后，将该第一时移参数和第二时移参数输入以下公式，从而确定出该校验管脚的第一时延参数：

$$V_{CNT} = \frac{R_{CNT} + L_{CNT}}{2}$$

其中, V_{CNT} 表示第一时延参数, R_{CNT} 表示第一时移参数, L_{CNT} 表示第二时移参数。

上述实施例中, 计算机设备通过延时电路分别对各第一数据信号沿第一方向进行时移, 以使时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐, 得到第一时移参数; 通过延时电路分别对各第一数据信号沿第二方向进行时移, 以使时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐, 得到第二时移参数; 第一方向与第二方向是相反的方向; 基于第一时移参数和第二时移参数, 确定各校验管脚对应的第一时延参数, 从而在后续接收到各校验管脚返回的数据信号后, 也即收到奇偶校验信号后, 可以按照所确定的第一时延参数对奇偶校验信号进行时移, 以使时移后的奇偶校验信号与采样脉冲信号的上升沿对齐, 以进一步确定第二时延参数。

S808, 当接收到目标存储器中各校验管脚返回的第二数据信号时, 通过延时电路分别对各第二数据信号中目标数据信号进行时移, 以使时移后各第二数据信号中的目标电平值对齐, 得到第二时延参数。

在一个实施例中, 计算机设备在通过延时电路分别对各第一数据信号进行时移, 以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐之后, 还可以向目标存储器发送第二数据读取指令; 接收目标存储器中各校验管脚返回的第二数据信号和采样脉冲信号。

其中, 第二数据读取指令可以与第一数据读取指令相同, 也可以与第二数据读取指令不同。第二数据信号是基于读数据中的目标数据位而生成的, 读数据是目标存储器基于第二数据读取指令从目标存储器的寄存器中所读取出的数据。

需要说明的是, 目标存储器所处的操作模式为目标模式, 目标模式下各校验管脚所输出的数据不再表示读数据的校验数据, 而是将各管脚距离较近的读数据中的目标数据位的值返回至相应校验管脚内。

具体的, 目标存储器在接收到第二数据读取指令, 基于第二数据读取指令执行读操作得到读数据, 并将读数据中的目标数据位的值返回给对应的校验管脚, 通过校验管脚将目标数据位的值作为第二数据信号进行输出。

在一个实施例中, 计算机设备在得到第二数据信号之后, 还可以按照采样脉冲信号采样基于第一时延参数进行时移后的第二数据信号, 得到第四采样数据, 计算机设备通过延时电路分别对第二数据信号中目标数据信号进行时移, 以使时移后各第二数据信号中的目标电平值对齐, 得到第二时延参数的过程具体包括以下步骤: 若各第四采样数据中的目标采样数据的目标数据位, 与其他第四采样数据的目标数据位不相同, 确定第二数据信号中目标数据信号与其他第二数据信号中的目标电平值未对齐; 通过延时电路分别对第二数据信号中目标数据信号进行时移, 以使时移后各第二数据信号中的目标电平值对齐, 得到第二时延参数。

具体的, 计算机设备在得到第二数据信号之后, 通过延时电路对第二数据信号按照第一时延参数进行初始时移, 得到初始时移后第二数据信号, 并按照采样脉冲信号对初始时移后第二数据信号进行采样, 得到第四采样数据, 并查找各第四采样数据中目标数据位与其他第四采样数据的目标数据位不相同的目标采样数据, 确定目标采样数据所对应的初始时移后第二数据信号与其他初始数据信号中的第二数据信号未对齐, 通过延时电路对初始时移后第二

数据信号中的目标数据信号进行修正时移,以使时移后各第二数据信号中的目标电平值对齐;将目标数据信号在修正时移过程中的时移长度确定为第二时延参数。

需要说明的是,计算机设备对通过延时电路对各校验管脚对应的第二数据信号按照第一时延参数进行初始时移后,所得到的初始时移后第二数据信号的目标电平值的眼图中心与采样脉冲信号的上升沿对应,但是所对应的采样脉冲信号的上升沿可以是同一个时钟周期内的上升沿,也可以是不同周期内的上升沿,如图 16A 所示,为 PAR[0]至 PAR[3]四个 PAR 管脚分别所对应的第二数据信号,按照各 PAR 管脚分别所对应的第一时延参数对第二数据信号进行初始时移后,得到图 16B 所示的结果,从图 16B 可以看出,PAR[0]、PAR[1]和 PAR[3]的初始时移后第二数据信号的目标电平值的眼图中心与第 2 个时钟周期的上升沿对齐,PAR[2]的初始时移后第二数据信号的目标电平值的眼图中心与第 3 个时钟周期的上升沿对齐,对各个 PAR[0]、PAR[1]和 PAR[3]的初始时移后第二数据信号进行采样得到第四采样数据后,PAR[0]、PAR[1]和 PAR[3]的目标数据位均为第 1bit 位,PAR[2]的第四采样数据的目标数据位为第 2bit,则确定 PAR[2]的第四采样数据为目标采样数据,确定 PAR[2]的第四采样数据所对应的初始时移后第二数据信号为目标第二数据信号,则通过延时电路对 PAR[2]的初始时移后第二数据信号进行修正时移,直至所得到的 PAR[2]的修正时移后第二数据信号中的目标电平值,与 PAR[0]、PAR[1]和 PAR[3]的初始时移后第二数据信号的目标电平值对齐(如图 16C 所示),并将对齐时 PAR[2]的修正时移后第二数据信号所对应的修正时移的时移长度和方向确定为 PAR[2]的第二时延参数。而对于未进行修正时移的 PAR[0]、PAR[1]和 PAR[3]可以将其第二时延参数确定为 0。

在一个实施例中,计算机设备在得到第二数据信号之后,通过延时电路对第二数据信号按照第一时延参数进行初始时移,得到初始时移后第二数据信号,并按照采样脉冲信号对初始时移后第二数据信号进行采样,得到第四采样数据,若各个第四采样数据的目标数据位均相同,确定各第四采样数据所对应的初始时移后第二数据信号的目标电平值对齐,则确定各校验管脚所对应的第二时延参数为 0。

上述实施例中,计算机设备通过按照采样脉冲信号采样基于第一时延参数进行时移后的各第二数据信号,得到第四采样数据;并在第四采样数据中的目标采样数据的目标数据位,与其他第四采样数据的目标数据位不相同,确定第二数据信号中目标数据信号与其他第二数据信号中的目标电平值未对齐;通过延时电路分别对第二数据信号中目标数据信号进行时移,以使时移后各第二数据信号中的目标电平值对齐,得到第二时延参数,从而可以基于第二时延参数确定出各校验管脚的采样时延参数,从而在后续接收到各校验管脚返回的数据信号后,也即收到奇偶校验信号后,可以按照所确定的采样时延参数对奇偶校验信号进行时移,以使时移后的奇偶校验信号与采样脉冲信号对齐,确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

S810,基于第一时延参数和第二时延参数,确定校验管脚的采样时延参数。

具体的,计算机设备在得到各校验管脚所对应的第一时延参数和第二时延参数之后,计算相应第一时延参数和第二时延参数的和值,并将所得到的和值确定为相应校验管脚的采样时延参数,从而在后续接收到各校验管脚返回的数据信号后,也即收到奇偶校验信号后,可以按照所确定的采样时延参数对奇偶校验信号进行时移,以使时移后的奇偶校验信号与采样

脉冲信号对齐，确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

上述实施例中，计算机设备通过向目标存储器发送第一数据读取指令；接收目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐，得到第一时延参数；当接收到目标存储器中各校验管脚返回的第二数据信号时，通过延时电路分别对各第二数据信号中目标数据信号进行时移，以使时移后各第二数据信号中的目标电平值对齐，得到第二时延参数；基于第一时延参数和第二时延参数，确定校验管脚的采样时延参数，从而在后续接收到各校验管脚返回的数据信号后，也即收到奇偶校验信号后，可以按照所确定的采样时延参数对奇偶校验信号进行时移，以使时移后的奇偶校验信号与采样脉冲信号对齐，确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

在一个实施例中，计算机设备在得到第一数据信号之后，按照采样脉冲信号采样第一数据信号，得到第一采样数据，计算机设备通过延时电路分别对各第一数据信号沿第一方向进行时移，以使时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，得到第一时移参数的过程具体包括以下步骤：通过延时电路分别对各第一数据信号沿第一方向进行时移；按照采样脉冲信号对沿第一方向时移的第一数据信号进行采样，得到第二采样数据；当各第二采样数据中目标数据位的值，与第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将各第二采样数据对应的时移长度确定为第一时移参数。

需要说明的是，计算机设备在得到第一数据信号之后，按照采样脉冲信号采样第一数据信号，得到第一采样数据，所得到的第一采样数据中第一数据信号的目标电平值所对应数据位的值应当为 1，当时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐时，也即当时移后各第一数据信号中第一个高电平的上升沿与采样脉冲信号的上升沿对齐时，基于采样脉冲信号对时移后第一数据信号进行采样所得到的对应比特数据位的值应当为 0，如图 15 所示，phase 0 对应的数据信号为未进行时移的第一数据信号，按照采样脉冲信号采样该第一数据信号，所得到的第一采样数据中第 1bit 数据位的值应当为 1；phase 1 对应的数据信号为进行时移后第一数据信号，按照采样脉冲信号采样该时移后第一数据信号，所得到的第一采样数据中第 1bit 数据位的值应当为 0。

基于此，本申请实施例中，将第一采样数据中第一数据信号的目标电平值所对应数据位确定为目标数据位，将第一采样数据中目标数据位所对应的目标值设定为 0。

具体的，计算机设备在得到各第一数据信号之后，在采样脉冲信号的上升沿采样第一数据信号，得到各第一采样数据，并返回执行向目标存储器发送第一数据读取指令的步骤，通过延时电路分别对各第一数据信号沿第一方向进行时移，得到各时移后第一数据信号，并在采样脉冲信号的上升沿采样各时移后第一数据信号，得到各第二采样数据，并判断各第二采样数据中的目标数据位的值与相应的第一采样数据中目标数据位所对应的目标值是否相同，当第二采样数据中的目标数据位的值，与相应的第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，并将第二采样数据所对应的时移后第一数据信号的时移长度和第一方向确定为第一时移参数。

例如，对某个校验管脚的第一数据信号采样所得到的第一采样数据中目标数据为第 2bit 数据位，该第 2bit 数据位的值为 1，对应的目标值为 0，则在沿第一方向时移所得到的时移后第一数据信号进行采样得到第二采样数据后，获取该第二采样数据中第 2bit 数据位的值，若第二采样数据中第 2bit 数据位的值为 0，则确定沿第一方向时移所得到的时移后第一数据信号的目标电平值的上升沿与采样脉冲信号的上升沿对齐，并将时移后第一数据信号沿第一方向时移的时移长度和第一方向确定为第一时移参数。

上述实施例中，计算机设备通过按照采样脉冲信号采样第一数据信号，得到第一采样数据；通过延时电路分别对各第一数据信号沿第一方向进行时移；按照采样脉冲信号对沿第一方向时移的第一数据信号进行采样，得到第二采样数据；当各第二采样数据中目标数据位的值，与第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将各第二采样数据对应的时移长度确定为第一时移参数，进而可以基于第一时移参数，确定校验管脚的采样时延参数，从而在后续接收到各校验管脚返回的数据信号后，也即收到奇偶校验信号后，可以按照所确定的采样时延参数对奇偶校验信号进行时移，以使时移后的奇偶校验信号与采样脉冲信号对齐，确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

在一个实施例中，当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第二采样数据时，返回执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将各第二采样数据对应的时移长度确定为第一时移参数。

具体的，计算机设备在采样脉冲信号的上升沿采样各沿第一方向的时移后第一数据信号，得到各第二采样数据，并判断各第二采样数据中的目标数据位的值与相应的第一采样数据中目标数据位所对应的目标值是否相同，当至少一个第二采样数据中的目标数据位的值，与相应的第一采样数据中目标数据位所对应的目标值不相同，确定该至少一个第二采样数据所对应的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿未对齐，返回执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，将对齐时各时移后各第一数据信号对应的时移长度和第一方向确定为第一时移参数。

例如，对某个校验管脚的第一数据信号采样所得到的第一采样数据中目标数据为第 2bit 数据位，该第 2bit 数据位的值为 1，对应的目标值为 0，则在沿第一方向时移所得到的时移后第一数据信号进行采样得到第二采样数据后，获取该第二采样数据中第 2bit 数据位的值，若第二采样数据中第 2bit 数据位的值为 1，即第二采样数据中第 2bit 数据位的值 1 与目标值 0 不相同，则确定沿第一方向时移所得到的时移后第一数据信号的目标电平值的上升沿与采样脉冲信号的上升沿未对齐，返回执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，将对齐时各时移后各第一数据信号对应的时移长度和第一方向确定为第一时移参数。

上述实施例中，计算机设备当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第二采样数据时，返回执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将

各第二采样数据对应的时移长度确定为第一时移参数，进而可以基于第一时移参数，确定校验管脚的采样时延参数，从而在后续接收到各校验管脚返回的数据信号后，也即收到奇偶校验信号后，可以按照所确定的采样时延参数对奇偶校验信号进行时移，以使时移后的奇偶校验信号与采样脉冲信号对齐，确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

在一个实施例中，计算机设备在得到第一数据信号之后，按照采样脉冲信号采样第一数据信号，得到第一采样数据，计算机设备通过所述延时电路分别对各所述第一数据信号沿第二方向进行时移，以使时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐，得到第二时移参数的过程具体包括以下步骤：通过延时电路分别对各所述第一数据信号沿第二方向进行时移；按照采样脉冲信号对沿第二方向的第一数据信号进行采样，得到第三采样数据；当各第三采样数据中目标数据位的值，与第一采样数据中目标数据位所对应的目标值相同时，确定时移后各所述第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐；将各第三采样数据对应的时移长度确定为第二时移参数。

需要说明的是，计算机设备在得到第一数据信号之后，按照采样脉冲信号采样第一数据信号，得到第一采样数据，所得到的第一采样数据中第一数据信号的目标电平值所对应数据位的值应当为 1，当时移后各所述第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐时，也即当时移后各所述第一数据信号中第一个高电平下降沿与采样脉冲信号的上升沿对齐时，基于采样脉冲信号对时移后第一数据信号进行采样所得到的对应比特数据位的值应当为 0，如图 15 所示，phase 0 对应的数据信号为未进行时移的第一数据信号，按照采样脉冲信号采样该第一数据信号，所得到的第一采样数据中第 1bit 数据位的值应当为 1；phase 2 对应的数据信号为进行时移后第一数据信号，按照采样脉冲信号采样该时移后第一数据信号，所得到的第一采样数据中第 1bit 数据位的值应当为 0。

基于此，本申请实施例中，将第一采样数据中第一数据信号的目标电平值所对应数据位确定为目标数据位，将第一采样数据中目标数据位所对应的目标值设定为 0。

具体的，计算机设备在得到各第一数据信号之后，在采样脉冲信号的上升沿采样第一数据信号，得到各第一采样数据，并返回执行向目标存储器发送第一数据读取指令的步骤，通过延时电路分别对各第一数据信号沿第二方向进行时移，得到各时移后第一数据信号，并在采样脉冲信号的上升沿采样各时移后第一数据信号，得到各第三采样数据，当第三采样数据中的目标数据位的值，与相应的第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，并将第三采样数据所对应的时移后第一数据信号的时移长度和第二方向确定为第二时移参数。

例如，对某个校验管脚的第一数据信号采样所得到的第一采样数据中目标数据为第 2bit 数据位，该第 2bit 数据位的值为 1，对应的目标值为 0，则在沿第二方向时移所得到的时移后第一数据信号进行采样得到第三采样数据后，获取该第三采样数据中第 2bit 数据位的值，若第三采样数据中第 2bit 数据位的值为 0，则确定沿第二方向时移所得到的时移后第一数据信号的目标电平值的下降沿与采样脉冲信号的上升沿对齐，并将时移后第一数据信号沿第二方向时移的时移长度和第二方向确定为第二时移参数。

上述实施例中，计算机设备通过按照采样脉冲信号采样第一数据信号，得到第一采样数据；通过延时电路分别对各第一数据信号沿第二方向进行时移；按照采样脉冲信号对沿第二

方向的第一数据信号进行采样,得到第三采样数据;当各第三采样数据中目标数据位的值,与第一采样数据中目标数据位所对应的目标值相同时,确定时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐;将各第三采样数据对应的时移长度确定为第二时移参数,进而可以基于第二时移参数,确定校验管脚的采样时延参数,从而在后续接收到各校验管脚返回的数据信号后,也即收到奇偶校验信号后,可以按照所确定的采样时延参数对奇偶校验信号进行时移,以使时移后的奇偶校验信号与采样脉冲信号对齐,确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

在一个实施例中,当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第三采样数据时,返回执行向目标存储器发送第一数据读取指令的步骤,直至所得的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐;将各第三采样数据对应的时移长度确定为第二时移参数。

具体的,计算机设备基于采样脉冲信号的上升沿采样各沿第二方向的时移后第一数据信号,得到各第三采样数据,并判断各第三采样数据中的目标数据位的值与相应的第一采样数据中目标数据位所对应的目标值是否相同,当至少一个第三采样数据中的目标数据位的值,与相应的第一采样数据中目标数据位所对应的目标值不相同,确定该至少一个第三采样数据所对应的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿未对齐,返回执行向目标存储器发送第一数据读取指令的步骤,直至所得的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐,将对齐时各时移后各第一数据信号对应的时移长度和第一方向确定为第二时移参数。

例如,对某个校验管脚的第一数据信号采样所得到的第一采样数据中目标数据为第 2bit 数据位,该第 2bit 数据位的值为 1,对应的目标值为 0,则在对沿第一方向时移所得到的时移后第一数据信号进行采样得到第三采样数据后,获取该第三采样数据中第 2bit 数据位的值,若第三采样数据中第 2bit 数据位的值为 1,即第三采样数据中第 2bit 数据位的值 1 与目标值 0 不相同,则确定沿第一方向时移所得到的时移后第一数据信号的目标电平值的下降沿与采样脉冲信号的上升沿未对齐,返回执行向目标存储器发送第一数据读取指令的步骤,直至所得的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐,将对齐时各时移后各第一数据信号对应的时移长度和第一方向确定为第二时移参数。

上述实施例中,计算机设备通过当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第三采样数据时,返回执行向目标存储器发送第一数据读取指令的步骤,直至所得的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐;将各第三采样数据对应的时移长度确定为第二时移参数,进而可以基于第二时移参数,确定校验管脚的采样时延参数,从而在后续接收到各校验管脚返回的数据信号后,也即收到奇偶校验信号后,可以按照所确定的采样时延参数对奇偶校验信号进行时移,以使时移后的奇偶校验信号与采样脉冲信号对齐,确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

本申请还提供一种应用场景,该应用场景应用存储器的校验管脚处理方法。具体的,结合图 17 所示的系统架构图,该存储器的校验管脚处理方法在该应用场景的应用如下:

步骤一、设置 HBM DRAM 的操作模式为目标模式。

具体的,通过 HBM host 的模式配置单元向 HBM DRAM 发送操作模式配置指令,以使

HBM DRAM 基于操作模式配置指令，配置 HBM DRAM 为 DWORD 读 LFSR 模式。

步骤二、向 HBM DRAM 发送读指令

具体的，HBM host 通过指令发送单元向 HBM DRAM 发送读指令，HBM DRAM 对所接收的读指令进行解析，并将解析结果输入 DWORD MISR 电路，通过 DWORD MISR 电路输出读数据，并将读数据中的目标数据位通过读 PAR 发送单元返回给 HBM host。

步骤三、接收各 PAR 管脚回返回的读 PAR 数据

具体的，分别接收各个 PAR 管脚所返回的读 PAR 数据信号和采样脉冲信号（RDQS）。

步骤四、per PAR training 阶段

具体的，读 PAR 训练单元确定各 PAR 数据信号的第一个高电平的眼图中心是否与采样脉冲信号（RDQS）的上升沿对齐，若均已对齐则执行步骤五；若存在至少一个读 PAR 数据信号的第一个高电平的眼图中心与采样脉冲信号（RDQS）的上升沿未对齐，则通过读 PAR 路径延迟控制电路调整该至少一个读 PAR 数据信号对应的 PAR 路径上的延迟，并返回执行步骤二和步骤三，在接收到各读 PAR 数据信号之后，按照所确定的延迟对相应的读 PAR 数据信号进行时移，确定各时移后的各 PAR 数据信号的第一个高电平的眼图中心是否与采样脉冲信号（RDQS）的上升沿对齐，若均已对齐则执行步骤五，若存在至少一个时移后的 PAR 数据信号的第一个高电平的眼图中心与采样脉冲信号（RDQS）的上升沿未对齐，则通过读 PAR 路径延迟控制电路调整该至少一个时移后的 PAR 数据信号对应的 PAR 路径上的延迟，并返回执行步骤二和步骤三，直至所有时移后的 PAR 数据信号的第一个高电平的眼图中心与采样脉冲信号（RDQS）的上升沿对齐。将对齐时各 PAR 管脚所对应的延迟确定为第一时延参数。

例如 15 所示，某个 PAR 管脚的数据信号的最初状态为 phase 0，基于脉冲信号对该 phase 0 状态下的读 PAR 的数据信号进行采样，得到采样数据中第 2bit 数据为位的值为 1。

通过 Step Counter 不断增加该 PAR 管脚对应的电路延迟，最终，PAR 管脚的数据信号会达到 Phase1 的状态，对该 phase 1 状态下的读 PAR 的数据信号进行采样，得到采样数据中第 2bit 数据为位的值为 0，此时记录该 Step Counter 的值为 R_CNT，R_CNT 即为该 PAR 管脚的第一时延参数。

通过调整 Step Counter 不断降低该 PAR 管脚对应的电路延迟，最终，PAR 管脚的数据信号会达到 Phase2 的状态，对该 phase 2 状态下的读 PAR 的数据信号进行采样，得到采样数据中第 2bit 数据为位的值为 0，此时记录该 Step Counter 的值为 L_CNT，L_CNT 即为该 PAR 管脚的第二时延参数。

然后，得出当该 PAR 管脚的电路延迟为 $(R_CNT + L_CNT) / 2$ 时，该 PAR 管脚的延迟电路所输出的 PAR 数据信号可以达到与采样脉冲时钟上升沿对齐的目的。

步骤五、per slice training 阶段

返回执行步骤二和步骤三，按照步骤四中所确定的第一时延参数对各 PAR 管脚返回的读 PAR 数据信号进行初始时移，得到初始时移后的读 PAR 数据信号，读 PAR 训练单元确定各初始时移后的读 PAR 数据信号的第一个高电平是否对齐，若存在至少一个初始时移后的读 PAR 数据信号的第一个高电平，与其他初始时移后的读 PAR 数据信号的第一个高电平未对齐，则通过读 PAR 路径延迟控制电路调整该至少一个读 PAR 数据信号对应的 PAR 路径上的延迟，

并返回执行步骤二和步骤三，在接收到各读 PAR 数据信号之后，按照所确定的第一时延参数和延迟相应的读 PAR 数据信号进行时移，按照所确定的第一时延参数对其他的读 PAR 数据信号进行时移，确定各时移后的读 PAR 数据信号的第一个高电平是否对齐，若存在至少一个时移后的读 PAR 数据信号的第一个高电平，与其他时移后的读 PAR 数据信号的第一个高电平未对齐，则通过读 PAR 路径延迟控制电路调整该至少一个读 PAR 数据信号对应的 PAR 路径上的延迟，并返回执行步骤二和步骤三，直至各时移后的读 PAR 数据信号的第一个高电平对齐，并将对齐时各时移后的读 PAR 数据信号在该阶段中所确定的延迟确定为第二时延参数。

例如，在该阶段通过各 PAR 管脚的延迟电路接收到初始时移后的读 PAR 数据信号之后，按照采样脉冲对各初始时移后的读 PAR 数据信号进行采样，得到各采样数据，若各采样数据中第一个“1”的数据位均相同，则确定各初始时移后的读 PAR 数据信号的第一个高电平已经对齐；若存在至少一个采样数据中第一个“1”的数据位，与其他采样数据中第一个“1”的数据位不相同（如图 16B 所示），则确定存在至少一个初始时移后的读 PAR 数据信号的第一个高电平，与其他初始时移后的读 PAR 数据信号的第一个高电平未对齐，则通过读 PAR 路径延迟控制电路调整该至少一个读 PAR 数据信号对应的 PAR 路径上的延迟，并返回执行步骤二和步骤三，直至各时移后的读 PAR 数据信号的第一个高电平对齐（如图 16C 所示），并将对齐时各时移后的读 PAR 数据信号在该阶段中所确定的延迟确定为第二时延参数。

通过上述存储器的校验管脚处理方法，可以达到以下技术效果：

1. 可在 HBM 芯片 bring up 初始工作前，采用本申请的机制对读 PAR 管脚进行训练，则可以保证 HBM 芯片初始工作时，若出现后端时序不收敛以及 HBM 芯片的生产故障造成芯片读 PAR 通路的采样错误，保证芯片初始工作时，HBM DRAM 返回的 PAR 数据的准确，从而保证 HBM Host 在对读数据进行校验的过程中，不会出现错误；
2. 可在 HBM 芯片检测到 PVT（Process, Voltage and Temperature，工艺、电压和温度）有明显漂移时，软件配置芯片对读 PAR 管脚进行训练，保证芯片不会因 PVT 的漂移造成芯片读 PAR 通路的传输数据错误；
3. 可使用硬件中包含的定期读 PAR 训练的机制，定期的对 HBM 芯片进行读 PAR 训练，保证芯片不会在工作过程中出现读 PAR 的采样错误；
4. 由于本申请支持软件配置的单步读 PAR 训练，因此也可以由软件单独配置完成对整个芯片进行读 PAR 训练。由于软件可以在系统不忙时完成该动作，则可以在保证读 PAR 管脚不会出现采样错误的基础上，同时保证整个系统的效率。

应该理解的是，虽然如上所述的各实施例所涉及的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，如上所述的各实施例所涉及的流程图中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

基于同样的发明构思，本申请实施例还提供了一种用于实现上述所涉及的存储器的校验管脚处理方法的存储器的校验管脚处理装置。该装置所提供的解决问题的实现方案与上述方

法中所记载的实现方案相似，故下面所提供的一个或多个存储器的校验管脚处理装置实施例中的具体限定可以参见上文中对于存储器的校验管脚处理方法的限定，在此不再赘述。

在一个实施例中，如图 18 所示，提供了一种存储器的校验管脚处理装置，包括：指令发送模块 1802、信号接收模块 1804、信号时移模块 1806 和时延确定模块 1808，其中：

指令发送模块 1802，用于向目标存储器发送第一数据读取指令。

信号接收模块 1804，用于接收目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号。

信号时移模块 1806，用于通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐，得到第一时延参数；当接收到目标存储器中各校验管脚返回的第二数据信号时，通过延时电路分别对各第二数据信号中目标数据信号进行时移，以使时移后各第二数据信号中的目标电平值对齐，得到第二时延参数。

时延确定模块 1808，基于第一时延参数和第二时延参数，确定校验管脚的采样时延参数。

上述实施例中，通过向目标存储器发送第一数据读取指令；接收目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐，得到第一时延参数；当接收到目标存储器中各校验管脚返回的第二数据信号时，通过延时电路分别对各第二数据信号中目标数据信号进行时移，以使时移后各第二数据信号中的目标电平值对齐，得到第二时延参数；基于第一时延参数和第二时延参数，确定校验管脚的采样时延参数，从而在后续接收到各校验管脚返回的数据信号后，也即收到奇偶校验信号后，可以按照所确定的采样时延参数对奇偶校验信号进行时移，以使时移后的奇偶校验信号与采样脉冲信号对齐，确保了基于采样脉冲信号采样奇偶校验信号时的正确性。

在一个实施例中，如图 19 所示，该装置还包括：模式配置模块 1810，其中：模式配置模块 1810，用于向目标存储器发送操作模式配置指令，以使目标存储器基于操作模式配置指令配置操作模式为目标模式；指令发送模块 1802，还用于：向处于目标模式的目标存储器发送第一数据读取指令。

在一个实施例中，模式配置模块 1810，还用于：对目标存储器的读指令处理电路进行初始化；基于操作模式配置指令，配置读指令处理电路的操作模式为目标模式。

在一个实施例中，第一数据信号是基于读数据中的目标数据位而生成的；读数据是目标存储器基于第一数据读取指令从目标存储器的寄存器中所读取出的数据。

在一个实施例中，信号时移模块 1806，还用于：通过延时电路分别对各第一数据信号沿第一方向进行时移，以使时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐，得到第一时移参数；通过延时电路分别对各第一数据信号沿第二方向进行时移，以使时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐，得到第二时移参数；第一方向与第二方向是相反的方向；基于第一时移参数和第二时移参数，确定各校验管脚对应的第一时延参数。

在一个实施例中，信号时移模块 1806，还用于：按照采样脉冲信号采样第一数据信号，得到第一采样数据；通过延时电路分别对各第一数据信号沿第一方向进行时移；按照采样脉冲信号对沿第一方向时移的第一数据信号进行采样，得到第二采样数据；当各第二采样数据

中目标数据位的值，与第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将各第二采样数据对应的时移长度确定为第一时移参数。

在一个实施例中，信号时移模块 1806，还用于：当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第二采样数据时，返回通过指令发送模块 1802 执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的上升沿与采样脉冲信号的上升沿对齐；将各第二采样数据对应的时移长度确定为第一时移参数。

在一个实施例中，信号时移模块 1806，还用于：按照采样脉冲信号采样第一数据信号，得到第一采样数据；通过延时电路分别对各第一数据信号沿第二方向进行时移；按照采样脉冲信号对沿第二方向的第一数据信号进行采样，得到第三采样数据；当各第三采样数据中目标数据位的值，与第一采样数据中目标数据位所对应的目标值相同时，确定时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐；将各第三采样数据对应的时移长度确定为第二时移参数。

在一个实施例中，信号时移模块 1806，还用于：当存在目标数据位的值与第一采样数据中目标数据位所对应的目标值不相同的第三采样数据时，返回通过指令发送模块 1802 执行向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各第一数据信号中目标电平值的下降沿与采样脉冲信号的上升沿对齐；将各第三采样数据对应的时移长度确定为第二时移参数。

在一个实施例中，通过延时电路分别对各第一数据信号进行时移，以使时移后各第一数据信号中的目标电平值与采样脉冲信号对齐之后，指令发送模块 1802，还用于：向目标存储器发送第二数据读取指令；信号接收模块 1804，还用于：接收目标存储器中各校验管脚返回的第二数据信号和采样脉冲信号。

在一个实施例中，信号时移模块 1806，还用于：按照采样脉冲信号采样基于第一时延参数进行时移后的各第二数据信号，得到第四采样数据；若各第四采样数据中的目标采样数据的目标数据位，与其他第四采样数据的目标数据位不相同，确定第二数据信号中目标数据信号与其他第二数据信号中的目标电平值未对齐；通过延时电路分别对第二数据信号中目标数据信号进行时移，以使时移后各第二数据信号中的目标电平值对齐，得到第二时延参数。

上述存储器的校验管脚处理装置中的各个模块可全部或部分通过软件、硬件及其组合来实现。上述各模块可以硬件形式内嵌于或独立于计算机设备中的处理器中，也可以以软件形式存储于计算机设备中的存储器中，以便于处理器调用执行以上各个模块对应的操作。

在一个实施例中，提供了一种计算机设备，该计算机设备可以是服务器，其内部结构图可以如图 20 所示。该计算机设备包括处理器、存储器、输入/输出接口(Input/Output，简称 I/O)和通信接口。其中，处理器、存储器和输入/输出接口通过系统总线连接，通信接口通过输入/输出接口连接到系统总线。其中，该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质和内存。该非易失性存储介质存储有操作系统、计算机程序和数据库。该内存为易失性存储介质中的操作系统和计算机程序的运行提供环境。该计算机设备的数据库用于存储奇偶校验数据。该计算机设备的输入/输出接口用于

处理器与外部设备之间交换信息。该计算机设备的通信接口用于与外部的终端通过网络连接通信。该计算机程序被处理器执行时以实现一种存储器的校验管脚处理方法。

在一个实施例中，提供了一种计算机设备，该计算机设备可以是终端，其内部结构图可以如图 21 所示。该计算机设备包括处理器、存储器、输入/输出接口、通信接口、显示单元和输入装置。其中，处理器、存储器和输入/输出接口通过系统总线连接，通信接口、显示单元和输入装置通过输入/输出接口连接到系统总线。其中，该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质、内存储器。该非易失性存储介质存储有操作系统和计算机程序。该内存储器为非易失性存储介质中的操作系统和计算机程序的运行提供环境。该计算机设备的输入/输出接口用于处理器与外部设备之间交换信息。该计算机设备的通信接口用于与外部的终端进行有线或无线方式的通信，无线方式可通过 WIFI、移动蜂窝网络、NFC（近场通信）或其他技术实现。该计算机程序被处理器执行时以实现一种存储器的校验管脚处理方法。该计算机设备的显示单元用于形成视觉可见的画面，可以是显示屏、投影装置或虚拟现实成像装置，显示屏可以是液晶显示屏或电子墨水显示屏，该计算机设备的输入装置可以是显示屏上覆盖的触摸层，也可以是计算机设备外壳上设置的按键、轨迹球或触控板，还可以是外接的键盘、触控板或鼠标等。

本领域技术人员可以理解，图 20 或图 21 中示出的结构，仅仅是与本申请方案相关的部分结构的框图，并不构成对本申请方案所应用于其上的计算机设备的限定，具体的计算机设备可以包括比图中所示更多或更少的部件，或者组合某些部件，或者具有不同的部件布置。

在一个实施例中，还提供了一种计算机设备，包括存储器和处理器，存储器中存储有计算机程序，该处理器执行计算机程序时实现上述各方法实施例中的步骤。

在一个实施例中，提供了一种计算机可读存储介质，其上存储有计算机程序，该计算机程序被处理器执行时实现上述各方法实施例中的步骤。

在一个实施例中，提供了一种计算机程序产品，包括计算机程序，该计算机程序被处理器执行时实现上述各方法实施例中的步骤。

需要说明的是，本申请所涉及的用户信息（包括但不限于用户设备信息、用户个人信息等）和数据（包括但不限于用于分析的数据、存储的数据、展示的数据等），均为经用户授权或者经过各方充分授权的信息和数据，且相关数据的收集、使用和处理需要遵守相关国家和地区的相关法律法规和标准。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程，是可以通过计算机程序来指令相关的硬件来完成，所述的计算机程序可存储于一非易失性计算机可读存储介质中，该计算机程序在执行时，可包括如上述各方法的实施例的流程。其中，本申请所提供的各实施例中所使用的对存储器、数据库或其它介质的任何引用，均可包括非易失性和易失性存储器中的至少一种。非易失性存储器可包括只读存储器（Read-Only Memory, ROM）、磁带、软盘、闪存、光存储器、高密度嵌入式非易失性存储器、阻变存储器（ReRAM）、磁变存储器（Magnetoresistive Random Access Memory, MRAM）、铁电存储器（Ferroelectric Random Access Memory, FRAM）、相变存储器（Phase Change Memory, PCM）、石墨烯存储器等。易失性存储器可包括随机存取存储器（Random Access Memory, RAM）或外部高速缓冲存储器等。作为说明而非局限，RAM 可以是多种形式，比如静态随机存取存储器（Static

Random Access Memory, SRAM) 或动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 等。本申请所提供的各实施例中所涉及的数据库可包括关系型数据库和非关系型数据库中至少一种。非关系型数据库可包括基于区块链的分布式数据库等, 不限于此。本申请所提供的各实施例中所涉及的处理器可为通用处理器、中央处理器、图形处理器、数字信号处理器、可编程逻辑器、基于量子计算的数据处理逻辑器等, 不限于此。

以上实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例中的各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对本申请专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本申请构思的前提下, 还可以做出若干变形和改进, 这些都属于本申请的保护范围。因此, 本申请的保护范围应以所附权利要求为准。

权利要求书

1、一种存储器的校验管脚处理方法，由计算机设备执行，其特征在于，所述方法包括：
向目标存储器发送第一数据读取指令；

接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；

当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

2、根据权利要求1所述的方法，其特征在于，所述方法还包括：

向所述目标存储器发送操作模式配置指令，以使所述目标存储器基于所述操作模式配置指令配置操作模式为目标模式；

所述向目标存储器发送第一数据读取指令，包括：

向处于所述目标模式的目标存储器发送第一数据读取指令。

3、根据权利要求2所述的方法，其特征在于，所述基于所述操作模式配置指令配置操作模式为目标模式，包括：

对所述目标存储器的读指令处理电路进行初始化；

基于所述操作模式配置指令，配置所述读指令处理电路的操作模式为所述目标模式。

4、根据权利要求1所述的方法，其特征在于，所述第一数据信号是基于读数据中的目标数据位而生成的；

所述读数据是所述目标存储器基于所述第一数据读取指令从所述目标存储器的寄存器中所读取出的数据。

5、根据权利要求1所述的方法，其特征在于，所述通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数，包括：

通过所述延时电路分别对各所述第一数据信号沿第一方向进行时移，以使时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐，得到第一时移参数；

通过所述延时电路分别对各所述第一数据信号沿第二方向进行时移，以使时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐，得到第二时移参数；所述第一方向与所述第二方向是相反的方向；

基于所述第一时移参数和所述第二时移参数，确定各所述校验管脚对应的第一时延参数。

6、根据权利要求5所述的方法，其特征在于，所述方法还包括：

按照所述采样脉冲信号采样所述第一数据信号，得到第一采样数据；

所述通过所述延时电路分别对各所述第一数据信号沿第一方向进行时移，以使时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐，得到第一时移参数，包括：

通过所述延时电路分别对各所述第一数据信号沿第一方向进行时移；

按照所述采样脉冲信号对沿所述第一方向时移的第一数据信号进行采样，得到第二采样数据；

当各所述第二采样数据中目标数据位的值，与所述第一采样数据中目标数据位所对应的目标值相同时，确定时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐；

将各所述第二采样数据对应的时移长度确定为第一时移参数。

7、根据权利要求6所述的方法，其特征在于，所述方法还包括：

当存在目标数据位的值与所述第一采样数据中目标数据位所对应的目标值不相同的所述第二采样数据时，返回执行所述向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐；

将各所述第二采样数据对应的时移长度确定为第一时移参数。

8、根据权利要求5所述的方法，其特征在于，所述方法还包括：

按照所述采样脉冲信号采样所述第一数据信号，得到第一采样数据；

所述通过所述延时电路分别对各所述第一数据信号沿第二方向进行时移，以使时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐，得到第二时移参数，包括：

通过所述延时电路分别对各所述第一数据信号沿第二方向进行时移；

按照所述采样脉冲信号对沿所述第二方向的第一数据信号进行采样，得到第三采样数据；

当各所述第三采样数据中目标数据位的值，与所述第一采样数据中目标数据位所对应的目标值相同时，确定时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐；

将各所述第三采样数据对应的时移长度确定为第二时移参数。

9、根据权利要求8所述的方法，其特征在于，所述方法还包括：

当存在目标数据位的值与所述第一采样数据中目标数据位所对应的目标值不相同的所述第三采样数据时，返回执行所述向目标存储器发送第一数据读取指令的步骤，直至所得的时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐；

将各所述第三采样数据对应的时移长度确定为第二时移参数。

10、根据权利要求1所述的方法，其特征在于，通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐之后，所述方法还包括：

向所述目标存储器发送第二数据读取指令；

接收所述目标存储器中各校验管脚返回的第二数据信号和采样脉冲信号。

11、根据权利要求10所述的方法，其特征在于，所述方法还包括：

按照所述采样脉冲信号采样基于所述第一时延参数进行时移后的各所述第二数据信号，得到第四采样数据；

所述通过所述延时电路分别对所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数，包括：

若各所述第四采样数据中的目标采样数据的目标数据位，与其他所述第四采样数据的目标

标数据位不相同，确定所述第二数据信号中目标数据信号与其他所述第二数据信号中的目标电平值未对齐；

通过所述延时电路分别对所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数。

12、一种存储器的校验管脚处理装置，其特征在于，所述装置包括：

指令发送模块，用于向目标存储器发送第一数据读取指令；

信号接收模块，用于接收所述目标存储器中各校验管脚返回的第一数据信号和采样脉冲信号；

信号时移模块，用于通过延时电路分别对各所述第一数据信号进行时移，以使时移后各所述第一数据信号中的目标电平值与所述采样脉冲信号对齐，得到第一时延参数；当接收到所述目标存储器中各所述校验管脚返回的第二数据信号时，通过所述延时电路分别对各所述第二数据信号中目标数据信号进行时移，以使时移后各所述第二数据信号中的目标电平值对齐，得到第二时延参数；

时延确定模块，基于所述第一时延参数和所述第二时延参数，确定所述校验管脚的采样时延参数。

13、根据权利要求12所述的装置，其特征在于，所述装置还包括模式配置模块，所述模式配置模块用于：

向所述目标存储器发送操作模式配置指令，以使所述目标存储器基于所述操作模式配置指令配置操作模式为目标模式；

所述向目标存储器发送第一数据读取指令，包括：

向处于所述目标模式的目标存储器发送第一数据读取指令。

14、根据权利要求13所述的装置，其特征在于，所述模式配置模块还用于：

对所述目标存储器的读指令处理电路进行初始化；

基于所述操作模式配置指令，配置所述读指令处理电路的操作模式为所述目标模式。

15、根据权利要求12所述的装置，其特征在于，所述第一数据信号是基于读数据中的目标数据位而生成的；

所述读数据是所述目标存储器基于所述第一数据读取指令从所述目标存储器的寄存器中所读取出的数据。

16、根据权利要求12所述的装置，其特征在于，所述信号时移模块，还用于：

通过所述延时电路分别对各所述第一数据信号沿第一方向进行时移，以使时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐，得到第一时移参数；

通过所述延时电路分别对各所述第一数据信号沿第二方向进行时移，以使时移后各所述第一数据信号中目标电平值的下降沿与所述采样脉冲信号的上升沿对齐，得到第二时移参数；所述第一方向与所述第二方向是相反的方向；

基于所述第一时移参数和所述第二时移参数，确定各所述校验管脚对应的第一时延参数。

17、根据权利要求16所述的装置，其特征在于，所述信号时移模块还用于：

按照所述采样脉冲信号采样所述第一数据信号，得到第一采样数据；

通过所述延时电路分别对各所述第一数据信号沿第一方向进行时移；

按照所述采样脉冲信号对沿所述第一方向时移的第一数据信号进行采样，得到第二采样数据；

当各所述第二采样数据中目标数据位的值，与所述第一采样数据中目标数据位所对应的目标值相同时，确定时移后各所述第一数据信号中目标电平值的上升沿与所述采样脉冲信号的上升沿对齐；

将各所述第二采样数据对应的时移长度确定为第一时移参数。

18、一种计算机设备，包括存储器和处理器，所述存储器存储有计算机程序，其特征在于，所述处理器执行所述计算机程序时实现权利要求 1 至 11 中任一项所述的方法的步骤。

19、一种计算机可读存储介质，其上存储有计算机程序，其特征在于，所述计算机程序被处理器执行时实现权利要求 1 至 11 中任一项所述的方法的步骤。

20、一种计算机程序产品，包括计算机可读指令，其特征在于，该计算机可读指令被处理器执行时实现权利要求 1 至 11 中任一项所述的方法的步骤。