

半导体结构及其制作方法

本公开基于申请号为 202110746053.8，申请日为 2021 年 07 月 01 日，申请名称为“半导体结构及其制作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种半导体结构及其制作方法。

背景技术

随着半导体器件的集成密度朝着更高的方向发展，开始对半导体结构中晶体管的排布方式以及如何缩小半导体结构中单个功能器件的尺寸进行研究。

相关技术中，基于马鞍形鳍晶体管的动态随机存取存储器（DRAM，Dynamic Random Access Memor）存储单元的占据面积为 $6F^2$ （F：在给定工艺条件下可获得的最小图案尺寸），为进一步缩小 DRAM 占据面积，对 DRAM 进行等比例缩放时，会面临临近栅效应等问题，对 DRAM 的电学性能造成不利影响。利用垂直的全环绕栅极（GAA，Gate-All-Around）晶体管结构作为选择晶体管（access transistor）时，其占据的面积可以达到 $4F^2$ ，原则上可以实现更高的密度效率，但是在部分尺寸下，由于制造工艺所采用的设备以及制造流程的限制，存在字线刻蚀困难等问题。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供一种半导体结构及其制作方法，有利于简化字线的形成步骤，且形成尺寸精度高且尺寸小的字线和半导体通道。

本公开实施例第一方面，提供一种半导体结构的制作方法，包括：提供基底；在所述基底上形成位线，以及在所述位线远离所述基底的表面形成半导体通道，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次

排列的第一掺杂区、沟道区以及第二掺杂区；形成第一介质层，所述第一介质层环绕所述半导体通道侧壁，且位于同一所述位线上相邻所述半导体通道侧壁的所述第一介质层之间具有第一间隙；形成第二介质层，所述第二介质层填充所述第一间隙，且所述第二介质层的材料和所述第一介质层的材料不同；去除部分所述第一介质层至露出所述沟道区侧壁；形成绝缘层，所述绝缘层至少覆盖所述沟道区侧壁表面，且所述绝缘层与所述第二介质层之间具有第二间隙；形成字线，所述字线填充所述第二间隙。

本公开实施例第二方面，提供一种半导体结构，包括：基底；位线，位于所述基底上；半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触；第一介质层，环绕所述第一掺杂区设置，且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔；绝缘层，至少覆盖所述沟道区侧壁表面；字线，环绕位于所述沟道区侧壁的所述绝缘层，且相邻所述字线之间具有第二间隔；隔离层，至少位于所述第一间隔和所述第二间隔中，且所述隔离层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 至图 25 为本公开一实施例提供的半导体结构的制作方法各步骤对应的结构示意图；

图 26 至图 31 为本公开又一实施例提供的半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

经分析发现，形成环绕 GAA 晶体管中半导体通道的沟道区侧壁的字线时，通常需要通过沉积加刻蚀两个工艺步骤，形成多条相互分立的字线。然而，由于集成度较高，相邻半导体通道之间的间隔也较小，通过刻蚀工艺形成字线的步骤中，刻蚀精度难以控制，因而形成字线的尺寸精度也难以控制。此外，当 GAA 晶体管的尺寸较小时，要形成垂直结构的 GAA 有结晶体管，对半导体通道各区域的掺杂浓度难以控制，影响最终形成的 PN 结的良率

本公开实施例提供一种半导体结构及其制作方法，制作方法中，部分第一介质层占据后续所需形成的绝缘层和字线的位置，后续形成第二介质层后，去除位于沟道区侧壁的第一介质层时，剩余第一介质层位于第一掺杂区侧壁，使得在沟道区侧壁形成绝缘层时，剩余第一介质层能保护第一掺杂区不受影响，且绝缘层与第二介质层之间形成第二间隙，则可通过自对准的方式在第二间隙中形成尺寸精确的字线，无需通过刻蚀工艺即可形成高尺寸精度的字线，有利于简化字线的形成步骤，且通过调控第二间隙的尺寸，即可获得小尺寸的字线。此外，第一掺杂区、沟道区和第二掺杂区中的掺杂离子的掺杂浓度可以相同，使得半导体通道 105 构成的器件为无结晶体管（Junctionless Transistor）。

本公开实施例提供一种半导体结构的制作方法，以下将结合附图对本公开实施例提供的半导体结构的制作方法进行详细说明。图 1 至图 25 为本公开实施例提供的半导体结构的制作方法各步骤对应的结构示意图。需要说明的是，为了便于描述以及清晰地示意出半导体结构制作方法的步骤，本实施例中的图 1 至图 25 均为半导体结构的局部结构示意图。

参考图 1，提供基底 100，本实施例中，基底 100 包括：衬底 110 以及在衬底 110 上依次堆叠的缓冲层 120 和保护层 130。

本实施例中，提供基底 100 包括如下步骤：

提供衬底 110，衬底 110 的材料类型可以为元素半导体材料或者晶态无

机化合物半导体材料。元素半导体材料可以为硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

衬底 110 包括：半导体阱层 11，半导体阱层 11 内掺杂有第一类型离子；初始半导体层 10，设置于半导体阱层 11 上。

对初始半导体层 10 进行掺杂处理以及退火处理，使得初始半导体层 10 内掺杂有第二类型离子，用于后续在初始半导体层 10 的基础上形成位线和半导体通道，且第二类型离子与第一类型离子不同，第一类型离子与第二类型离子均为 N 型离子或 P 型离子中的一者。N 型离子为砷离子、磷离子或者锑离子中的至少一种；P 型离子为硼离子、镓离子或者铟离子中的至少一种。

掺杂处理可以采用高温扩散或者离子注入的方法，当采用离子注入的方式对初始半导体层 10 进行掺杂处理后，退火处理的退火温度为 800℃~1000℃。

本实施例中，第二类型离子在初始半导体层 10 内的掺杂浓度为 1×10^{19} atom/cm³~ 1×10^{20} atom/cm³，且在初始半导体层 10 指向半导体阱层 11 的方向上，初始半导体层 10 内第二类型离子的掺杂深度为 150nm~250nm。第一类型离子为 P 型离子，第二类型离子为 N 型离子。在其他实施例中，第一类型离子可以为 N 型离子，第二类型离子可以为 P 型离子。

在初始半导体层 10 远离半导体阱层 11 的一侧依次堆叠形成缓冲层 120 和保护层 130。在一些例子中，可采用沉积工艺形成缓冲层 120 和保护层 130，缓冲层 120 的材料为氧化硅，保护层 130 的材料为氮化硅。

可以采用化学气相沉积工艺沉积氮化硅以形成保护层 130，氮化硅膜层的氧化速度非常慢，有利于保护位于氮化硅膜层下方的衬底 110，避免衬底 110 被氧化。

在一些例子中，衬底 110 为硅衬底，由于氮化硅的晶格常数和热膨胀系数与硅衬底的晶格常数和热膨胀系数的失配率都很大，因而若在硅衬底上直接形成氮化硅，氮化硅和硅的界面处缺陷密度大，容易成为载流子陷阱和复合中心，影响硅的载流子迁移率，从而影响半导体结构的性能和工作寿命。氮化硅薄膜应力较大，直接沉积在硅衬底上易出现龟裂现象。在硅衬底上沉积氮化硅之前先形成氧化硅作为缓冲层 120，有利于提高导体结构的性能和工作寿命。

参考图 1 至图 4，在基底 100 上形成位线 104，以及在位线 104 远离基底

100 的表面形成半导体通道 105，在沿基底 100 指向位线 104 的方向 Z 上，半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III。

本实施例中，形成位线 104 和半导体通道 105 包括如下步骤：

参考图 1，在基底 100 上形成第一掩膜层 102，第一掩膜层 102 具有多个相互分立的第一开口 b，在沿第一开口 b 的延伸方向 X 上，第一开口 b 的长度与后续形成的位线的长度一致。

参考图 2，以第一掩膜层 102 为掩膜刻蚀基底 100，形成多个第一沟槽 a，并去除第一掩膜层 102。

本实施例中，沿垂直于基底 100 表面的方向 Z，第一沟槽 a 的深度为 250nm~300nm。由于第一沟槽 a 的深度大于初始半导体层 10 内第二类型离子的掺杂深度，有利于保证掺杂有第二类型离子的初始半导体层 10 均被刻蚀，便于后续形成第二类型离子掺杂浓度高的半导体通道和位线。

参考图 3，在第一沟槽 a 中形成第五介质层 153。

本实施例中，可采用以下工艺步骤形成第五介质层 153：进行沉积工艺，形成覆盖保护层 130 顶面以及填充满的第五介质膜；对第五介质膜进行化学机械平坦化处理至露出保护层 130 顶面，剩余第五介质膜作为第五介质层 153。第五介质膜的材料包括氧化硅。

在第五介质层 153 和剩余基底 100 共同构成的顶面上形成第二掩膜层 112，第二掩膜层 112 具有多个相互分立的第二开口 c，在沿第二开口 c 的延伸方向 Y 上，第二开口 c 的长度与后续形成的字线的长度一致。

本实施例中，结合参考图 1 和图 3，第一开口 b 的延伸方向 X 垂直于第二开口 c 的延伸方向 Y，使得后续形成的半导体通道呈现 4F2 的排布方式，有利于进一步提高半导体结构的集成密度。在其他实施例中，第一开口的延伸方向与第二开口的延伸方向相交，两者之间的夹角可以不为 90°。

第一开口 b 沿方向 Y 上的开口宽度与第二开口 c 沿方向 X 上的开口宽度的比值为 2~1，以保证后续能形成露出环绕沟道区 II 侧壁的第一介质层的通孔，从而有利于后续形成用于制造字线的第二间隙。在一些例子中，第一开口 b 沿方向 Y 上的开口宽度等于第二开口 c 沿方向 X 上的开口宽度，且相邻第一开口 b 之间的间距等于相邻第二开口 c 之间的间距，一方面，使得后续形成的多个半导体通道排列规整，进一步提高半导体结构的集成密度；另一

方面，可以采用同一掩膜版形成第一掩膜层 102 和形成第二掩膜层 112，有利于降低半导体结构的制备成本。

本实施例中，形成第一掩膜层 102 和形成第二掩膜层 112 的方法均包括自对准多重曝光技术（SAQP，Self-Aligned Quadruple Patterning）或者自对准多重成像技术（SADP，Self-aligned Double Patterning）。

参考图 4，以第二掩膜层 112 为掩膜刻蚀基底 100（参考图 1）和第五介质层 153，形成多个第二沟槽 d、位线 104 和半导体通道 105，且在垂直于基底 100 表面的方向 Z 上，第二沟槽 d 的深度小于第一沟槽 a 的深度，有利于在形成位线 104 的同时，在位线 104 远离半导体阱层 11 的一侧形成多个相互分立的半导体通道 105，且位线 104 与半导体通道 105 的第一掺杂区 I 相接触；去除第二掩膜层 112。

在一些例子中，第二沟槽 d 的深度为 100nm~150nm，由于初始半导体层 10（参考图 1）内第二类型离子的掺杂深度为 150nm~250nm，有利于使得大部分或者全部掺杂有第二类型离子的初始半导体层 10 经过两次刻蚀转变为半导体通道 105。

衬底 110 的材料为硅，第五介质层 153 的材料为氧化硅，在以第二掩膜层 112 为掩膜刻蚀基底 100 和第五介质层 153 的步骤中，刻蚀工艺对氧化硅的刻蚀速率大于对硅的刻蚀速率，因而位线 104 的部分侧壁会暴露出来。

本实施例中，在半导体阱层 11 上可以形成多个间隔排布的位线 104，以及每一位线 104 可与至少一个第一掺杂区 I 相接触，图 4 中以 4 个相互间隔的位线 104，以及每一位线 104 与 4 个第一掺杂区 I 相接触作为示例，可根据实际电学需求，合理设置位线 104 的数量以及与每一位线 104 相接触的第一掺杂区 I 的数量。

为了实现相邻位线 104 和相邻半导体通道 105 之间的电绝缘，以第二掩膜层 112 为掩膜刻蚀基底 100 和第五介质层 153 之后，剩余第五介质层 153 还位于相邻位线 104 的间隔中，以及位于相邻半导体通道 105 的间隔中。

本实施例中，由于初始半导体层 10（参考图 1）掺杂有 N 型离子，因此本步骤中形成的位线 104 和半导体通道 105 中可以掺杂有 N 型离子。

位线 104 中掺杂有 N 型离子，半导体阱层 11 中掺杂有 P 型离子，位线 104 与半导体阱层 11 构成 PN 结，该 PN 结有利于防止位线 104 漏电，进一

步改善半导体结构的电学性能。在其他实施例中，基底也可以不包括半导体阱层，即基底为初始半导体层，且位线位于初始半导体层表面。

半导体通道 105 构成的器件为无结晶体管，即第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的类型相同，例如掺杂离子均为 N 型离子，进一步地，第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子可以相同。此处的“无结”指的是无 PN 结，即半导体通道 105 构成的晶体管中没有 PN 结，即第一掺杂区 I、沟道区 II 和第二掺杂区 III 中的掺杂离子的掺杂浓度相同，这样的好处包括：一方面，无需对第一掺杂区 I 和第二掺杂区 III 进行额外的掺杂，从而避免了对第一掺杂区 I 和第二掺杂区 III 的掺杂工艺难以控制的问题，尤其是随着晶体管尺寸进一步缩小，若额外对第一掺杂区 I 和第二掺杂区 III 进行掺杂，掺杂浓度更加难以控制；另一方面，由于器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，在几纳米的尺度范围内仍然可以工作，因而有助于进一步提高半导体结构的集成密度和电学性能。此处额外的掺杂指的是，为了让第一掺杂区 I 和第二掺杂区 III 的掺杂离子类型与沟道区 II 的掺杂离子类型不同而进行的掺杂。

形成半导体通道 105 垂直于位线 104 远离半导体阱层 11 顶面的 GAA 晶体管，可以构成 3D 堆叠的半导体结构，有利于在不对 GAA 晶体管的电学性能造成不利影响的前提下，设计尺寸特征更小的 GAA 晶体管，以提高半导体结构的集成密度。

本实施例中，利用第一掩膜层 102 和第二掩膜层 112，通过两次刻蚀工艺同时形成位线 104 和半导体通道 105，一方面，有利于通过调控第一开口 b 和第二开口 c 的尺寸调控半导体通道 105 的尺寸，且形成尺寸精度较高的半导体通道 105；另一方面，位线 104 和半导体通道 105 均是通过刻蚀衬底 110 形成的，即位线 104 和半导体通道 105 利用同一膜层结构形成，使得位线 104 和半导体通道 105 为一体结构，从而改善位线 104 和半导体通道 105 之间的界面态缺陷，改善半导体结构的性能。在以第一掩膜层 102 为掩膜刻蚀基底 100 之后，在第一沟槽 a 中还形成有第五介质层 153，为后续在沟道区 II 侧壁和第二介质层之间形成空隙做前期准备，从而有利于后续形成制备字线的第

二间隙。

参考图 5 至图 8，形成第一介质层 113，第一介质层 113 环绕半导体通道 105 侧壁，且位于同一位线 104 上相邻半导体通道 105 侧壁的第一介质层 113 之间具有第一间隙 e。

图 7 为图 6 所示结构沿第一截面方向 AA1 的剖面示意图，图 8 为图 6 所示结构沿第二截面方向 BB1 的剖面示意图。需要说明的是，后续将根据表述需要设置沿第一截面方向 AA1 的剖面示意图以及沿第二截面方向 BB1 的剖面示意图中的一者或者两者，当仅参考一个附图时，附图为沿第一截面方向 AA1 的剖面示意图；当同时参考两个附图时，附图首先为沿第一截面方向 AA1 的剖面示意图，其次为沿第二截面方向 BB1 的剖面示意图。

本实施例中，形成第一介质层包括如下步骤：

参考图 5，形成第六介质膜 103，第六介质膜 103 保形覆盖第二沟槽 d 的侧壁和底部，且还位于保护层 130 和第五介质层 153 的顶面。

结合参考图 5 和图 6，对第六介质膜 103 进行无掩膜干法刻蚀工艺，直至露出保护层 130，利用相同的刻蚀时间内，刻蚀工艺刻蚀第六介质膜 103 不同区域的厚度相同，形成第六介质层 163。

结合参考图 6 至图 8，第六介质层 163 位于第二沟槽 d 的侧壁，第五介质层 153 位于相邻半导体通道 105 的间隔中，第五介质层 153 和第六介质层 163 共同组成第一介质层 113，且位于第二沟槽 d 侧壁的第六介质层 163 之间具有第一间隙 e。

第六介质层 163 的材料与第五介质层 153 的材料相同，便于后续通过刻蚀工艺一同去除与沟道区 II 侧壁对应的第六介质层 163 和第五介质层 153，从而在沟道区 II 侧壁和后续形成的第二介质层之间形成空隙，从而有利于后续形成制备字线的第二间隙。第六介质层 163 的材料与第五介质层 153 的材料均为氧化硅。

在其他实施例中，第六介质层的材料和第五介质层的材料也可以不同，只需满足第六介质层的材料和第五介质层的材料为绝缘效果良好的材料即可，然后可以分步去除与沟道区侧壁对应的第六介质层和第五介质层。

结合参考图 7 和图 9，形成第二介质层 123，填充第一间隙 e，且第二介质层 123 的材料和第一介质层 113 的材料不同。

在一些例子中，可采用以下工艺步骤形成第二介质层 123：进行沉积工艺，形成覆盖保护层 130 顶面以及填充第一间隙 e 的第二介质膜；对第二介质膜、保护层 130、缓冲层 120 以及第一介质层 113（参考图 6）进行化学机械平坦化处理至露出第二掺杂区 III 顶面，剩余第二介质膜作为第二介质层 123。第二介质膜的材料包括氮化硅。

参考图 10 至图 17，去除部分第一介质层 113 至露出沟道区 II 侧壁。

在一些例子中，去除部分第一介质层 113 至露出沟道区 II 侧壁的步骤如下：

结合参考图 9 和图 10，以半导体通道 105 和第二介质层 123 为掩膜，刻蚀部分第一介质层 113 至露出第二掺杂区 III 侧壁。在一些例子中，在垂直于位线 104 指向半导体通道 105 的方向 Z 上，第二掺杂区 III 的高度为 30nm~50nm。

参考图 11 至图 14，图 12 为图 11 的俯视示意图，图 13 为沿第三截面方向 CC1 的剖面示意图，图 14 为沿第二截面方向 BB1 的剖面示意图。

形成第三介质层 133，第三介质层 133 环绕第二掺杂区 III 侧壁和位于第二介质层 123 侧壁，位于第二掺杂区 III 侧壁的第三介质层 133 和位于第二介质层 123 侧壁的第三介质层 133 共同围成通孔 f，通孔 f 底部露出第一介质层 113，且第三介质层 133 的材料和第一介质层 113 的材料不同。

参考图 13 和图 14，第三介质层 133 在环绕第二掺杂区 III 侧壁的同时，覆盖第六介质层 163 顶面和部分第五介质层 153 顶面，通孔 f 露出的是第五介质层 153 的部分顶面。

本实施例中，可采用以下工艺步骤形成第三介质层 133：进行沉积工艺，形成保形覆盖由半导体通道 105、第一介质层 113 以及第二介质层 123 共同构成的表面的第三介质膜；对第三介质膜进行无掩膜干法刻蚀工艺，直至露出第二掺杂区 III 顶面，利用相同的刻蚀时间内，刻蚀工艺刻蚀第三介质膜不同区域的厚度相同，形成露出第一介质层 113 的第三介质层 133。第三介质层 133 的材料包括氮化硅。

在前述的第一掩膜层 102 和第二掩膜层 112 中，第一开口 b 沿方向 Y 上的开口宽度与第二开口 c 沿方向 X 上的开口宽度的比值为 2~1，在形成第三介质层 133 时，有利于保证第三介质层 133 填充满同一位线 104 上相邻半导

体通道 105 之间的间隔的同时，不会将相邻位线 104 上相邻半导体通道 105 之间的间隙填满，从而保证形成露出第五介质层 153 的部分顶面的通孔 f，便于后续利用通孔 f 去除部分第一介质层 113。

参考图 15 至图 17，去除通孔 f 露出的位于沟道区 II 侧壁的第一介质层 113，剩余第一介质层 113 环绕第一掺杂区 I 侧壁。

由于通孔 f 露出第一介质层 113 的部分顶面，第一介质层 113 的材料与第二介质层 123 和第三介质层 133 的材料均不相同，则可以向通孔 f 中注入刻蚀液，通过湿法刻蚀工艺去除位于沟道区 II 侧壁的第一介质层 113，保留位于第一掺杂区 I 侧壁的第一介质层 113。

第二介质层 123 和第三介质层 133 共同组成支撑骨架，支撑骨架与第二掺杂区 III 相接触连接，且部分支撑骨架嵌入第一介质层 113 中。在进行湿法刻蚀工艺的步骤中，一方面，支撑骨架有对半导体通道 105 起支撑固定的作用，当刻蚀液流动时产生对半导体通道 105 的挤压力，有利于避免半导体通道 105 受挤压发生倾斜或者偏移，以提高半导体结构的稳定性；另一方面，支撑骨架包裹着第二掺杂区 III 侧壁，有利于避免刻蚀液对第二掺杂区 III 造成损伤。

去除位于沟道区 II 侧壁的第一介质层 113 之后，沟道区 II 与第二介质层 123 之间形成第三间隙 g，通孔 f 和第三间隙 g 共同组成洞穴结构 h。

参考图 18 和图 19，形成绝缘层 106，绝缘层 106 至少覆盖沟道区 II 侧壁表面，且绝缘层 106 与第二介质层 123 之间具有第二间隙 i。参考图 19，第二间隙 i 还位于相邻位线 104 的相邻半导体通道 105 侧壁的绝缘层 106 之间。

本实施例中，由于半导体通道 105 的材料为硅，形成绝缘层 106 的步骤包括：对露出的沟道区 II 侧壁进行热氧化处理，以形成绝缘层 106，且绝缘层 106 覆盖剩余沟道区 II 的侧壁表面。绝缘层 106 的材料为氧化硅。在其他实施例中，也可以通过沉积工艺形成覆盖沟道区侧壁表面的绝缘层。

由于对露出的沟道区 II 侧壁进行热氧化处理，则沟道区 II 的部分区域被转化为绝缘层 106，使得沟道区 II 在位线 104 上的正投影小于第二掺杂区 III 在位线 104 上的正投影，且小于第一掺杂区 I 在位线 104 上的正投影，有利于在不采用刻蚀工艺的前提下，形成在垂直于位线 104 指向半导体通道 105 的方向 Z 的截面中，截面面积更加小的沟道区 II，有利于提高后续形成的字

线对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。

在一些例子中，在垂直于方向 Z 的截面中，沟道区 II 的宽度 W 和沟道区 II 的长度 L 不高于 10nm，有利于保证后续形成的字线对沟道区 II 有良好的控制能力。在方向 Z 上，沟道区 II 的高度为 30nm~50nm。

由于第二掺杂区 III 顶面暴露在外，在热氧化处理的过程中，第二掺杂区 II 的靠近顶面的部分区域也转化为绝缘层 106。本实施例中，在后续的工艺步骤中去除位于剩余第二掺杂区 III 顶面的绝缘层 106。在其他实施例中，可以在热氧化处理之后，就去除位于剩余第二掺杂区顶面的绝缘层，仅保留覆盖剩余沟道区的侧壁表面的绝缘层。

继续参考图 18 和图 19，绝缘层 106 的外围在位线 104 上的正投影小于第三介质层 133 的外围在位线 104 上的正投影，即绝缘层 106 远离半导体通道 105 的外壁相较于第三介质层 133 远离半导体通道 105 外壁，更靠近半导体通道 105，从而保证绝缘层 106 与第二介质层 123 之间具有第二间隙 i，使得后续字线能环绕位于沟道区 II 侧壁的绝缘层 106。绝缘层 106 远离半导体通道 105 的外壁相较于第一介质层 113（参考图 15）远离半导体通道 105 外壁，也可以更靠近半导体通道 105。

参考图 20 和图 22，图 22 为图 21 中一条字线 107 环绕四个半导体通道 105 的局部剖视图。

形成字线 107，字线 107 填满第二间隙 i。

本实施例中，形成字线 107 的步骤包括：形成初始字线，初始字线填满第二间隙 i 和通孔 f。初始字线位于绝缘层 106 与第二介质层 123 之间，且位于相邻位线 104 上相邻沟道区 II 侧壁的绝缘层 106 之间；去除位于通孔 f 中的初始字线，剩余初始字线作为字线 107。可通过沉积工艺形成初始字线，初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

初始字线自对准地填满洞穴结构 h（参考图 15），去除位于通孔 f 中的初始字线之后，有利于自对准地形成尺寸精确的字线 107，无需通过刻蚀工艺来设计字线 107 的尺寸，有利于简化字线 107 的形成步骤，且通过调控第二间隙 i 的尺寸，即可获得小尺寸的字线 107。

参考图 23，形成字线 107 之后，还形成第四介质层 143，第四介质层 143 填满通孔 f（参考图 21）。

本实施例中,可采用以下工艺步骤形成第四介质层 143: 进行沉积工艺, 形成覆盖位于第二掺杂区 III 顶面的绝缘层 106 的顶面以及填充满通孔 f 的第四介质膜; 对第四介质膜进行化学机械平坦化处理至露出绝缘层 106 顶面, 剩余第四介质膜作为第四介质层 143。第四介质膜与第二介质层和第三介质层的材料相同, 均包括氮化硅。在其他实施例中, 也可以对第四介质膜进行化学机械平坦化处理至露出第二掺杂区顶面, 即同步去除位于第二掺杂区顶面的绝缘层, 剩余第四介质膜作为第四介质层。

参考图 23 至图 25, 去除位于第二掺杂区 III 顶面的绝缘层 106, 采用外延生长工艺, 在第二掺杂区 III 顶面形成电容接触层 108, 且电容接触层 108 在位线 104 上的正投影覆盖第二掺杂区 III 在位线 104 上的正投影。

一方面, 采用外延生长工艺有利于提升第二掺杂区 III 和电容接触层 108 之间的连续性, 减少因晶格特性不同或者晶格错位导致的接触缺陷, 减小因接触缺陷导致的接触电阻, 提升载流子的传输能力和移动速度, 进而提高第二掺杂区 III 和电容接触层 108 之间的导电性能, 以及降低半导体结构运行过程中的发热; 另一方面, 采用外延生长工艺有利于增大电容接触层 108 在位线 104 上的正投影, 后续在电容接触层 108 上形成电容结构的下电极时, 有利于增大电容接触层 108 与下电极之间的接触面积, 从而降低电容接触层 108 与下电极之间的接触电阻。

在外延生长的工艺步骤中, 在电容接触层 108 还掺杂有与第二掺杂区 III 中相同类型的掺杂离子, 且掺杂离子在电容接触层 108 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度, 则电容接触层 108 的电阻小于第二掺杂区 III 的电阻, 有利于进一步降低第二掺杂区 III 与下电极之间的传输电阻。

在电容接触层 108 和第四介质层 143 共同构成的表面形成电容结构 (图中未示出)。

在其他实施例中, 在形成字线之后, 可以采用湿法刻蚀工艺去除第二介质层和第三介质层, 形成露出字线和第一介质层全部顶面的第四间隙; 采用沉积工艺, 形成填充满第四间隙的第七介质层, 由于第七介质层为一体结构, 第七介质层的致密度较高, 内部缺陷少, 有利于增强第七介质层对相邻半导体通道以及相邻位线之间的隔离效果。第七介质层的材料和第二介质层的材料可以相同, 在一些例子中, 第七介质层的材料和第二介质层的材料均为氮化

硅。

在其他实施例中，还可以不形成电容接触层，在去除位于第二掺杂区顶面的绝缘层之后，直接在第二掺杂区顶面形成电容结构。

综上所述，通过形成第一介质层 113 和第二介质层 123，以第二介质层 123 为掩膜对第一介质层 113 进行刻蚀，以形成洞穴结构 h；采用沉积工艺，在洞穴结构 h 中自对准地形成尺寸精确的字线 107，无需通过刻蚀工艺来设计字线 107 的尺寸，有利于简化字线 107 的形成步骤，且通过调控第二间隙 i 的尺寸，即可获得小尺寸的字线 107。

本公开还提供一种半导体结构的制作方法，该半导体结构的制作方法与前一实施例大致相同，主要区别包括去除部分第一介质层至露出沟道区侧壁的工艺步骤不同。以下将结合附图对本申请又一实施例提供的半导体结构的制作方法进行详细说明，与前述实施例相同或者相应的部分，可参考前述实施例的详细描述。

图 26 至图 31 为本公开又一实施例提供的半导体结构的制作方法各步骤对应的结构示意图。需要说明的是，为了便于描述以及清晰地示意出半导体结构制作方法的步骤，本实施例中的图 26 至图 31 均为半导体结构的局部结构示意图，后续将根据表述需要设置结构的沿第一截面方向 AA1 的剖面示意图以及沿第二截面方向 BB1 的剖面示意图中的一者或两者，当仅参考一个附图时，附图为沿第二截面方向 BB1 的剖面示意图；当同时参考两个附图时，附图首先为沿第一截面方向 AA1 的剖面示意图，其次为沿第二截面方向 BB1 的剖面示意图。

本实施例中，参考图 26 和图 27，在基底上形成位线 204 以及半导体通道 205、形成第一介质层 213 和第二介质层 223，且基底中具有半导体阱层 21，第一介质层 213 包括第五介质层 253 和第六介质层 263。形成位线 204、半导体通道 205、第一介质层 213 和第二介质层 223 的步骤与上述实施例的步骤相同，在此不再赘述。

参考图 27，去除部分第一介质层 213 至露出沟道区 II 侧壁的步骤中，还包括去除位于第二掺杂区 III 侧壁的第一介质层 213，即剩余第一介质层 213 仅位于第一掺杂区 I 的侧壁表面。

参考图 28 和图 29，形成绝缘层 206，绝缘层 206 不仅覆盖沟道区 II 侧壁

表面，还位于第二掺杂区 III 侧壁表面以及顶面，且绝缘层 206 与第二介质层 223 之间具有第二间隙 i。

本实施例中，由于半导体通道 205 的材料为硅，形成绝缘层 206 的步骤包括：对露出的沟道区 II 侧壁和第二掺杂区 III 的侧壁和顶面进行热氧化处理，以形成绝缘层 206，且绝缘层 206 覆盖剩余沟道区 II 和剩余第二掺杂区 III 的侧壁表面。在其他实施例中，也可以通过沉积工艺形成覆盖沟道区侧壁和第二掺杂区的侧壁和顶面的绝缘层。

由于对露出的沟道区 II 和第二掺杂区 III 侧壁进行热氧化处理，则沟道区 II 和第二掺杂区 III 的部分区域被转化为绝缘层 206，使得沟道区 II 和第二掺杂区 III 在位线 204 上的正投影均小于第一掺杂区 I 在位线 204 上的正投影，有利于在不采用刻蚀工艺的前提下，形成在垂直于位线 204 指向半导体通道 205 的方向 Z 的截面中，截面面积更加小的沟道区 II 和第二掺杂区 III，有利于降低半导体通道 205 构成的晶体管的阈值电压，使得晶体管在较低的阈值电压下，实现导通或者关断。

在一些例子中，在垂直于方向 Z 的截面中，沟道区 II 的宽度 W 和沟道区 II 的长度不高于 10nm，有利于保证晶体管具有较小的阈值电压。在方向 Z 上，沟道区 II 的高度为 30nm~50nm。

本实施例中，在后续的工艺步骤中去除位于剩余第二掺杂区 III 顶面的绝缘层 206。在其他实施例中，可以在热氧化处理之后，就去掉位于剩余第二掺杂区顶面的绝缘层，仅保留覆盖剩余沟道区以及剩余第二掺杂区的侧壁表面的绝缘层。

参考图 30 和图 31，形成字线 207。形成字线 207 包括如下：

形成初始字线，初始字线填满第二间隙 i（参考图 29），即初始字线位于相邻位线 204 上的沟道区 II 和第二掺杂区 III 侧壁的绝缘层 206 之间。可通过沉积工艺形成初始字线。

去除部分初始字线，剩余初始字线作为字线 207，字线 207 仅环绕位于沟道区 II 侧壁的绝缘层 206。

初始字线自对准地填满第二间隙 i，有利于后续自对准地形成尺寸精确的字线 207，无需通过刻蚀工艺来设计字线 207 的尺寸，有利于简化字线 207 的形成步骤，且通过调控第二间隙 i 的尺寸，即可获得小尺寸的字线 207。

形成第四介质层，第四介质层填充位于第二掺杂区 III 侧壁的绝缘层 206 之间的间隙，然后去除位于第二掺杂区 III 顶面的绝缘层 206。形成第四介质层和去除部分绝缘层 206 的步骤与上述实施例的步骤相同。在其他实施例中，也可以在形成第四介质层之前，去除位于第二掺杂区侧壁和顶面的绝缘层，然后形成露出第一掺杂区顶面的第四介质层。

本实施例中，进一步地还可以在第二掺杂区 III 顶面形成电容接触层和电容结构，形成电容接触层和电容结构的步骤与上述实施例的步骤相同。

综上所述，通过形成第一介质层 213 和第二介质层 223，以第二介质层 223 为掩膜对第一介质层 213 进行刻蚀，以形成第二间隙 i；采用沉积工艺，在第二间隙 i 中自对准地形成尺寸精确的字线 207，无需通过刻蚀工艺来设计字线 207 的尺寸，有利于简化字线 207 的形成步骤，且通过调控第二间隙 i 的尺寸，即可获得小尺寸的字线 207。

本公开还提供一种半导体结构，由上述任一实施例提供的半导体结构的制作方法制备。

参考图 24 和图 25，半导体结构包括：基底，基底包括半导体阱层 11；位线 104，位于半导体阱层 11 上；半导体通道 105，位于位线 104 表面，在沿基底指向位线 104 的方向 Z 上，半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III，第一掺杂区 I 与位线 104 相接触。

本实施例中，基底、位线 104 和半导体通道 105 具有相同的半导体元素，则半导体通道 105 与位线 104 利用同一膜层结构形成，该膜层结构由半导体元素构成，使得半导体通道 105 与位线 104 为一体结构，从而改善半导体通道 105 与位线 104 之间的界面态缺陷，改善半导体结构的性能。

半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种。基底、位线 104 和半导体通道 105 的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

第一掺杂区 I、沟道区 II 和第二掺杂区 III 掺杂有相同类型的掺杂离子，且掺杂离子在第一掺杂区 I 中的掺杂浓度与在沟道区 II 和第二掺杂区 III 中的掺杂浓度一致，则半导体通道 105 构成的器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的

现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，在几纳米的尺度范围内仍然可以工作，因而有助于进一步提高半导体结构的集成密度和电学性能。掺杂离子为 N 型离子或 P 型离子中的一者。

沟道区 II 在位线 104 上的正投影小于第二掺杂区 III 在位线 104 上的正投影，且小于第一掺杂区 I 在位线 104 上的正投影。在不采用刻蚀工艺的前提下，在垂直于位线 104 指向半导体通道 105 的方向 Z 的截面中，有利于形成截面面积更加小的沟道区 II，以提高字线 107 对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。

在一些例子中，在垂直于方向 Z 的截面中，沟道区 II 的宽度 W 和沟道区 II 的长度 L 不高于 10nm，有利于保证晶体管具有较小的阈值电压。在方向 Z 上，沟道区 II 的高度为 30nm~50nm。

结合参考图 6 和图 24 至图 25，半导体结构还包括：第一介质层 113，环绕第一掺杂区 I 设置，且同一位线 104 上相邻第一掺杂区 I 侧壁的第一介质层 113 之间具有第一间隔。

第一介质层 113 可以包括第五介质层 153 和第六介质层 163，第五介质层 153 位于相邻位线 104 的间隔中，且位于相邻位线 104 上的相邻第一掺杂区 I 的间隔中；第六介质层 163 位于同一位线 104 上相邻第一掺杂区 I 的侧壁，且位于第五介质层 153 的侧壁。第一介质层 113 用于实现相邻半导体通道 105 和相邻位线 104 之间的电绝缘。

半导体结构还包括：绝缘层 106，至少覆盖沟道区 II 侧壁表面。本实施例中，绝缘层 106 仅覆盖沟道区 II 侧壁表面。在其他实施例中，绝缘层可覆盖沟道区和第二掺杂区两者的侧壁表面。

半导体结构还包括：字线 107，环绕位于沟道区 II 侧壁的绝缘层 106，且相邻字线 107 之间具有第二间隔；隔离层 109，至少位于第一间隔和第二间隔中，且隔离层 109 远离基底的顶面不低于第二掺杂区 III 远离基底的顶面。

隔离层 109 可以包括第二介质层 123 和第三介质层 133，第二介质层 123 位于第一间隔和第二间隔中，且第二介质层 123 远离基底的顶面不低于第二掺杂区 III 远离基底的顶面；第三介质层 133 覆盖第二掺杂区 III 侧壁。

在一些例子中，第二介质层 123 顶面与第二掺杂区 III 顶面齐平，且隔离

层 109 还包括第四介质层 143。继续参考图 25，第四介质层 143 位于第二介质层 123 和第三介质层 133 共同构成顶面，以及位于相邻第三介质层 133 构成的间隔中。第二介质层 123、第三介质层 133 和第四介质层 143 的材料相同，共同构成隔离层 109，实现相邻半导体通道 105 以及相邻位线 104 之间的电绝缘。在其他例子中，第二介质层、第三介质层和第四介质层可以为一体成型结构，则隔离层的致密度较高，内部缺陷少，有利于增强隔离层对相邻半导体通道以及相邻位线之间的隔离效果。

在其他实施例中，当绝缘层覆盖沟道区以及第二掺杂区两者的侧壁表面时，隔离层包括第二介质层和第四介质层，其中第二介质层位于第一间隔和第二间隔中，且第二介质层远离基底的顶面不低于第二掺杂区远离基底的顶面；第四介质层位于第二介质层和绝缘层构成的间隔中，以及位于相邻绝缘层构成的间隔中，且第四介质层覆盖第二介质层顶面。

绝缘层 106 的外围在位线 104 上的正投影小于第三介质层 133 的外围在位线 104 上的正投影。

半导体结构还可以包括：电容接触层 108，位于第二掺杂区 III 顶面，电容接触层 108 在位线 104 上的正投影覆盖第二掺杂区 III 在位线 104 上的正投影，且电容接触层 108 具有掺杂离子，掺杂离子在电容接触层 108 中的掺杂浓度大于在第二掺杂区 II 中的掺杂浓度。

由于电容接触层 108 与第二掺杂区 III 掺杂有相同类型的掺杂离子，且掺杂离子在电容接触层 108 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度，有利于进一步提高电容接触层 108 的导电性。电容接触层 108 在位线 104 上的正投影覆盖第二掺杂区 III 在位线 104 上的正投影，有利于增大电容接触层 108 与后续其他导电结构之间的接触面积，从而降低电容接触层 108 与后续其他导电结构之间的接触电阻。

半导体结构还可以包括：电容结构（图中未示出），电容结构位于电容接触层 108 和第四介质层 143 共同构成的表面。

综上所述，在垂直于位线 104 指向半导体通道 105 的方向 Z 的截面中，沟道区 II 的截面面积小于第一掺杂区 I 和第二掺杂区 II 的截面面积，有利于降低半导体通道 105 构成的晶体管的阈值电压，使得晶体管在较低的阈值电压下，实现导通或者关断。半导体通道 105 构成的器件为无结晶体管，有利

于避免采用超陡峭源漏浓度梯度掺杂工艺，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，从而进一步提高半导体结构的集成密度和电学性能。

应当理解的是，本公开不将其应用限制到本说明书提出的部件的详细结构和布置方式。本公开能够具有其他实施方式，并且能够以多种方式实现并且执行。前述变形形式和修改形式落在本公开的范围内。应可理解的是，本说明书公开和限定的本公开延伸到文中和/或附图中提到或明显的两个或两个以上单独特征的所有可替代组合。所有这些不同的组合构成本公开的多个可替代方面。本说明书所述的实施方式说明了已知用于实现本公开的最佳方式，并且将使本领域技术人员能够利用本公开。

工业实用性

本公开实施例提供一种半导体结构及其制作方法，有利于简化形成字线的步骤，且形成尺寸小且精度高的字线。

权利要求

1.一种半导体结构的制作方法，包括：

提供基底；

在所述基底上形成位线，以及在所述位线远离所述基底的表面形成半导体通道，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区；

形成第一介质层，所述第一介质层环绕所述半导体通道侧壁，且位于同一所述位线上相邻所述半导体通道侧壁的所述第一介质层之间具有第一间隙；

形成第二介质层，所述第二介质层填满所述第一间隙，且所述第二介质层的材料和所述第一介质层的材料不同；

去除部分所述第一介质层至露出所述沟道区侧壁；

形成绝缘层，所述绝缘层至少覆盖所述沟道区侧壁表面，且所述绝缘层与所述第二介质层之间具有第二间隙；

形成字线，所述字线填满所述第二间隙。

2.如权利要求1所述的半导体结构的制作方法，其中，去除部分所述第一介质层至露出所述沟道区侧壁的步骤包括：

刻蚀部分所述第一介质层至露出所述第二掺杂区侧壁；

形成第三介质层，所述第三介质层环绕所述第二掺杂区侧壁和位于所述第二介质层侧壁，位于所述第二掺杂区侧壁的所述第三介质层和位于所述第二介质层侧壁的所述第三介质层共同围成通孔，所述通孔底部露出所述第一介质层，且所述第三介质层的材料和所述第一介质层的材料不同；

去除所述通孔露出的位于所述沟道区侧壁的所述第一介质层，剩余所述第一介质层环绕所述第一掺杂区侧壁。

3.如权利要求2所述的半导体结构的制作方法，其中，形成所述绝缘层的步骤包括：

对露出的所述沟道区侧壁进行热氧化处理，以形成所述绝缘层，且所述绝缘层覆盖剩余所述沟道区的侧壁表面。

4.如权利要求2所述的半导体结构的制作方法，其中，形成所述字线的步骤包括：

形成初始字线，所述初始字线填满所述第二间隙和所述通孔，且所述

初始字线还位于相邻所述位线上的所述沟道区侧壁的所述绝缘层之间；

去除位于所述通孔中的所述初始字线，剩余所述初始字线作为所述字线。

5.如权利要求 4 所述的半导体结构的制作方法，形成所述字线后，还包括：形成第四介质层，所述第四介质层填充满所述通孔。

6.如权利要求 1 所述的半导体结构的制作方法，所述去除部分所述第一介质层至露出所述沟道区侧壁的步骤中，还包括去除位于所述第二掺杂区侧壁的所述第一介质层；所述形成所述绝缘层的步骤中，所述绝缘层还覆盖所述第二掺杂区侧壁。

7.如权利要求 6 所述的半导体结构的制作方法，其中，形成所述字线的步骤包括：

形成初始字线，所述初始字线填充满所述第二间隙，且所述初始字线还位于相邻所述位线上的所述半导体通道部分侧壁的所述绝缘层之间；

去除部分所述初始字线，剩余所述初始字线作为所述字线，所述字线仅环绕位于所述沟道区侧壁的所述绝缘层。

8.如权利要求 1 所述的半导体结构的制作方法，其中，形成所述位线和所述半导体通道的步骤包括：

在所述基底上形成第一掩膜层；

以所述第一掩膜层为掩膜刻蚀所述基底，形成多个第一沟槽；

去除所述第一掩膜层，在所述第一沟槽中形成第五介质层；

在所述第五介质层和剩余所述基底共同构成的顶面上形成第二掩膜层；

以所述第二掩膜层为掩膜刻蚀所述基底和所述第五介质层，形成多个第二沟槽、所述位线和所述半导体通道，且在垂直于所述基底表面的方向上，所述第二沟槽的深度小于所述第一沟槽的深度；

去除所述第二掩膜层。

9.如权利要求 8 所述的半导体结构的制作方法，其中，所述第一掩膜层具有多个相互分立的第一开口，所述第二掩膜层具有多个相互分立的第二开口，且所述第一开口的延伸方向垂直于所述第二开口的延伸方向。

10.如权利要求 9 所述的半导体结构的制作方法，其中，在垂直于所述半导体通道侧壁的方向上，所述第一开口的开口宽度与所述第二开口的开口宽度的比值为 2~1，且相邻所述第一开口之间的间距等于相邻所述第二开口之

间的间距。

11.如权利要求 8 所述的半导体结构的制作方法，其中，形成所述第一介质层的步骤包括：

形成第六介质层，所述第六介质层位于所述第二沟槽的侧壁，剩余所述第五介质层和所述第六介质层共同组成所述第一介质层，且位于所述第二沟槽侧壁的所述第六介质层之间具有所述第一间隙。

12.如权利要求 1 所述的半导体结构的制作方法，还包括：

采用外延生长工艺，在所述第二掺杂区顶面形成电容接触层，且所述电容接触层在所述位线上的正投影覆盖所述第二掺杂区在所述位线上的正投影。

13.一种半导体结构，包括：

基底；

位线，位于所述基底上；

半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触；

第一介质层，环绕所述第一掺杂区设置，且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔；

绝缘层，至少覆盖所述沟道区侧壁表面；

字线，环绕位于所述沟道区侧壁的所述绝缘层，且相邻所述字线之间具有第二间隔；

隔离层，至少位于所述第一间隔和所述第二间隔中，且所述隔离层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面。

14.如权利要求 13 所述的半导体结构，其中，所述基底、所述位线和所述半导体通道具有相同的半导体元素。

15.如权利要求 13 所述的半导体结构，其中，所述第一掺杂区、所述沟道区和所述第二掺杂区掺杂有相同类型的掺杂离子，且所述掺杂离子在所述第一掺杂区中的掺杂浓度与在所述沟道区和所述第二掺杂区中的掺杂浓度一致，所述掺杂离子为 N 型离子或 P 型离子中的一者。

16.如权利要求 15 所述的半导体结构，还包括：电容接触层，位于所述第二掺杂区顶面，所述电容接触层在所述位线上的正投影覆盖所述第二掺杂区

在所述位线上的正投影，且所述电容接触层具有所述掺杂离子，所述掺杂离子在所述电容接触层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度。

17.如权利要求 13 所述的半导体结构，其中，所述沟道区在所述位线上的正投影小于所述第二掺杂区在所述位线上的正投影，且小于所述第一掺杂区在所述位线上的正投影。

18.如权利要求 13 所述的半导体结构，其中，所述隔离层包括第二介质层和第三介质层，所述第二介质层位于所述第一间隔和所述第二间隔中，且所述第二介质层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面；所述第三介质层覆盖所述第二掺杂区侧壁。

19.如权利要求 18 所述的半导体结构，其中，所述绝缘层的外围在所述位线上的正投影小于所述第三介质层的外围在所述位线上的正投影。

20.如权利要求 13 所述的半导体结构，其中，所述第一介质层包括第五介质层和第六介质层，所述第五介质层位于相邻所述位线的间隔中，且位于相邻所述位线上的相邻所述第一掺杂区的间隔中；所述第六介质层位于同一所述位线上相邻所述第一掺杂区的侧壁，且位于所述第五介质层的侧壁。