

灵敏放大器、存储器以及控制方法

本申请要求于 2021 年 03 月 24 日提交中国专利局、申请号为 202110313695.9、申请名称为“灵敏放大器、存储器以及控制方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本申请涉及但不限于一种灵敏放大器、存储器以及控制方法。

背景技术

随着手机、平板、个人计算机等电子设备的普及，半导体存储器技术
10 也得到了快速的发展。

灵敏放大器 (Sense Amplifier 简称: SA) 是半导体存储器的一个重要组成部分，主要作用是将位线上的小信号进行放大，进而执行读取或者写入操作。随著半导体存储器线宽的微缩，半导体存储器存储单元的电容
15 值随之下降，半导体存储器内电路的噪声会严重影响灵敏放大器的感测解析度，因此，半导体存储器内采用偏移消除灵敏放大器(Offset Cancellation Sense Amplifier, 简称: OCSA)。

然而，在引入 OSCA 后，外部读取电路容易出现错误读取位线和基准位线上呈现数据。

20 发明内容

本申请实施例提供一种灵敏放大器，包括：

放大模块，用于在灵敏放大器处于放大阶段时，放大位线和基准位线之间的电压差；

可控电源模块，与放大模块连接，用于根据位线和基准位线之间额定补偿电压范围确定驱动参数，并根据驱动参数向放大模块提供电源，以控制放
25 大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压；额定补偿电压位于额定补偿电压范围内。

本申请实施例还提供一种存储器，包括上述本申请实施例所涉及的灵敏放大器以及存储单元；

多个存储单元构成第一存储阵列，多个存储单元构成第二存储阵列，灵敏放大器位于第一存储阵列和第二存储阵列之间，灵敏放大器的第三端连接第一存储阵列的位线，灵敏放大器的第四端连接第二存储阵列的基准位线。

本申请实施例还提供一种灵敏放大器的控制方法，灵敏放大器包括放大模块和可控电源模块，方法包括：

获取位线和基准位线之间的额定补偿电压范围；

根据额定补偿电压范围确定驱动参数；

根据驱动参数生成用于控制放大模块的控制信号，以控制放大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压；额定补偿电压位于额定补偿电压范围内。

附图说明

图 1 为本申请一实施例提供的存储器的电路结构示意图；

图 2 为本申请另一实施例提供的灵敏放大器的电路结构示意图；

图 3a、图 3b、图 3c 为本申请提供位线电压和基准位线电压的拉动幅度的对比示意图；

图 4 为本申请另一实施例提供的灵敏放大器的电路结构示意图；

图 5 为本申请另一实施例提供的灵敏放大器的电路结构示意图；

图 6 为本申请另一实施例提供的数据读取的时序图；

图 7 为本申请另一实施例提供的灵敏放大器在偏移消除阶段的等效电路图；

图 8 为本申请另一实施例提供的灵敏放大器的控制方法的流程示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请中的附图，对本申请中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的带。

如图 1 所示，本申请一实施例提供一种存储器 100，存储器 100 包括灵

敏放大器 10 以及多个存储单元 21。多个存储单元 21 构成第一存储阵列 20，多个存储单元 21 构成第二存储阵列 30。第一存储阵列 20 中每个存储单元 21 与第一存储阵列 20 的位线 BL 连接，第二存储阵列 30 中每个存储单元 21 与第二存储阵列 30 的位线 BL 连接。

- 5 灵敏放大器 10 位于第一存储阵列 20 和第二存储阵列 30 之间，灵敏放大器 10 的第一端与第一供电端连接，灵敏放大器 10 的第二端与第二供电端连接，灵敏放大器 10 的第三端连接第一存储阵列 20 的位线，灵敏放大器 10 的第四端连接第二存储阵列 30 的位线。

- 10 每个存储单元 21 用于存储一位数据，第一存储阵列 20 的位线用于访问第一存储阵列 20 中各个存储单元 21 内存储的数据，第二存储阵列 30 的位线用于访问第二存储阵列 30 中各个存储单元 21 内存储的数据。灵敏放大器 10 用于将各个存储单元 21 中存储数据放大，并在第一存储阵列 20 的位线和第二存储阵列 30 的位线上呈现。灵敏放大器 10 还用于在完成一次数据读取操作后将存储单元 21 恢复至进行读取操作之前的状态。

- 15 其中，每个存储单元 21 包括存储电容 C 和访问晶体管 T，存储电容 C 的第一端接固定电源，例如为 $0.5V_{CC}$ ，存储电容 C 的第二端接访问晶体管 T 的第一端，访问晶体管 T 的第二端接位线，访问晶体管 T 的控制端接字线。

- 20 通过存储在存储电容 C 的电荷的多和少，或者，存储电容 C 两端电压差的高和低，来表示逻辑上的 1 和 0。访问晶体管 T 用于控制是否允许或者禁止对存储电容 C 所存储的信息进行读取或者改写。

- 25 为了便于描述，在读取第一存储阵列 20 内某个存储单元 21 中数据时，将第一存储阵列 20 的位线称为位线 BL，将第二存储阵列 30 的位线称为基准位线 BLB。在读取第二存储阵列 30 内某个存储单元 21 中数据时，将第二存储阵列 30 的位线称为位线 BL，将第一存储阵列 20 的位线 BL 称为基准位线 BLB。

随著存储器线宽的微缩，存储器存储细胞的电容值随之下降，存储器内电路的噪声会严重影响灵敏放大器的感测解析度，因此，半导体存储器内采用偏移消除灵敏放大器。

- 30 在偏移消除灵敏放大器中，放大模块包括两个 N 型晶体管和两个 P 型晶体管。两个 P 型晶体管一直保持交叉耦合连接。在空闲阶段和偏移消除阶段，

两个 N 晶体管采用二极管连接。在其他工作阶段，两个 N 型晶体管采用其他连接方式。

下面描述从第一存储阵列 20 的其中一个存储单元 21 中读取数据“1”的过程。读取数据包括空闲阶段、偏移消除阶段、预充电阶段、访问阶段、放大阶段以及恢复阶段。

在空闲阶段，放大模块内形成单交叉耦合电路，也就是两个 P 型晶体管构成交叉耦合反相器，两个 N 型晶体管均采用二极管连接，通过充电电源对位线 BL 和基准位线 BLB 进行充电。

在偏移消除阶段，放大模块内继续形成单交叉耦合电路，由于两个采用二极管连接的晶体管在制造上存在差异，在位线 BL 和基准位线 BLB 上产生补偿电压，该补偿电压可消除二极管连接的晶体管对内的晶体管制造差异（可以称为失调电压）。

在预充电阶段，放大模块内构成单交叉耦合电路，也就是其中两个晶体管构成交叉耦合反相器，另外两个晶体管的控制端悬空，电源拉动 N 型晶体管和 P 型晶体管的连接点的电压，并在连接点保留补偿电压。

在访问阶段，放大模块内构成双交叉耦合电路，也就是两个 P 型晶体管构成交叉耦合反相器，两个 N 型晶体管也构成交叉耦合反相器，使 N 型晶体管和 P 型晶体管的连接点拉动位线和基准位线电压至参考电压，并在位线 BL 和基准位线 BLB 上保留补偿电压。控制所访问的存储单元 21 对应的字线内的信号，使所访问的存储单元 21 内的访问晶体管 T 导通，存储电容 C 使位线 BL 的电压上升，使得位线 BL 的电压高于参考电压。

在放大阶段，位线 BL 的电压高于参考电压，使得灵敏放大器 10 将向上拉动位线 BL 的电压，并使灵敏放大器向下拉动基准位线 BLB 的电压下拉，由于位线 BL 和基准位线 BLB 上保留有补偿电压，使得在放大阶段可以抵消掉消除晶体管对内的晶体管制造差异，使得位线 BL 和基准位线 BLB 之间的电压差可以反映所访问存储单元 21 中的数据为“1”。

在恢复阶段，灵敏放大器 10 将位线 BL 和基准位线 BLB 的电压稳定在逻辑数据“1”，位线 BL 还对存储电容 C 充电，经过一定时间充电后，存储电容 C 中电荷就恢复至读取操作前的状态。再通过控制列选择线内信号使外界读取电路可以从位线 BL 和基准位线 BLB 上读取所访问的存储单元 21 内

存储数据。

然而，在经过偏移消除阶段、预充电阶段以及放大阶段后，外部读取电路容易出现错误读取位线 BL 和基准位线 BLB 上呈现数据。

为解决上述问题，本申请提供一种灵敏放大器、存储器以及控制方法。

- 5 本申请的技术构思是，在灵敏放大器处于偏移消除阶段时，控制可控电源模块向放大模块供电参数，由放大模块控制在偏移消除阶段时位线 BL 和基准位线 BLB 的补偿电压的数值，使补偿电压处于额定电压范围内，以保证在恢复阶段外部读取电路可以准确读取位线 BL 和基准位线 BLB 上的数据。

- 10 如图 2 所示，本申请提供一种灵敏放大器 10，该灵敏放大器 10 包括放大模块 101 和可控电源模块 102，放大模块 101 和可控电源模块 102 连接。

- 放大模块 101 用于在灵敏放大器 10 处于放大阶段时放大位线 BL 和基准位线 BLB 之间的电压差。可控电源模块 102 用于根据位线 BL 和基准位线 BLB 之间的额定补偿电压范围确定驱动参数，并根据驱动参数向放大模块 101 提供电源。

- 放大模块 101 在可控电源模块 102 的控制下，在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压（也可以成为失调电压）为额定补偿电压。其中，额定补偿电压位于额定补偿电压范围内。其中，补偿电压是指在偏移消除阶段位线电压和基准位线电压之间电压差。例如，位线 BL 上的电压减去基准位线 BLB 上的电压等于补偿电压，或者，基准位线 BLB 上的电压减去位线 BL 上的电压等于补偿电压。

- 在对存储单元内数据进行读取过程，位线 BL 和基准位线 BLB 上的补偿电压大小会影响数据读取的准确性，若位线 BL 和基准位线 BLB 上的补偿电压过大，则补偿电压会作为干扰因素，使得位线 BL 和基准位线 BLB 上无法准确呈现存储单元中逻辑数据。若补偿电压过小，则无法起到补偿元件制造差异引起的偏移，元件制造差异仍会引起位线 BL 和基准位线 BLB 上的电压偏移，使得位线 BL 和基准位线 BLB 上无法准确呈现存储单元中逻辑数据。

- 可控电源模块 102 的驱动能力会影响偏移消除阶段内位线 BL 和基准位线 BLB 上的补偿电压的数值。如图 3a 和图 3b 所示，若灵敏放大器的第一端 $v_p(t)$ 和第二端 $v_n(t)$ 的电压拉动能力过强，会造成位线 BL 和基准位线 BLB

上的补偿电压 V_{os} 的数值过大。使得外部读取电路在读取位线 BL 和基准位线 BLB 上数据时总是读取逻辑数据“1”或者逻辑“0”。

如图 3c 所示，在本实施例中，在灵敏放大器设计阶段，可以通过仿真获得额定补偿电压范围，在灵敏放大器制造阶段，可以通过测试获得额定补偿电压范围。根据位线 BL 和基准位线 BLB 之间额定补偿电压范围确定驱动参数，并根据驱动参数向放大模块 101 提供电源，放大模块 101 在可控电源模块 102 的控制下，在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压 V_{os} 为额定补偿电压。

其中，额定补偿电压位于额定补偿电压范围内，经过预充电阶段、访问阶段以及放大阶段后，元件制造差异引起位线 BL 和基准位线 BLB 上的电压偏移被额定补偿电压消除或部分抵消，且补偿电压也不会作为干扰因素被引入，位线 BL 和基准位线 BLB 上可以准确呈现存储单元中逻辑数据。

在上述技术方案中，可控电源模块根据额定补偿电压范围确定驱动参数，并按照驱动参数向放大模块供电，可以控制放大模块在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电压，元件制造差异引起位线 BL 和基准位线 BLB 上电压偏移被额定补偿电压消除或部分抵消，且补偿电压也不会作为干扰因素被引入，位线 BL 和基准位线 BLB 上可以准确呈现存储单元中逻辑数据，外部读取电路可以准确读取位线 BL 和基准位线 BLB 上的数据。

20

如图 4 所示，本申请提供一种灵敏放大器，该灵敏放大器 10 包括放大模块 101 和可控电源模块 102，放大模块 101 和可控电源模块 102 连接。

其中，可控电源模块 102 包括第一可控电源单元 1021、第二可控电源单元 1022 以及控制单元 1025，放大模块 101 设有第一端、第二端、第三端以及第四端。

第一可控电源单元 1021 的输出端与放大模块 101 的第一端连接，第二可控电源单元 1022 的输出端与放大模块 101 的第二端连接，控制单元 1025 与第一可控电源单元 1021 的控制端连接，控制单元 1025 还与第二可控电源单元 1022 的控制端连接。

30 第一可控电源单元 1021 和第二可控电源单元 1022 均用于向放大模块 101

提供电源，控制单元 1025 用于根据位线 BL 和基准位线 BLB 之间的额定补偿电压范围确定驱动参数，并根据驱动参数控制第一可控电流源 1023 和第二可控电流源 1024 向放大模块 101 提供电源。

5 放大模块在第一可控电源单元 1021 和第二可控电源单元 1022 的控制下，在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电压。其中，额定补偿电压位于额定补偿电压范围内。

根据位线 BL 和基准位线 BLB 之间额定补偿电压范围确定驱动参数，并根据驱动参数向放大模块提供电源使得，放大模块在可控电源模块的控制下，在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电
10 压。

其中，额定补偿电压位于额定补偿电压范围内，经过偏移消除阶段、预充电阶段、访问阶段以及放大阶段后，元件制造差异引起位线 BL 和基准位线 BLB 上电压偏移被额定补偿电压消除或部分抵消，且补偿电压也不会作为干扰因素被引入，位线 BL 和基准位线 BLB 上可以准确呈现存储单元中逻辑数据。
15

在另外一种实施例中，第一可控电源单元 1021 包括 N 个第一可控电流源 1023。每个第一可控电流源 1023 设有控制端、第一端和第二端。每个第一可控电流源 1023 的第二端为第一可控电源单元 1021 的输出端，每个第一可控电流源 1023 的控制端为第一可控电源单元 1021 的控制端。第一可控电
20 流源 1023 的第一端与第一供电端连接，第一可控电流源 1023 的第二端与放大模块 101 的第一端连接。第一可控电流源 1023 的控制端与控制单元 1025 连接，N 为正整数。

第二可控电源单元 1022 包括 N 个第二可控电流源 1024，第二可控电源单元 1022 设有控制端、第一端和第二端。每个第二可控电流源 1024 的第二
25 端为第二可控电源单元 1022 的输出端，每个第二可控电流源 1024 的控制端为第二可控电源单元 1022 的控制端。第二可控电流源 1024 的第一端与第二供电端连接，第二可控电流源 1024 的第二端与放大模块 101 的第二端连接。第二可控电流源 1024 的控制端与控制单元 1025 连接。

控制单元用于根据额定补偿电压范围确定第一驱动电流范围和第二驱动
30 电流范围，从 N 个第一可控电流源中选择至少一个第一目标电流源，并从 N

个第二可控电流源中选择至少一个第二目标电流源。其中，至少一个第一目标电流源提供的总电流在第一驱动电流范围内，至少一个第二目标电流源提供的总电流在第二驱动电流范围内。控制单元还生成用于控制第一目标电流源工作的第一控制信号，并生成用于控制第二目标电流源工作的第二控制信号，以使第一可控电源单元控制放大模块在偏移消除阶段拉动位线 BL 和基准位线 BLB 的电压，使第二可控电源单元控制放大模块在偏移消除阶段拉动位线 BL 和基准位线 BLB 的电压，进而在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电压。

在另一种实施例中，第 i 个第一可控电流源 1023 提供的驱动电流为 $2^{i-1} \times I_b$ ，第 j 个第二可控电流源 1024 提供的驱动电流为 $2^{j-1} \times I_b$ ， I_b 表示单位电流。N 个第一可控电流源 1023 可以提供 $2^N - 1$ 个档位的驱动电流，N 个第二可控电流源 1024 也可以提供 $2^N - 1$ 个档位的驱动电流，通过调整单位电流的幅值，可以精确调整放大模块 101 拉动位线电压和基准位线电压的速率，进而控制拉动位线电压和基准位线电压的幅值，以在偏移消除阶段精确控制位线 BL 和基准位线 BLB 之间的补偿电压在额定补偿电压范围内。

在上述实施例中，通过控制第一可控电流源和第二可控电流源的工作状态，以控制第一可控电源单元和第二可控电源单元的驱动参数，控制放大模块拉动位线 BL 和基准位线电压的速率，进而控制拉动位线电压和基准位线电压的幅度，可以在偏移消除阶段控制放大模块拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电压，元件制造差异引起位线 BL 和基准位线 BLB 上的电压偏移被额定补偿电压消除或部分抵消，且补偿电压也不会作为干扰因素被引入，位线 BL 和基准位线 BLB 上可以准确呈现存储单元中逻辑数据，外部读取电路可以准确读取位线 BL 和基准位线 BLB 上的数据。

如图 5 所示，本申请实施例提供一种灵敏放大器 10，灵敏放大器 10 包括放大模块 101 和可控电源模块 102，放大模块 101 和可控电源模块 102 连接。

放大模块 101 包括至少一个交叉耦合放大电路，每个交叉耦合放大电路设有第一端、第二端、第三端以及第四端，交叉耦合放大电路的第一端与第一可控电源单元 1021 的输出端连接，交叉耦合放大电路的第二端与第二可控

电源单元 1022 的输出端连接，交叉耦合放大电路的第三端和位线 BL 连接，交叉耦合放大电路的第四端和基准位线 BLB 连接。

其中，交叉耦合放大电路为单交叉耦合放大电路，具有偏移消除功能，交叉耦合电路具体包括：第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、
5 第四晶体管 T4、第一开关 K1、第二开关 K2、第三开关 K3 以及第四开关 K4。

第一晶体管 T1 的第一端为交叉耦合放大电路的第一端，第二晶体管 T2 的第二端为交叉耦合放大电路的第二端，第一晶体管 T1 的第二端为交叉耦合放大电路的第三端，第三晶体管 T3 的第二端为交叉耦合放大电路的第四端。

第一晶体管 T1 的第二端与第二晶体管 T2 的第一端连接，第三晶体管 T3
10 的第二端与第四晶体管 T4 的第一端连接，第一晶体管 T1 的第一端与第三晶体管 T3 的第一端连接，第二晶体管 T2 的第二端与第四晶体管 T4 的第二端连接。

第一晶体管 T1 的控制端与第三晶体管 T3 的第二端连接，第二晶体管 T2 的控制端通过第一开关 K1 与第三晶体管 T3 的第二端连接，第二晶体管 T2
15 的控制端通过第三开关 K3 与第二晶体管 T2 的第一端连接。

第三晶体管 T3 的控制端与第一晶体管 T1 的第二端连接，第四晶体管 T4 的控制端通过第二开关 K2 与第一晶体管 T1 的第二端连接，第四晶体管 T4 的控制端通过第四开关 K4 与第四晶体管 T4 的第一端连接。

其中，第一晶体管 T1 和第三晶体管 T3 为 P 型晶体管，第二晶体管 T2
20 和第四晶体管 T4 为 N 型晶体管。

可控电源模块 102 包括第一可控电源单元 1021 和第二可控电源单元 1022，第一可控电源单元 1021 包括 N 个第一可控电流源 1023，第二可控电源单元 1022 包括 N 个第二可控电流源 1024。其中，第一可控电流源 1023 为 P 型晶体管，第二可控电流源 1024 为 N 型晶体管。

25 下面描述从第一存储阵列 20 的其中一个存储单元 21 中读取数据“1”的过程。为便于描述，将第一晶体管 T1 的第二端和第二晶体管 T2 的第一端之间的连接线称为第一存储阵列 20 的内位线 nBL，将第三晶体管 T3 的第二端和第四晶体管 T4 的第一端之间的连接线称为第一存储阵列 20 的内基准位线 nBLB。

30 如图 6 所示，读取数据包括空闲阶段、偏移消除阶段、预充电阶段、访

问阶段、放大阶段以及恢复阶段。

在空闲阶段，第一开关 K1 和至第四开关 K4 也闭合。第二晶体管 T2 的控制端与第三晶体管 T3 的第二端连接，第二晶体管 T2 的控制端与其第一端链接，第四晶体管 T4 的控制端与第一晶体管 T1 的第二端连接，第四晶体管 T4 的控制端与其第一端链接。充电开关 CK1 和 CK2 闭合，通过充电电源对内位线 nBL 和内基准位线 nBLB 进行充电。此时，在一个实施例中，位线 BL、基准位线 BLB、内位线 nBL、内基准位线 nBLB 均被充电至 $0.5V_{CC}$ 。

在偏移消除阶段，第一开关 K1 和第二开关 K2 断开，第三开关 K3 和第四开关 K4 仍然闭合。如图 7 所示，第二晶体管 T2 的第一端与控制端连接，第四晶体管 T4 的第一端与控制端连接，两个 N 型晶体管均采用二极管连接，两个 P 型晶体管构成交叉耦合反相器。由于两个采用二极管连接的晶体管在制造上存在差异，在位线 BL 和基准位线 BLB 上产生补偿电压，该补偿电压可消除 N 型晶体管对内的晶体管制造差异。N11, N12, N13 中至少一个 N 型晶体管按照图中波形控制，N21, N22, N23 中至少一个 N 型晶体管按照图中波形控制，可以控制第一可控电源单元 1021 和第二可控电源单元 1022 的驱动参数，以控制交叉耦合放大电路在偏移消除阶段拉动位线 BL 和基准位线电压的幅值，进而拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电压。

在预充电阶段，第一开关 K1 至第四开关 K4 均断开。也就是两个 N 型晶体管构成交叉耦合反相器，另外两个晶体管的控制端悬空，第一存储阵列 20 的内位线 nBL 的电压和内基准位线 nBLB 的电压均上拉至参考电压，参考电压为存储电容 C 所连接固定电源的电压。在一个实施例中，固定电源的电压为 $0.5V_{CC}$ 。

在访问阶段，第一开关 K1 和第二开关 K2 闭合，第三开关 K3 和第四开关 K4 继续断开。放大模块内构成双交叉耦合电路，也就是其中两个晶体管构成交叉耦合反相器，另外两个晶体管也构成交叉耦合反相器。内位线 nBL 拉动位线电压，内基准位线 nBLB 拉动基准位线电压，并且位线 BL 和基准位线 BLB 上仍然保留着补偿电压。例如：在偏差消除阶段，位线 BL 上电压高于基准位线 BLB 的电压，差值为补偿电压 V_{os} 。在访问阶段，位线 BL 上电压仍然高于基准位线 BLB 的电压，差值也为补偿电压 V_{os} ，如果 T2 和 T4

的阈值电压之间的偏差为 V_{os} , 或者 T5 和 T7 的阈值电压之间的偏差为 V_{os} , 或者 T6、T5 与 T8、T7 共同产生的阈值电压的偏差为 V_{os} , 那么在该访问阶段, V_{os} 对敏感放大器的影响将被消除或至少被减弱。

控制所访问的存储单元 21 对应的字线内的信号, 使所访问的存储单元 5 21 内的访问晶体管 T 导通, 存储电容 C 使位线 BL 的电压上升, 使得位线的电压高于参考电压。

在放大阶段, 第一开关 K1 和第二开关 K2 继续闭合, 第三开关 K3 和第四开关 K4 继续断开。N11, N12, N13 中至少一个 P 型晶体管按照图中波形控制, N21, N22, N23 中至少一个 N 型晶体管按照图中波形控制, 可以控制 10 第一可控电源单元 1021 和第二可控电源单元 1022 的驱动参数, 以控制交叉耦合放大电路在放大阶段拉动位线 BL 和基准位线电压的幅值。位线 BL 的电压高于参考电压, 使得灵敏放大器 10 将向上拉动位线 BL 的电压, 并使灵敏放大器向下拉动基准位线 BLB 的电压下拉。由于位线 BL 和基准位线 BLB 上保留有补偿电压, 在放大阶段可以抵消掉消除灵敏放大器内 N 型晶体管的 15 制造差异, 使得位线 BL 和基准位线 BLB 之间的电压差可以反映所访问存储单元 21 中的数据为 “1”。

在恢复阶段, 灵敏放大器 10 将位线 BL 和基准位线 BLB 的电压稳定在逻辑数据 “1”, 位线 BL 还对存储电容 C 充电, 经过一定时间充电后, 存储电容 C 中电荷就恢复至读取操作前的状态。再通过控制列选择线内信号使外 20 界读取电路可以从位线 BL 和基准位线 BLB 上读取所访问的存储单元 21 内存储数据。

在另一种实施例中, 第一可控电源单元 1021 中, 第 i 个 P 型晶体管可提供的驱动电流为 $2^{i-1} \times I_b$, 第二可控电源单元 1022 中, 第 j 个 N 型晶体管可提供的驱动电流为 $2^{j-1} \times I_b$, I_b 表示单位电流。第一可控电源单元 1021 可以 25 提供 $2^N - 1$ 个档位的驱动电流, 第二可控电源单元 1022 也可以提供 $2^N - 1$ 个档位的驱动电流, 可以获得 $(2^N - 1)(2^N - 1)$ 个档位的补偿电压。

下面举例说明可控电源模块 102 可以提供的驱动电流的档位, 第一可控电源单元 1021 包括 3 个 P 型晶体管, 第 1 个 P 型晶体管可提供的驱动电流为 I_b , 第 2 个 P 型晶体管可提供的驱动电流为 $2I_b$, 第 3 个 P 型晶体管可提供的 30 驱动电流为 $4I_b$ 。第二可控电源单元 1022 包括 3 个 N 型晶体管, 第 1 个 N 型

晶体管可提供的驱动电流为 I_b ，第 2 个 N 型晶体管可提供的驱动电流为 $2I_b$ ，第 3 个 N 型晶体管可提供的驱动电流为 $4I_b$ 。

可控电源模块 102 可以提供 7 个档位的驱动电流，每个档位下 N 型晶体管和 P 型晶体管的控制信号如下表 1 和表 2 所示。其中，“1”表示高电平控制信号，“0”表示低电平控制信号。

表 1 N 型晶体管的控制信号

第 3 个 N 型晶体管	第 2 个 N 型晶体管	第 1 个 N 型晶体管	驱动电流档位
0	0	1	I_b
0	1	0	$2I_b$
0	1	1	$3I_b$
1	0	0	$4I_b$
1	0	1	$5I_b$
1	1	0	$6I_b$
1	1	1	$7I_b$

表 2 P 型晶体管的控制信号

第 3 个 P 型晶体管	第 2 个 P 型晶体管	第 1 个 P 型晶体管	驱动电流档位
1	1	0	I_b
1	0	1	$2I_b$
1	0	0	$3I_b$
0	1	1	$4I_b$
0	1	0	$5I_b$
0	0	1	$6I_b$
0	0	0	$7I_b$

在上述技术方案中，通过控制 P 型晶体管的导通状态和 N 型晶体管的导通状态，控制可控电源模块向放大模块提供驱动电流的档位，以控制放大模块在偏移消除阶段拉动位线电压和基准位线电压的幅值，可以控制放大模块在偏移消除阶段拉动位线 BL 和基准位线 BLB 之间的补偿电压为额定补偿电

压，使得元件制造差异引起位线 BL 和基准位线 BLB 上电压偏移被额定补偿电压消除或部分抵消，且补偿电压会也不会作为干扰因素被引入，位线 BL 和基准位线 BLB 上可以准确呈现存储单元中逻辑数据，外部读取电路可以准确读取位线 BL 和基准位线 BLB 上的数据。

5

如图 8 所示，本申请提供一种灵敏放大器的控制方法，灵敏放大器的结构已经在上述实施例中详细说明，此处不再赘述。该控制方法具体包括如下步骤：

S1001、获取位线和基准位线之间额定补偿电压范围。

10 其中，在灵敏放大器设计阶段，可以通过仿真获得额定补偿电压范围，在灵敏放大器制造阶段，可以通过测试获得额定补偿电压范围，当位线和基准位线之间补偿电压在该额定补偿电压范围内时，可以准确读取位线和基准位线上数据。也就是，元件制造差异引起位线和基准位线上电压偏移被额定补偿电压消除或部分抵消，且补偿电压会也不会作为干扰因素被引入，位线
15 和基准位线上可以准确呈现存储单元中逻辑数据，外部读取电路可以准确读取位线和基准位线上的数据。

S1002、根据额定补偿电压范围确定驱动参数。

其中，对灵敏放大器进行测试，获得位线和基准位线之间补偿电压与可控电源模块的驱动参数之间映射关系，再根据映射关系和额定补偿电压范围
20 确定可控电源模块的驱动参数。

S1003、根据驱动参数生成用于控制放大模块的控制信号。

其中，在获得可控电源模块的驱动参数后，根据驱动参数生成控制信号，以控制可控电源模块按照驱动参数向放大模块供电，进而控制放大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压。其中，额定补偿电压位于额定补偿电压范围内。
25

在上述技术方案中，可控电源模块根据额定补偿电压范围确定驱动参数，并按照驱动参数向放大模块供电，可以控制放大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压，元件制造差异引起位线和基准位线上电压偏移被额定补偿电压消除或者部分抵消，且补偿电压会也不会
30 作为干扰因素被引入，位线和基准位线上可以准确呈现存储单元中逻辑数据，

外部读取电路可以准确读取位线和基准位线上的数据。

本申请提供另一种灵敏放大器的控制方法，灵敏放大器的结构已经在上述实施例中详细说明，此处不再赘述。该控制方法具体包括如下步骤：

5 S2001、获取位线和基准位线之间额定补偿电压范围。

其中，该步骤已经在上述实施例中详细说明，此处不再赘述。

S2002、根据额定补偿电压范围确定第一驱动电流范围和第二驱动电流范围。

10 其中，对灵敏放大器进行测试，获得位线和基准位线之间补偿电压与第一可控电源单元、第二可控电源单元的驱动电流之间映射关系，再根据映射关系和额定补偿电压范围确定第一可控电源模块的第一驱动电流范围和第二可控电源模块的第二驱动电流范围。

S2003、根据驱动参数生成用于控制放大模块的控制信号。

15 其中，在确定第一驱动电流范围后，从 N 个第一可控电流源中选择至少一个第一目标电流源，保证至少一个第一目标电流源提供的总电流在第一驱动电流范围内。另外，在确定第二驱动电流范围后，从 N 个第二可控电流源中选择至少一个第二目标电流源，保证至少一个第二目标电流源提供的总电流在第二驱动电流范围内。再生成用于控制第一目标电流源工作的第一控制信号，并生成用于控制第二目标电流源工作的第二控制信号，由第一可控电
20 源单元和第二可控电源单元控制放大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压。其中，额定补偿电压位于额定补偿电压范围内。

在上述实施例中，通过控制第一可控电流源和第二可控电流源的工作状态，控制可控电源模块向放大模块提供驱动电流的档位，以控制放大模块在
25 偏移消除阶段拉动位线电压和基准位线电压的幅值，可以控制放大模块在偏移消除阶段拉动位线和基准位线之间的补偿电压为额定补偿电压，使得元件制造差异引起位线和基准位线上电压偏移被额定补偿电压消除或者部分消除，且补偿电压也不会作为干扰因素被引入，位线和基准位线上可以准确呈现
30 存储单元中逻辑数据，外部读取电路可以准确读取位线和基准位线上的数据。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对

其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案。

权 利 要 求 书

1、一种灵敏放大器，包括：

放大模块，用于在所述灵敏放大器处于放大阶段时，放大位线和基准位线之间的电压差；

5 可控电源模块，与所述放大模块连接，用于根据所述位线和所述基准位线之间的额定补偿电压范围确定驱动参数，并根据所述驱动参数向所述放大模块提供电源，以控制所述放大模块在偏移消除阶段拉动所述位线和所述基准位线之间的补偿电压为额定补偿电压；所述额定补偿电压位于所述额定补偿电压范围内。

10 2、根据权利要求1所述的灵敏放大器，其中，所述可控电源模块包括：
第一可控电源单元，与所述放大模块的第一端连接，用于向所述放大模块提供电源；

第二可控电源单元，与所述放大模块的第二端连接，用于向所述放大模块提供电源；

15 控制单元，与所述第一可控电源单元连接，还与所述第二可控电源单元连接，用于根据所述额定补偿电压范围确定驱动参数，并根据所述驱动参数控制所述第一可控电源单元和所述第二可控电源单元向所述放大模块提供电源。

20 3、根据权利要求2所述的灵敏放大器，其中，所述第一可控电源单元包括：

N 个第一可控电流源，其设有控制端、第一端和第二端，其第一端与第一供电端连接，其第二端与所述放大模块的第一端连接；其控制端与所述控制单元连接，N 为正整数。

25 4、根据权利要求3所述的灵敏放大器，其中，所述第二可控电源单元包括：

N 个第二可控电流源，其设有控制端、第一端和第二端，其第一端与第二供电端连接，其第二端与所述放大模块的第二端连接；其控制端与所述控制单元连接。

30 5、根据权利要求4所述的灵敏放大器，其中，所述控制单元用于：
根据所述额定补偿电压范围确定第一驱动电流范围和第二驱动电流范围；

从所述 N 个第一可控电流源中选择至少一个第一目标电流源，并从所述 N 个第二可控电流源中选择至少一个第二目标电流源，其中，所述至少一个第一目标电流源提供的总电流在所述第一驱动电流范围内；所述至少一个第二目标电流源提供的总电流在所述第二驱动电流范围内；

- 5 生成用于控制所述第一目标电流源工作的第一控制信号，并生成用于控制所述第二目标电流源工作的第二控制信号，以使所述第一可控电源单元控制所述放大模块在所述偏移消除阶段拉动所述位线和所述基准位线的电压，使所述第二可控电源单元控制所述放大模块在所述偏移消除阶段拉动所述位线和所述基准位线的电压。

- 10 6、根据权利要求 3 至 5 中任意一项所述的灵敏放大器，其中，第 i 个第一电流源的驱动电流为 $2^{i-1} \times I_b$ ，第 j 个第二电流源的驱动电流为 $2^{j-1} \times I_b$ ， I_b 表示单位电流。

7、根据权利要求 3 至 5 中任意一项所述的灵敏放大器，其中，所述第一可控电流源为 P 型晶体管，所述第二可控电流源为 N 型晶体管。

- 15 8、根据权利要求 2 至 5 中任意一项所述的灵敏放大器，其中，所述放大模块包括：

至少一个交叉耦合放大电路，其设有第一端、第二端、第三端以及第四端；其第一端与所述第一可控电源单元的输出端连接，其第二端与所述第二可控电源单元的输出端连接，其第三端和所述位线连接，其第四端和所述基准位线连接。

- 20 9、根据权利要求 8 所述的灵敏放大器，其中，所述交叉耦合放大电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第一开关、第二开关、第三开关以及第四开关；

- 25 所述第一晶体管的第一端为所述交叉耦合放大电路的第一端，所述第二晶体管的第二端为所述交叉耦合放大电路的第二端，所述第一晶体管的第二端为所述交叉耦合放大电路的第三端，所述第三晶体管的第二端为所述交叉耦合放大电路的第四端；

- 30 所述第一晶体管的第二端与第二晶体管的第一端连接，所述第三晶体管的第二端与所述第四晶体管的第一端连接，所述第一晶体管的第一端与所述第三晶体管的第一端连接，所述第二晶体管的第二端与所述第四晶体管的第

二端连接；

所述第一晶体管的控制端与所述第三晶体管的第二端连接，所述第二晶体管的控制端通过所述第一开关与所述第三晶体管的第二端连接，所述第二晶体管的控制端通过所述第三开关与所述第二晶体管的第一端连接；

- 5 所述第三晶体管的控制端与所述第一晶体管的第二端连接，所述第四晶体管的控制端通过所述第二开关与所述第一晶体管的第二端连接，所述第四晶体管的控制端通过所述第四开关与所述第四晶体管的第一端连接。

10 10、根据权利要求 9 所述的灵敏放大器，其中，所述第一晶体管和第三晶体管为 P 型晶体管，所述第二晶体管和所述第四晶体管为 N 型晶体管。

- 10 11、一种存储器，包括如权利要求 1 至 10 中任意一项所述的灵敏放大器以及存储单元；

多个所述存储单元构成第一存储阵列，多个所述存储单元构成第二存储阵列，所述灵敏放大器位于所述第一存储阵列和所述第二存储阵列之间，所述灵敏放大器的第三端连接所述第一存储阵列的位线，所述灵敏放大器的第
15 四端连接所述第二存储阵列的基准位线。

12、一种灵敏放大器的控制方法，所述灵敏放大器包括放大模块和可控电源模块，所述方法包括：

获取位线和基准位线之间额定补偿电压范围；

根据所述额定补偿电压范围确定驱动参数；

- 20 根据所述驱动参数生成用于控制放大模块的控制信号，以控制所述放大模块在偏移消除阶段拉动所述位线和所述基准位线之间的补偿电压为额定补偿电压；所述额定补偿电压位于所述额定补偿电压范围内。

13、根据权利要求 12 所述的方法，其中，根据所述额定补偿电压范围确定驱动参数，具体包括：

- 25 根据额定补偿电压范围确定第一驱动电流范围和第二驱动电流范围。

14、根据权利要求 13 所述的方法，其中，所述可控电源模块包括第一可控电源单元和第二可控电源单元，根据所述驱动参数生成用于控制放大模块的控制信号，具体包括：

- 30 从 N 个第一可控电流源中选择至少一个第一目标电流源，并从所述 N 个第二可控电流源中选择至少一个第二目标电流源，其中，所述至少一个第一

目标电流源提供的总电流在所述第一驱动电流范围内；所述至少一个第二目标电流源提供的总电流在所述第二驱动电流范围内；

生成用于控制所述第一目标电流源工作的第一控制信号，并生成用于控制所述第二目标电流源工作的第二控制信号。

5