

阶梯结构及其制造方法、半导体结构

5 本申请要求于 2023 年 12 月 19 日提交中国专利局、申请号为 202311759267.4、申请名称为“阶梯结构及其制造方法、半导体结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开实施例涉及半导体技术领域，特别涉及一种阶梯结构及其制造方法、半导体结构。

背景技术

10 随着半导体结构的不断发展，其关键尺寸不断减小，但由于光刻机的限制，其关键尺寸的缩小存在极限，因此如何在一片晶圆上做出更高存储密度的芯片，是众多科研工作者和半导体从业人员的研究方向。在此基础上，半导体器件的发展走向三维半导体器件。

然而，随着三维半导体器件中信号传输层，例如位线或字线的堆叠层数的增加，如何设计占用布局空间更小的引出结构将众多信号传输层上的电信号传递出去成为亟待解决的问题。

发明内容

15 本公开实施例提供一种阶梯结构及其制造方法、半导体结构，至少有利于缩小阶梯结构整体所占用的水平面积，以及提高阶梯结构中导电柱的集成密度。

20 根据本公开一些实施例，本公开实施例一方面提供一种阶梯结构，其特征在于，包括：沿第一方向间隔排布的多条导电层，所述导电层包括沿第二方向间隔排布至少两条子导电层，所述导电层沿第三方向延伸，所述第一方向、所述第二方向和所述第三方向两两相交；沿所述第二方向间隔排布的多个台阶结构，沿所述第一方向间隔排布的一列所述子导电层至少与一所述台阶结构接触连接；其中，每一所述台阶结构包括多个相互电绝缘的导电柱，一所述导电柱和一所述子导电层接触连接，与一所述子导电层接触连接的所述导电柱与其他所述子导电层之间均电绝缘；且沿所述第一方向间隔排布的一列所述导电层中，所述导电层与所述导电柱一一接触连接。

25 在一些实施例中，所述导电柱包括主体部以及外延部，所述主体部沿所述第一方向延伸，所述外延部位于所述主体部部分厚度的沿所述第一方向延伸的侧壁上，所述外延部与所述子导电层接触连接，接触连接的所述外延部与所述子导电层处于同层；且，同一所述台阶结构中的多个所述主体部沿所述第三方向间隔排布，同一所述台阶结构中的多个所述外延部分别位于不同层。

30 在一些实施例中，所述导电柱还包括至少一个延展部，所述延展部也位于所述主体部部分厚度的沿所述第一方向延伸的侧壁上，且与同一所述导电柱接触连接的所述延展部和所述外延部沿所述第一方向间隔排布，所述延展部和所述子导电层之间电绝缘。

在一些实施例中，与同一所述导电柱接触连接的至少一个所述延展部中，一所述延展部与一所述子导电层处于同层；或者，与同一所述导电柱接触连接的至少一个所述延展部均位于所述外延部沿所述第一方向的一侧。

35 在一些实施例中，所述第二方向和所述第三方向共同构成参考面，所述延展部在所述参考面上的正投影面积小于所述外延部在所述参考面上的正投影面积。

在一些实施例中，所述主体部在所述第一方向上具有相对的第一面和第二面，同一所述台阶结构中，沿所述第三方向上，不同所述外延部与所述第一面在所述第一方向上的距离逐次增加或逐次降低。

40 在一些实施例中，沿所述第一方向间隔排布的一列所述子导电层与一所述台阶结构接触连接，沿所述第二方向相邻的两条所述子导电层分别作为第一子导电层和第二子导电层；其中，与所述第一子导电层接触连接的所述台阶结构位于所述第一子导电层沿所述第二方向远离所述第二子导电层的一侧，或者，与所

述第一子导电层接触连接的所述台阶结构位于所述第一子导电层和所述第二子导电层之间；与所述第二子导电层接触连接的所述台阶结构位于所述第二子导电层沿所述第二方向远离所述第一子导电层的一侧，或者，与所述第二子导电层接触连接的所述台阶结构位于所述第二子导电层和所述第一子导电层之间。

5 在一些实施例中，沿所述第一方向间隔排布的一列所述子导电层与两个所述台阶结构接触连接，与同一列所述子导电层接触连接的两个所述台阶结构分别位于该列所述子导电层在所述第二方向上相对的两侧。

在一些实施例中，每一所述台阶结构（102）中的多个所述导电柱（103）在所述第二方向（Y）上的间距均相等。

10 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构，包括：根据上述任一项所述的阶梯结构；沿所述第一方向间隔排布的多条信号传输层，所述信号传输层和所述导电层一一接触连接，且同一所述导电层中的所述子导电层均与同一所述信号传输层接触连接；其中，所述信号传输层包括字线或位线。

15 根据本公开一些实施例，本公开实施例又一方面还提供一种阶梯结构的制造方法，包括：形成沿第一方向间隔排布的多条导电层，所述导电层包括沿第二方向间隔排布至少两条子导电层，所述导电层沿第三方向延伸，所述第一方向、所述第二方向和所述第三方向两两相交；形成沿所述第二方向间隔排布的多个台阶结构，沿所述第一方向间隔排布的一列所述子导电层至少与一所述台阶结构接触连接；其中，每一所述台阶结构包括多个相互电绝缘的导电柱，一所述导电柱和一所述子导电层接触连接，与一所述子导电层接触连接的所述导电柱与其他所述子导电层之间均电绝缘；且沿所述第一方向间隔排布的一列所述导电层中，所述导电层与所述导电柱一一接触连接。

20 在一些实施例中，形成所述导电层的步骤包括：形成堆叠结构，所述堆叠结构包括沿所述第一方向上交替堆叠的第一介质层和第二介质层；对所述堆叠结构进行第一图形化处理，以形成贯穿所述堆叠结构的沟槽；对所述沟槽露出的所述第二介质层进行横向刻蚀，以在相邻所述第一介质层之间形成凹槽，所述沟槽在所述第二方向上的两侧分别连通一所述凹槽；在一所述凹槽中形成一所述子导电层；在所述沟槽中形成第三介质层，与同一所述第三介质层接触连接的多个所述子导电层构成一所述导电层。

25 在一些实施例中，形成所述台阶结构的步骤包括：对所述堆叠结构进行第二图形化处理，以形成贯穿所述堆叠结构且沿所述第三方向间隔排布的多个通孔，其中，沿所述第三方向间隔排布的多个所述通孔为一通孔组，且沿所述第一方向间隔排布的一列所述子导电层至少与一所述通孔组对应；在所述通孔中形成第一牺牲层，与沿所述第一方向间隔排布的同一列所述导电层对应的多个所述通孔中，位于不同所述通孔中的所述第一牺牲层在所述第一方向上的厚度不同，且厚度最小的所述第一牺牲层与一层所述第一介质层和一层所述第二介质层接触连接；形成保形覆盖所述通孔的剩余侧壁的第四介质层；以所述第四介质层为保护层去除与一层所述第二介质层接触连接的所述第一牺牲层，未被所述第一牺牲层填充的剩余所述通孔作为子通孔，使每一所述子通孔露出一层所述第二介质层；对所述子通孔露出的所述第二介质层进行横向刻蚀，以在相邻所述第一介质层之间形成外延槽，且所述外延槽露出所述子导电层，所述外延槽和所述子通孔相连通；去除剩余所述第一牺牲层，并在所述通孔和所述外延槽中形成所述导电柱，在同一所述通孔组中形成的多个所述导电柱构成一所述台阶结构。

30 在一些实施例中，在形成所述第四介质层之前，在形成所述第一牺牲层之后，还包括：对所述通孔露出的所述第二介质层进行横向刻蚀，以在相邻所述第一介质层之间形成延展槽，且所述延展槽露出剩余所述第二介质层，所述延展槽和所述通孔相连通；形成所述第四介质层的步骤还包括：形成保形覆盖所述延展槽表面的所述第四介质层；形成所述导电柱的步骤包括：在所述延展槽中形成所述导电柱。

40 在一些实施例中，沿所述第一方向上相邻的一层所述第一介质层和一层所述第二介质层为一子堆叠结构，与沿所述第一方向间隔排布的同一列所述导电层对应的多个所述通孔中，位于不同所述通孔中的所述第一牺牲层接触连接的所述子堆叠结构的层数不同。

在一些实施例中，与沿所述第一方向间隔排布的一列所述导电层对应的至少两个所述通孔组中，任一所述通孔组位于所述导电层在所述第二方向上相对的一侧中的一者处，或者，任一所述通孔组位于相邻所

述导电层之间。

在一些实施例中，所述第一介质层（116）的材料为氧化硅，所述第二介质层（126）的材料为氮化硅。

在一些实施例中，所述第一牺牲层（118）的材料为可旋涂介质层。

本公开实施例提供的技术方案至少具有以下优点：

- 5 设计一种新型的阶梯结构，将台阶的特征融合在导电柱上以形成新的台阶结构，新的台阶结构中导电柱本身既用于导电以传递电信号，也用于实现与位于不同层的导电层的电接触。较之目前在单独设计处于不同层面的多个台阶的基础上，单独设计与多个台阶一一对应的导电柱而导致台阶和导电柱整体占用的水平面积较大而言，本公开一实施例中将台阶的特征融合在导电柱上，有利于在保证将每一导电层上的电信号通过一导电柱引出的前提下，缩小阶梯结构整体所占用的水平面积，换言之，有利于提高阶梯结构中导电柱的集成密度。
- 10

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 15 图 1 为本公开一实施例提供的阶梯结构的一种俯视结构示意图；
- 图 2 为本公开一实施例提供的阶梯结构的另一种俯视结构示意图；
- 图 3 为图 1 或图 2 所示阶梯结构沿第一截面方向 AA1 的一种剖面结构示意图；
- 20 图 4 为图 1 或图 2 所示阶梯结构沿第二截面方向 BB1 的一种剖面结构示意图；
- 图 5 为图 1 所示阶梯结构中导电层和导电柱的一种局部立体结构示意图；
- 图 6 为图 1 所示阶梯结构在其一条导电层所处的膜层的层面上的一种正投影视图；
- 图 7 为图 1 所示阶梯结构在其另一条导电层所处的膜层的层面上的一种正投影视图；
- 图 8 为图 1 所示阶梯结构在其又一条导电层所处的膜层的层面上的一种正投影视图；
- 25 图 9 为本公开一实施例提供的阶梯结构的又一种俯视结构示意图；
- 图 10 为图 9 所示阶梯结构沿第一截面方向 AA1 的一种剖面结构示意图；
- 图 11 为图 9 所示阶梯结构沿第二截面方向 BB1 的一种剖面结构示意图；
- 图 12 为本公开另一实施例提供的半导体结构的一种俯视结构示意图；
- 图 13 为图 12 所示半导体结构沿第三截面方向 CC1 的一种剖面结构示意图；
- 30 图 14 至图 26 为本公开又一实施例提供的阶梯结构的制造方法中各步骤对应的剖面结构示意图。

具体实施方式

由背景技术可知，三维半导体器件中引出结构占用的布局空间有待缩小。

- 经分析发现，随着三维半导体器件中信号传输层，例如位线或字线的堆叠层数的增加，需要的与每个信号传输层的层数对应的台阶的数量也相应增加，且任意两个不同台阶需要处于不同的层，导致台阶数量
- 35 较多的情形下，布局所有台阶所占用的水平面积增大；而且，需要设计与台阶一一对应的导电柱，由于相邻台阶在水平方向上几乎没有间隙，但相邻导电柱之间需要具有间隙以避免干扰，使得单个台阶的水平布局面积不宜过于限缩以避免相邻导电柱的间距过近而存在干扰，从而导致多个台阶和多个导电柱构成的引出结构的布局空间限缩存在瓶颈。

本公开实施提供一种阶梯结构及其制造方法、半导体结构，阶梯结构中，将台阶的特征融合在导电柱上以形成新的台阶结构，新的台阶结构中导电柱本身既用于导电以传递电信号，也用于实现与位于不同层的导电层的电接触。较之目前在单独设计处于不同层面的多个台阶的基础上，单独设计与多个台阶一一对应的导电柱而导致台阶和导电柱整体占用的水平面积较大而言，本公开一实施例中将台阶的特征融合在导电柱上，有利于在保证将每一导电层上的电信号通过一导电柱引出的前提下，缩小阶梯结构整体所占用的水平面积，换言之，有利于提高阶梯结构中导电柱的集成密度。

下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

本公开一实施例提供一种阶梯结构，以下将结合附图对本公开一实施例提供的阶梯结构进行详细说明。

图1为本公开一实施例提供的阶梯结构的一种俯视结构示意图；图2为本公开一实施例提供的阶梯结构的另一种俯视结构示意图；图3为图1或图2所示阶梯结构沿第一截面方向AA1的一种剖面结构示意图；图4为图1或图2所示阶梯结构沿第二截面方向BB1的一种剖面结构示意图；图5为图1所示阶梯结构中导电层和导电柱的一种局部立体结构示意图；图6为图1所示阶梯结构在其一条导电层所处的膜层的层面上的一种正投影视图；图7为图1所示阶梯结构在其另一条导电层所处的膜层的层面上的一种正投影视图；图8为图1所示阶梯结构在其又一条导电层所处的膜层的层面上的一种正投影视图；图9为本公开一实施例提供的阶梯结构的又一种俯视结构示意图；图10为图9所示阶梯结构沿第一截面方向AA1的一种剖面结构示意图；图11为图9所示阶梯结构沿第二截面方向BB1的一种剖面结构示意图。

需要说明的是，为了便于描述以及清晰地示意出阶梯结构，本公开一实施例中的图1至图11均为阶梯结构的局部结构示意图。

参考图1、图2或图9，阶梯结构100包括：沿第一方向X间隔排布的多条导电层101，导电层101包括沿第二方向Y间隔排布至少两条子导电层111，导电层101沿第三方向Z延伸，第一方向X、第二方向Y和第三方向Z两两相交；沿第二方向Y间隔排布的多个台阶结构102，沿第一方向X间隔排布的一列子导电层111至少与一台阶结构102接触连接；其中，每一台阶结构102包括多个相互电绝缘的导电柱103，一导电柱103和一子导电层111接触连接，与一子导电层111接触连接的导电柱103与其他子导电层111之间均电绝缘；且沿第一方向X间隔排布的一列导电层101中，导电层101与导电柱103一一接触连接。

需要说明的是，其一，图1、图2或图9中均以一条导电层101包括沿第二方向Y间隔排布的两条子导电层111为示例，实际应用中，对一条导电层101包括的沿第二方向Y间隔排布的子导电层111的条数不做限制，例如条数为3条、4条或5条。可以理解的是，根据实际应用中沿第一方向X间隔排布导电层101的条数，可以灵活调整一条导电层101包括的沿第二方向Y间隔排布的子导电层111的条数，例如，若沿第一方向X间隔排布导电层101的条数较多，则可以增加一条导电层101包括的沿第二方向Y间隔排布的子导电层111的条数。

其二，图1、图2或图9中均以沿第一方向X间隔排布的一列子导电层111与一个台阶结构102接触连接为示例，实际应用中，沿第一方向X间隔排布的一列子导电层111也可以分别与两个台阶结构102接触连接为示例，后续会对其进行详细说明。

结合参考图1、图3和图5，阶梯结构100中，一个导电柱103只会与一条导电层101对应，且该导电柱103只会与该条导电层101中的一条子导电层111接触连接，与该条导电层101中的其他子导电层111均电绝缘，换言之具有间距。如此，以实现导电层101与导电柱103一一接触连接，使得任意一条导电层101上的电信号均能通过一个与之对应的导电柱103传递出去。

值得注意的是，一条导电层101包括至少两条子导电层111，属于同一导电层101的至少两条子导电层111中只需一条子导电层111和一导电柱103接触连接，即可实现该导电层101与该导电柱103的接触连接。换言之，每一导电柱103均会与一子导电层111接触连接，但并非所有的子导电层111均各自接触

连接有一个导电柱 103，即属于同一导电层 101 的至少两条子导电层 111 中有一条子导电层 111 和一导电柱 103 接触连接即可，属于同一导电层 101 的其他子导电层 111 和导电柱 103 之间绝缘。

需要说明的是，阶梯结构 100 中的导电层 101 后续会与半导体结构中的信号传输层电接触，以用于通过导电层 101 将信号传输层中的电信号引出，即阶梯结构 100 可以视为引出结构。实际应用中，半导体结构中的信号传输层包括但不限于位线或字线。在此基础上，为了便于后续表述的清晰性，图 3 和图 4 中以 BL1、BL2、BL3、BL4、BL5、BL6、BL7 和 BL8 分别示意出 8 条沿第一方向 X 间隔排布的导电层 101。可以理解的是，导电层 101 并不是位线（图中未示出），只是导电层 101 与位线电接触以传递电信号至位线或将位线上的电信号传递给其他电器件，图 3 和图 4 中以 BL 示意导电层 101 目的是为了说明不同导电层 101 和不同位线之间的对应关系。实际应用中，导电层也可以与字线电接触以传递电信号至字线或将字线上的电信号传递给其他电器件。

此外，图 3 和图 4 中以沿第一方向 X 间隔排布的导电层 101 为 8 条为例，实际应用中，对沿第一方向 X 间隔排布的导电层 101 的条数不做限制，可根据与导电层一一对应的信号传输层沿第一方向 X 间隔排布的层数而定。

由上述描述可知，本公开一实施例设计了一种新型的阶梯结构 100，将台阶的特征融合在导电柱 103 上以形成新的台阶结构 102，新的台阶结构 102 中导电柱 103 本身既用于导电以传递电信号，也用于实现与位于不同层的导电层的电接触。较之目前在单独设计处于不同层面的多个台阶的基础上，单独设计与多个台阶一一对应的导电柱而导致台阶和导电柱整体占用的水平面积较大而言，本公开一实施例中将台阶的特征融合在导电柱 103 上，有利于在保证将每一导电层 101 上的电信号通过一导电柱 103 引出的前提下，缩小阶梯结构 102 整体所占用的水平面积，换言之，有利于提高阶梯结构 102 中导电柱 103 的集成密度。

在一些情况下，一个台阶结构 102 中的多个导电柱 103 与导电层 101 在第二方向 Y 上的间距均相等，即，将多个导电柱 103 集中排布在导电层 101 的周围，有利于保证电信号在每一导电层 101 和与其接触连接的导电柱 103 之间的传输路径均较短。

以下对本公开一实施例提供的阶梯结构进行详细说明。

在一些实施例中，参考图 1、图 3 至图 5，或者图 2、图 3 和图 4，导电柱 103 包括主体部 113 以及外延部 123，主体部 113 沿第一方向 X 延伸，外延部 123 位于主体部 113 部分厚度的沿第一方向 X 延伸的侧壁上，外延部 123 与子导电层 111 接触连接，接触连接的外延部 123 与子导电层 111 处于同层；且，同一台阶结构 102 中的多个主体部 113 沿第三方向 Z 间隔排布，同一台阶结构 102 中的多个外延部 123 分别位于不同层。

值得注意的是，一个主体部 113 上只设置有一个外延部 123，以确保一个导电柱 103 只通过一个外延部 123 与一个子导电层 111 接触连接。图 3 中为区分与不同子导电层 111，即不同导电层 101 接触连接的不同外延部 123，将与导电层 BL1 接触连接的外延部 123 标注为 WY1，将与导电层 BL2 接触连接的外延部 123 标注为 WY2，将与导电层 BL3 接触连接的外延部 123 标注为 WY3，将与导电层 BL4 接触连接的外延部 123 标注为 WY4。同理，图 4 中为区分与不同子导电层 111，即不同导电层 101 接触连接的不同外延部 123，将与导电层 BL5 接触连接的外延部 123 标注为 WY5，将与导电层 BL6 接触连接的外延部 123 标注为 WY6，将与导电层 BL7 接触连接的外延部 123 标注为 WY7，将与导电层 BL8 接触连接的外延部 123 标注为 WY8。

继续参考图 1、图 3 至图 5，或者图 2、图 3 和图 4，导电柱 103 还可以包括至少一个延展部 133，延展部 133 也位于主体部 113 部分厚度的沿第一方向 X 延伸的侧壁上，且与同一导电柱 103 接触连接的延展部 133 和外延部 123 沿第一方向 X 间隔排布，延展部 133 和子导电层 111 之间电绝缘。

可以理解的是，一方面，主体部 113 沿第一方向 X 上的长度较长，该长度会贯穿沿第一方向 X 间隔排布的多条导电层 101，则主体部 113 在第一方向 X 上的长度与其在第三方向 Z 上的长度的比值较大，使得主体部 113 由于长度过高而容易导致中间断裂。基于此，在主体部 113 沿第一方向 X 延伸的侧壁上设计至少一个延展部 133，有利于通过延展部 133 对主体部 113 的支撑作用以降低主体部 113 中间断裂的概率，从而有利于提高主体部 113 自身的结构稳定性，以提高导电柱 103 的结构稳定性。

另一方面,在主体部 113 沿第一方向 X 延伸的侧壁上设计至少一个延展部 133,有利于增大导电柱 103 的提及以降低导电柱 103 自身的电阻,从而有利于提高导电柱 103 的电学性能。

需要说明的是,为清晰示意出导电柱 103 的立体结构,图 5 中仅示意出两个导电柱 103 以及两条与导电柱 103 接触连接的导电层 101。而且为清晰示意出导电柱 103 中主体部 113、外延部 123 和延展部 133 的位置关系,图 5 中仅示意出导电柱 103 一半的立体结构。

值得注意的是,其一,在一些实施例中,参考图 4,与位于最顶面的一条导电层 101,即 BL8 接触连接的导电柱 103 仅具有外延部 123,不具有延展部 133。其二,在一些实施例中,参考图 3 至图 5,与同一导电柱 103 接触连接的至少一个延展部 133 中,一延展部 133 与一子导电层 111 处于同层。换言之,对于同一导电柱 103 而言,位于其沿第一方向 X 上延伸的侧壁的外延部 123 和延展部 133 均分别与一条导电层 101 处于同层。其三,在一些实施例中,参考图 3 至图 5,与同一导电柱 103 接触连接的至少一个延展部 133 均位于外延部 123 沿第一方向 X 的一侧。需要说明的是,沿第一方向 X 上,阶梯结构 100 下方还可以配置有支撑其的基底(图中未示出),基底位于导电层 BL1 远离导电层 BL2 的一侧,基于此,与同一导电柱 103 接触连接的至少一个延展部 133 均位于外延部 123 沿第一方向 X 的一侧指的是,与同一导电柱 103 接触连接的至少一个延展部 133 均位于外延部 123 远离基底的一侧。

可以理解的是,上述各种情形的存在与制备阶梯结构 100 的工艺流程有关,后续会对其进行详细说明。实际应用中,采用一些工艺方法制备阶梯结构 100,阶梯结构 100 可以具备上述各种情形;采用另外一些工艺方法制备阶梯结构 100,阶梯结构 100 也可以不具备上述各种情形。

需要说明的是,图 1 至图 5 所示的示例中,一方面,沿第一方向 X 间隔排布的导电层 101 为 8 条,基于此,设计与导电层 101 一一接触连接的导电柱 103 为 8 个;另一方面,一条导电层 101 包括沿第二方向 Y 间隔排布的两条子导电层 111,且沿第一方向 X 间隔排布的一列子导电层 111 与一个台阶结构 102 接触连接。基于此,设计 2 个台阶结构 102,且图 1 至图 4 中以 A 和 B 对两个台阶结构 102 进行区分,以及设计一个台阶结构 102 包括沿第三方向 Z 排布的 4 个导电柱 103。在上述前提下,外延部 WY1 远离基底的一侧还沿第一方向 X 上间隔排布有 7 个导电层 101,因此设计与外延部 WY1 接触连接的主体部 113 的侧壁上沿第一方向 X 上间隔排布有 7 个延展部 133;外延部 WY2 远离基底的一侧还沿第一方向 X 上间隔排布有 6 个导电层 101,因此设计与外延部 WY2 接触连接的主体部 113 的侧壁上沿第一方向 X 上间隔排布有 6 个延展部 133……以此类推,外延部 WY7 远离基底的一侧还沿第一方向 X 上间隔排布有 1 个导电层 101,因此设计与外延部 WY7 接触连接的主体部 113 的侧壁上沿第一方向 X 上间隔排布有 1 个延展部 133;外延部 WY8 远离基底的一侧还沿第一方向 X 上间隔排布有 0 个导电层 101,因此设计与外延部 WY8 接触连接的主体部 113 的侧壁上沿第一方向 X 上间隔排布有 0 个延展部 133。

在一些实施例中,参考图 1 至图 5,台阶结构 102 还可以包括绝缘部 104,绝缘部 104 环绕延展部 133 沿第一方向 X 延伸的侧壁。可以理解的是,绝缘部 104 与延展部 133 一一对应,如此,有利于在通过延展部 133 提高导电柱 103 的结构稳定性,以及提高导电柱 103 的电学性能的同时,通过绝缘部 104 避免延展部 133 和与其位于同层的子导电层 111 接触连接,以实现一导电柱 103 和一子导电层 111 接触连接,且与该子导电层 111 接触连接的导电柱 103 与其他子导电层 111 之间均电绝缘。而且,有利于通过绝缘部 104 避免沿第三方向 Z 上相邻的导电柱 103 中一者的外延部 123 和另一者的延展部 133 之间的接触连接,以避免同一台阶结构 102 中相邻导电柱 103 之间的短接,从而有利于提高阶梯结构 100 的电学性能。

在一些实施例中,参考图 1 至图 5,沿第三方向 Z 上相邻的导电柱 103 中处于同层的外延部 123 和延展部 133 之间仅具有绝缘部 104,实际应用中,沿第三方向 Z 上相邻的导电柱 103 中处于同层的外延部 123 和延展部 133 之间不仅具有绝缘部 104,还可以具有其他绝缘介质层。

在一些实施例中,参考图 1 至图 5,绝缘部 104 和子导电层 111 还可以具有间隔,该间隔中可以具有其他绝缘介质层。

需要说明的是,在一些例子中,以第二方向 Y 和第三方向 Z 构成的平面为投影面,图 1 和图 5 至图 8 中均以主体部 113 的正投影形状为圆形,且外延部 123、延展部 133 和绝缘部 104 的正投影形状为圆环形为示例。在另一些例子中,参考图 2,以第二方向 Y 和第三方向 Z 构成的平面为投影面,图 2 中均以主体

部 113 的正投影形状为方形，且外延部 123、延展部 133 和绝缘部 104 的正投影形状为方环形为示例，而且，图 2 所示的示例中，外延部 123 具有 4 个沿第一方向 X 上延伸的侧壁，其中一个侧壁均与子导电层 111 接触连接，如此有利于保证外延部 123 与子导电层 111 之间的具有较大的接触面积，以保证电信号在导电柱 103 和导电层 101 之间具有较大的传递效率。实际应用中，主体部、外延部、延展部和绝缘部的正投影形状也可以为其他图形，本公开一实施例对四者的正投影形状不做限制。

值得注意的是，图 1 和图 6 至图 8 所示的示例中，外延部 123 在第二方向 Y 和第三方向 Z 构成的平面上的正投影形状为类圆环形，具体的，外延部 123 与子导电层 111 接触连接的部分的正投影形状为直线而非弧线，如此有利于增大外延部 123 与子导电层 111 之间的接触面积，以提高电信号在导电柱 103 和导电层 101 之间的传递效率。实际应用中，外延部在第二方向和第三方向构成的平面上的正投影形状也可以为完整圆环形，则外延部与子导电层之间相切。

在一些实施例中，参考图 1，正投影形状为圆环形的绝缘部 104 的半径小于等于主体部 113 的圆心和与其能够进行电信号传递的子导电层 111 在第二方向 Y 上的间距，如此，有利于保证延展部 133 和与其位于同层的子导电层 111 之间具有完整的绝缘部 104，以避免延展部 133 和与其位于同层的子导电层 111 接触连接。需要说明的是，图 2 所示的示例中绝缘部 104、主体部 113 和与其能够进行电信号传递的子导电层 111 三者之间的间距关系类似，在此不做赘述。

在一些实施例中，参考图 1，在第二方向 Y 和第三方向 Z 构成的平面上，主体部 113 的圆心与外延部 123 之间最大的间距大于等于主体部 113 的圆心和与其能够进行电信号传递的子导电层 111 在第二方向 Y 上的间距，如此，有利于保证外延部 123 与子导电层 111 接触连接。需要说明的是，图 2 所示的示例中主体部 113、外延部 123 和与其接触连接的子导电层 111 三者之间的间距关系类似，在此不做赘述。

在一些实施例中，参考图 1 至图 7，第二方向 Y 和第三方向 Z 共同构成参考面，延展部 133 在参考面上的正投影面积小于外延部 123 在参考面上的正投影面积。

需要说明的是，图 1 至图 8 所示的示例中均以导电柱 103 中除了包括主体部 113 和外延部 123 外，还包括延展部 133 为示例。在另一些实施例中，参考图 9 至图 11，导电柱 103 仅包括主体部 113 以及外延部 123，主体部 113 沿第一方向 X 延伸，外延部 123 位于主体部 113 部分厚度的沿第一方向 X 延伸的侧壁上，外延部 123 与子导电层 111 接触连接，接触连接的外延部 123 与子导电层 111 处于同层；且，同一台阶结构 102 中的多个主体部 113 沿第三方向 Z 间隔排布，同一台阶结构 102 中的多个外延部 123 分别位于不同层。

需要说明的是，图 9 至图 11 所示的示例中与前述图 1 至图 8 所示的示例中相同或相似的部分，在此不再赘述。

可以理解的是，任一导电柱 103 仅包括一个沿第一方向 X 延伸的主体部 113 和一个位于主体部 113 部分厚度的沿第一方向 X 延伸的侧壁上的外延部 123。如此，有利于在保证任一导电柱 103 与其对应的导电层 101 接触连接的前提下，增大除该导电柱 103 之外的其他导电柱 103 中除外延部 123 之外的其他部分与导电层 101 在第二方向 Y 上的间距，以保证导电层 101 与导电柱 103 一一接触连接。此外，还有利于增大相邻导电柱 103 中大部分区域在第三方向 Z 上的间距，从而有利于降低沿第三方向 Z 上相邻导电柱 103 之间的电干扰。

继续参考图 9 至图 11，台阶结构 102 还可以包括绝缘部 104，绝缘部 104 环绕主体部 113 沿第一方向 X 延伸的侧壁。可以理解的是，绝缘部 104 与主体部 113 一一对应，如此，有利于提高主体部 113 中除外延部 123 环绕的部分区域之外的区域与导电层 101 之间的绝缘性能。

在一些实施例中，参考图 9 至图 11，主体部 113 中未被外延部 123 环绕的侧壁被分为上下两部分，绝缘部 104 环绕与之一对应的导电柱 103 中主体部 113 的上部分侧壁。其中，主体部 113 的上部分侧壁为位于外延部 123 远离基底的一侧的主体部 113 的侧壁。

在一些实施例中，参考图 9 至图 11，绝缘部 104 和子导电层 111 还可以具有间隔，该间隔中可以具有其他绝缘介质层。

在上述各种实施例中，参考图 3 和图 4，或者图 10 和图 11，主体部 113 在第一方向 X 上具有相对的第一面 113a 和第二面 113b，同一台阶结构 102 中，沿第三方向 Z 上，不同外延部 123 与第一面 113a 在第一方向 X 上的距离逐次增加或逐次降低。如此，有利于保证不同的外延部 123 与位于不同层的导电层 101 接触连接，且有利于提高台阶结构 102 中不同外延部 123 之间的排布规整度。

- 5 值得注意的是，不同台阶结构 102 中的外延部 123 与第一面 113a 在第一方向 X 上的距离也不相同。此外，第一面 113a 可以为导电柱 103 中靠近基底的底面。

在上述各种实施例中，以图 1、图 3 和图 4 所示的示例为准，沿第一方向 X 间隔排布的一列子导电层 111 与一台阶结构 102 接触连接，沿第二方向 Y 相邻的两条子导电层 111 分别作为第一子导电层 121 和第二子导电层 131。

- 10 其中，第一子导电层 121 和与其接触连接的台阶结构 102 的位置关系至少包括以下两种：在一些情况下，参考图 3，与第一子导电层 121 接触连接的台阶结构 102 位于第一子导电层 121 沿第二方向 Y 远离第二子导电层 131 的一侧；在另一些情况下，与第一子导电层接触连接的台阶结构位于第一子导电层和第二子导电层之间。

- 15 第二子导电层 131 和与其接触连接的台阶结构 102 的位置关系至少包括以下两种：在一些情况下，参考图 3，与第二子导电层 131 接触连接的台阶结构 102 位于第二子导电层 131 沿第二方向 Y 远离第一子导电层 121 的一侧；在另一些情况下，与第二子导电层接触连接的台阶结构位于第二子导电层和第一子导电层之间。

如此，将沿第二方向 Y 相邻的两列子导电层 111 作为一组子导电层，对于该组子导电层而言，与该组子导电层接触连接的两个台阶结构至少包括以下四种布局情形：

- 20 在一些情况下，参考图 3，与第一子导电层 121 接触连接的台阶结构 102 位于第一子导电层 121 沿第二方向 Y 远离第二子导电层 131 的一侧，且，与第二子导电层 131 接触连接的台阶结构 102 位于第二子导电层 131 沿第二方向 Y 远离第一子导电层 121 的一侧。如此，同一导电层 101 中的第一子导电层 121 和第二子导电层 131 在第二方向 Y 上的间距可以设计得很小。

- 25 在另一些情况下，与第一子导电层接触连接的台阶结构位于第一子导电层沿第二方向远离第二子导电层的一侧，且，与第二子导电层接触连接的台阶结构位于第二子导电层和第一子导电层之间。

在又一些情况下，与第一子导电层接触连接的台阶结构位于第一子导电层和第二子导电层之间，且，与第二子导电层接触连接的台阶结构位于第二子导电层沿第二方向远离第一子导电层的一侧。

在再一些情况下，与第一子导电层接触连接的台阶结构位于第一子导电层和第二子导电层之间，且，与第二子导电层接触连接的台阶结构位于第二子导电层和第一子导电层之间。

- 30 在一些实施例中，与上述实施例中“沿第一方向 X 间隔排布的一列子导电层 111 与一台阶结构 102 接触连接”的情形不同，沿第一方向 X 间隔排布的一列子导电层 111 可以与两个台阶结构 102 接触连接，与同一列子导电层 111 接触连接的两个台阶结构 102 分别位于该列子导电层 111 在第二方向 Y 上相对的两侧。如此，沿第一方向 X 间隔排布的一列子导电层 111 分别和 2 个台阶结构 102 接触连接。例如，沿第一方向 X 间隔排布有 8 个子导电层 111，其中 4 个子导电层 111 需要与 2 个台阶结构 102 分别接触连接，则 1 个
35 台阶结构 102 可以与该 4 个子导电层 111 中的 2 个子导电层 111 接触连接，另 1 个台阶结构 102 可以与该 4 个子导电层 111 中的剩余 2 个子导电层 111 接触连接。

- 40 可以理解的是，在沿第一方向 X 间隔排布的导电层 101 的数量较多，例如沿第一方向 X 间隔排布的导电层 101 的数量为 M 条，且为保证每一导电层 101 具有与之接触连接的一个台阶结构 102 的前提下，为合理规划台阶结构 102 的布局空间，使得导电层 101 在第三方向 Z 上的长度与沿第三方向 Z 上间隔排布的台阶结构 102 的数量相匹配。

一方面，可以将每一导电层 101 沿第二方向上划分为 N 条子导电层 111，则沿第一方向 X 间隔排布的一列子导电层 111 中设计 M/N 个子导电层 111 与至少一个台阶结构 102 具有接触连接的关系，即可实现 M

条导电层 101 各自接触连接 M 个台阶结构 102。另一方面，沿第一方向 X 间隔排布的一列子导电层 111 可以与 1 个台阶结构 102 或者 2 个台阶结构 102 接触连接，若为 1 个台阶结构 102，该 1 个台阶结构 102 位于该列子导电层 111 在第二方向 Y 上相对的两侧中的任一侧即可，则可以使得 1 个台阶结构 102 中沿第三方向 Z 排布的导电柱 103 的数量缩减至 M/N 个；若为 2 个台阶结构 102，该 2 个台阶结构 102 分别位于该列子导电层 111 在第二方向 Y 上相对的两侧，则可以使得 1 个台阶结构 102 中沿第三方向 Z 排布的导电柱 103 的数量缩减至 $M/2N$ 个。

可以理解的是，若将每一导电层 101 沿第二方向上划分为 N 条子导电层 111，沿第一方向 X 间隔排布的一列子导电层 111 与 1 个台阶结构 102 接触连接，则沿第一方向 X 间隔排布的一列导电层 101 与 N 个台阶结构接触连接；若将每一导电层 101 沿第二方向上划分为 N 条子导电层 111，沿第一方向 X 间隔排布的一列子导电层 111 与 2 个台阶结构 102 接触连接，则沿第一方向 X 间隔排布的一列导电层 101 与 $2N$ 个台阶结构接触连接。

需要说明的是，与沿第一方向 X 间隔排布的一列导电层 101 包括 N 列子导电层 111，M 和 N 均为正整数，若 M/N 为非整数，对 M/N 进行取整，即取不超过实数 M/N 的最大整数，将该最大整数称为 P，一列导电层 101 中的 N 列子导电层 111 中相邻的两列子导电层 111 中一者的 P 个子导电层 111 与至少一个台阶结构 102 具有接触连接的关系，另一者的 $(M-P)$ 个子导电层 111 与至少一个台阶结构 102 具有接触连接的关系。同理，若 $M/2N$ 为非整数，对 $M/2N$ 进行取整并将该整数称为 Q，使得 1 个台阶结构 102 中沿第三方向 Z 排布的导电柱 103 的数量缩减至 Q 个，另 1 个台阶结构 102 中沿第三方向 Z 排布的导电柱 103 的数量缩减至 $(M/2-Q)$ 个。同理，也可以对 $M/2$ 进行上述类似的取整操作以及后续设计。可以理解的是，上述为对导电层 101 划分为子导电层 111 的主要构思，以及对沿第一方向 X 间隔排布的一列子导电层 111 与台阶结构 102 之间对应关系的主要构思，实际应用中可根据实际情况调整上述各种数量。

此外，使得导电层 101 在第三方向 Z 上的长度与沿第三方向 Z 上间隔排布的台阶结构 102 的数量相匹配指的是，在导电层 101 在第三方向 Z 上的长度有限的情况下，台阶结构 102 中沿第三方向 Z 上间隔排布的导电柱 103 的数量也会受限，使得沿第一方向 X 间隔排布的导电层 101 的数量多于沿第三方向 Z 上能够间隔排布的导电柱 103 的数量，因此，需要为多出的导电柱 103 额外考虑布局空间。基于此，采取的措施包括：其一，将每一导电层 101 沿第二方向上划分为 N 条子导电层 111；其二，使得与沿第一方向 X 间隔排布的一列子导电层 111 接触连接的台阶结构 102 的数量为 1 个或 2 个。

而且，在实际应用中，可以不对导电层 101 进行沿第二方向 Y 上的划分，仅设计与沿第一方向 X 间隔排布的一列导电层 101 接触连接的台阶结构 102 数量为 2 个，且 2 个台阶结构 102 分别位于该列导电层 101 在第二方向 Y 上相对的两侧。

以下结合图 1 和图 3 至图 8 对导电层 101 与导电柱 103 一一接触连接进行详细说明。其中，图 1 可视为阶梯结构 100 在导电层 BL8 所处的膜层的层面上的一种正投影视图；图 6 可视为阶梯结构 100 在导电层 BL7 所处的膜层的层面上的一种正投影视图；图 7 可视为阶梯结构 100 在其导电层 BL4 所处的膜层的层面上的一种正投影视图；图 8 可视为阶梯结构 100 在其导电层 BL1 所处的膜层的层面上的一种正投影视图。

2 个台阶结构 102 共 8 个导电柱 103 中，参考图 1 和图 3，在导电层 BL8 所处的膜层的层面上，仅具有外延部 WY8 的导电柱 103 与导电层 BL8 接触连接，其他导电柱 103 在导电层 BL8 所处的膜层的层面上均具有延展部 133；参考图 6 和图 3，在导电层 BL7 所处的膜层的层面上，仅具有外延部 WY7 的导电柱 103 与导电层 BL7 接触连接，与导电层 BL8 接触的连接导电柱 103 在该层面上仅具有主体部 113，其他导电柱 103 在该层面上均具有延展部 133。以此类推，在导电层 BL6 所处的膜层的层面上，仅具有外延部 WY6 的导电柱 103 与导电层 BL6 接触连接，与导电层 BL8、BL7 接触的连接导电柱 103 在该层面上仅具有主体部 113，其他导电柱 103 在该层面上均具有延展部 133；在导电层 BL5 所处的膜层的层面上，仅具有外延部 WY5 的导电柱 103 与导电层 BL5 接触连接，与导电层 BL8、BL7、BL6 接触的连接导电柱 103 在该层面上仅具有主体部 113，其他导电柱 103 在该层面上均具有延展部 133。而且，与导电层 BL8、BL7、BL6 和 BL5 接触连接的 4 个导电柱 103 构成台阶结构 B，台阶结构 B 中的导电柱均与第二子导电层 131 接触连接。

参考图 7 和图 4, 在导电层 BL4 所处的膜层的层面上, 仅具有外延部 WY4 的导电柱 103 与导电层 BL4 接触连接, 与导电层 BL8、BL7、BL6、BL5 接触的连接的导电柱 103 在该层面上仅具有主体部 113, 其他导电柱 103 在该层面上均具有延展部 133; 以此类推, 在导电层 BL3 所处的膜层的层面上, 仅具有外延部 WY3 的导电柱 103 与导电层 BL3 接触连接, 与导电层 BL8、BL7、BL6、BL5、BL4 接触的连接的导电柱 103 在该层面上仅具有主体部 113, 其他导电柱 103 在该层面上均具有延展部 133; 在导电层 BL2 所处的膜层的层面上, 仅具有外延部 WY2 的导电柱 103 与导电层 BL2 接触连接, 与导电层 BL8、BL7、BL6、BL6、BL5、BL4、BL3 接触的连接的导电柱 103 在该层面上仅具有主体部 113, 其他导电柱 103 在该层面上均具有延展部 133; 参考图 8 和图 3, 在导电层 BL1 所处的膜层的层面上, 仅具有外延部 WY1 的导电柱 103 与导电层 BL1 接触连接, 其他导电柱 103 在该层面上均仅具有主体部 113。而且, 与导电层 BL4、BL3、BL2 和 BL1 接触连接的 4 个导电柱 103 构成台阶结构 A, 台阶结构 A 中的导电柱均与第一子导电层 121 接触连接。

综上所述, 将台阶的特征融合在导电柱 103 上以形成新的台阶结构 102, 新的台阶结构 102 中导电柱 103 本身既用于导电以传递电信号, 也用于实现与位于不同层的导电层的电接触。较之目前在单独设计处于不同层面的多个台阶的基础上, 单独设计与多个台阶一一对应的导电柱而导致台阶和导电柱整体占用的水平面积较大而言, 本公开一实施例中将台阶的特征融合在导电柱 103 上, 有利于在保证将每一导电层 101 上的电信号通过一导电柱 103 引出的前提下, 缩小台阶结构 102 整体所占用的水平面积, 换言之, 有利于提高台阶结构 102 中导电柱 103 的集成密度。

本公开另一实施例还提供一种半导体结构, 包括本公开一实施例提供的阶梯结构。以下将结合附图对本公开另一实施例提供的半导体结构进行详细说明。需要说明的是, 与前述实施例相同或相应的部分在此不做赘述。

图 12 为本公开另一实施例提供的半导体结构的一种俯视结构示意图; 图 13 为图 12 所示半导体结构沿第三截面方向 CC1 的一种剖面结构示意图。需要说明的是, 为了便于描述以及清晰地示意出半导体结构, 本实施例中的图 12 和图 13 均为半导体结构的局部结构示意图。

参考图 12 和图 13, 半导体结构包括: 本公开一实施例提供的阶梯结构 100; 沿第一方向 X 间隔排布的多条信号传输层 105, 信号传输层 105 和导电层 101 一一接触连接, 且同一导电层 101 中的子导电层 111 均与同一信号传输层 105 接触连接; 其中, 信号传输层 105 包括字线或位线。

需要说明的是, 图 12 中用不同形式的虚线方框示意出阶梯结构 100 以及阶梯结构 100 中的台阶结构 102。此外, 图 12 中示意的信号传输层 105 为简易绘制方式, 实际应用中, 信号传输层 105 在第三方向 Z 上的延伸长度很长, 例如, 信号传输层 105 在第三方向 Z 上的延伸长度大于导电层 101 在第三方向 Z 上的延伸长度。

在一些实施例中, 半导体结构还可以包括晶体管结构 (图中未示出), 若信号传输层 105 为位线, 则信号传输层 105 与晶体管结构中的源极或漏极接触连接, 若信号传输层 105 为字线, 则信号传输层 105 环绕晶体管结构中的沟道区。

在一些实施例中, 继续参考图 12 和图 13, 沿第一方向 X 间隔排布的多条信号传输层为一个信号传输组 115, 多个信号传输组 115 沿第二方向 Y 间隔排布, 一个信号传输组 115 与一个阶梯结构 100 对应。如此, 一个信号传输组 115 中的所有信号传输层 105 上的电信号均可以通过一个阶梯结构 100 中的多个导电柱 103 分别引出。

本公开又一实施例还提供一种阶梯结构的制造方法, 用于形成本公开一实施例提供的阶梯结构。以下将结合附图对本公开又一实施例提供的阶梯结构的制造方法进行详细说明。图 14 至图 26 为本公开又一实施例提供的阶梯结构的制造方法中各步骤对应的剖面结构示意图。需要说明的是, 为了便于描述以及清晰地示意出阶梯结构的制造方法的步骤, 本实施例中的图 14 至图 26 均为阶梯结构的局部结构示意图。与前述实施例相同或相应的部分在此不做赘述。

需要说明的是, 本公开又一实施例以形成图 1、图 3 和图 4 所示的阶梯结构 102 为示例, 对本公开又一实施例提供的阶梯结构的制造方法进行详细说明。

参考图 1、图 3、图 4 以及图 14 至图 26，阶梯结构的制造方法包括：形成沿第一方向 X 间隔排布的多条导电层 101，导电层 101 包括沿第二方向 Y 间隔排布至少两条子导电层 111，导电层 101 沿第三方向 Z 延伸，第一方向 X、第二方向 Y 和第三方向 Z 两两相交；形成沿第二方向 Y 间隔排布的多个台阶结构 102，沿第一方向 X 间隔排布的一列子导电层 111 至少与一台阶结构 102 接触连接。其中，每一台阶结构 102 包括多个相互电绝缘的导电柱 103，一导电柱 103 和一子导电层 111 接触连接，与一子导电层 111 接触连接的导电柱 103 与其他子导电层 111 之间均电绝缘；且沿第一方向 X 间隔排布的一列导电层 101 中，导电层 101 与导电柱 103 一一接触连接。

以下将结合附图对制造方法中的各步骤进行详细的说明。

在一些实施例中，参考图 14 至图 17，形成导电层 101 可以包括如下步骤：

10 参考图 14 和图 15，形成堆叠结构 106，堆叠结构 106 包括沿第一方向 X 上交替堆叠的第一介质层 116 和第二介质层 126。

在一些实施例中，第一介质层 116 的材料与第二介质层 126 的材料不同。例如，第一介质层 116 的材料为氧化硅，第二介质层 126 的材料为氮化硅。

其中，图 15 为图 14 所示结构沿第四截面方向 DD1 的一种剖面结构示意图。需要说明的是，后续将根据表述需要设置沿第四截面方向 DD1 的剖面结构示意图，此外，图 14 和图 15 中示意出的是经过第一图形化处理后的堆叠结构 106。

继续参考图 14 和图 15 对堆叠结构 106 进行第一图形化处理，以形成贯穿堆叠结构 106 的沟槽 107。

20 在一些实施例中，在对堆叠结构 106 进行第一图形化处理之前，还在堆叠结构 106 的顶面形成具有开口的第一掩膜层 119，后续基于第一掩膜层 119 对堆叠结构 106 进行第一图形化处理，可以理解的是，第一图形化处理对第一介质层 116 和第二介质层 126 进行无差别刻蚀。

结合参考图 15 和图 16，对沟槽 107 露出的第二介质层 126 进行横向刻蚀，以在相邻第一介质层 116 之间形成凹槽 117，沟槽 107 在第二方向 Y 上的两侧分别连通一凹槽 117。可以理解的是，沿第二方向 Y 上相邻的 2 个凹槽 117 中后续分别用于形成图 1 所示的同一导电层 101 中的 2 个子导电层 111。

25 值得注意的是，第一介质层 116 的材料与第二介质层 126 的材料不同，对沟槽 107 露出的第二介质层 126 进行横向刻蚀的步骤中，刻蚀工艺仅对第二介质层 126 具有较大的刻蚀速率，几乎不会刻蚀第一介质层 116。

结合参考图 16 和图 17，在一凹槽 117 中形成一子导电层 111，以及在沟槽 107 中形成第三介质层 136，与同一第三介质层 136 接触连接的多个子导电层 111 构成一导电层 101。

30 需说明的是，图 16 和图 17 所示的示例中，与同一第三介质层 136 接触连接的多个子导电层 111 构成一导电层 101 指的是，与同一第三介质层 136 接触连接且位于同层的 2 个子导电层 111 构成一导电层 101。实际应用中，可以沿第二方向上形成间隔排布的多个沟槽，在任一沟槽在第二方向上的两侧分别形成连通一凹槽，以形成包括沿第二方向间隔排布多条子导电层的导电层。

在一些实施例中，第三介质层 136 的材料可以与第一介质层 116 的材料相同，例如均为氧化硅；在另一些实施例中，第三介质层 136 的材料也可以与第一介质层 116 的材料不同。

35 在一些实施例中，参考图 18 至图 26，形成台阶结构 102 可以包括如下步骤：

参考图 18，对堆叠结构 106（参考图 17）进行第二图形化处理，以形成贯穿堆叠结构 106 且沿第三方向 Z 间隔排布的多个通孔 127，其中，沿第三方向 Z 间隔排布的多个通孔 127 为一通孔组 137，且沿第一方向 X 间隔排布的一列子导电层 111 至少与一通孔组 137 对应。

40 需要说明的是，为示意出通孔 127 和导电层 101 之间的位置关系，图 18 中用较密的虚线示意出导电层 101 中 2 个子导电层 111 大致所占的布局空间。此外，图 18 中以较粗的虚线方框示意出一个通孔组 137。

此外，由于导电层 101 包括沿第二方向 Y 间隔排布至少两条子导电层 111，基于此，沿第一方向 X 间

隔排布的一列子导电层 111 至少与一通孔组 137 对应,则沿第一方向 X 间隔排布的一列导电层 101 与至少两个通孔组 137 对应。

5 在一些实施例中,参考图 18,堆叠结构 106(参考图 17)的顶面还具有第一掩膜层 119,在对堆叠结构 106 进行第二图形化处理的步骤中,也对第一掩膜层 119 进行了第二图形化处理。可以理解的是,第二图形化处理对第一介质层 116、第二介质层 126 和第一掩膜层 119 进行无差别刻蚀。

在一些实施例中,参考图 18,与沿第一方向 X 间隔排布的一列导电层 101 对应的至少两个通孔组 137 中,任一通孔组 137 位于导电层 101 在第二方向 Y 上相对的两侧中的一者处。

可以理解的是,图 18 中以与沿第一方向 X 间隔排布的一列导电层 101 对应的两个通孔组 137 中的一者位于导电层 101 在第二方向 Y 上相对的两侧中的一侧,另一者位于导电层 101 在第二方向 Y 上相对的两侧中的另一侧。实际应用中,与沿第一方向间隔排布的一列导电层对应的两个通孔组中的一者位于导电层在第二方向 Y 上相对的两侧中的一侧,另一者可以位于相邻子导电层之间;或者,与沿第一方向间隔排布的一列导电层对应的两个通孔组均位于相邻子导电层之间。

10 参考图 21 和图 22,在通孔 127 中形成第一牺牲层 118,与沿第一方向 X 间隔排布的同一列导电层 101 对应的多个通孔 127 中,位于不同通孔 127 中的第一牺牲层 118 在第一方向 X 上的厚度不同,且厚度最小的第一牺牲层 118 与一层第一介质层 116 和一层第二介质层 126 接触连接。

需要说明的是,图 21 为在图 18 所示的通孔 127 中形成第一牺牲层 118 之后的结构沿第五截面方向 EE1 的一种剖面结构示意图;图 22 为在图 18 所示的通孔 127 中形成第一牺牲层 118 之后的结构沿第六截面方向 FF1 的一种剖面结构示意图。此外,后续将根据表述需要设置沿第五截面方向 EE1 和第六截面方向 FF1 中至少一者的剖面结构示意图。

20 参考图 18 至图 22,形成第一牺牲层 118 的步骤可以包括:

参考图 18,现在贯穿堆叠结构 106 的通孔 127 中形成填充充满该通孔 127 的初始第一牺牲层(图中未示出);参考图 19 和图 20,对位于 2 个通孔组 137(参考图 18)中的一者中的初始第一牺牲层进行刻蚀,以去除接近一半的初始第一牺牲层,参考图 19,位于 2 个通孔组 137 中的一者中的剩余初始第一牺牲层 128 上方再次露出通孔 127(参考图 18)的部分区域,并在露出的通孔 127 的部分区域中填充充满第二牺牲层 138,参考图 20,位于 2 个通孔组 137 中的另一者中的初始第一牺牲层 128 未被刻蚀。

需要说明的是,沿第一方向 X 上相邻的一层第一介质层 116 和一层第二介质层 126 为一子堆叠结构 156,堆叠结构 106 中子堆叠结构 156 的层数依据沿第一方向 X 间隔排布的一列导电层 101 中导电层 101 的层数而定,参考图 19,堆叠结构 106 中子堆叠结构 156 的层数为 8 层,去除接近一半的初始第一牺牲层指的是去除与上方 4 层子堆叠结构 156 对应的初始第一牺牲层。实际应用中,堆叠结构 106 中子堆叠结构 30 156 的层数为 M 层,M 为正整数,若 M 为偶数,则去除与上方 M/2 层子堆叠结构 156 对应的初始第一牺牲层,若 M 为奇数,则去除与上方 (M-1)/2 层子堆叠结构 156 对应的初始第一牺牲层。

需要说明的是,初始第一牺牲层 128 的材料和第二牺牲层 138 的材料不同,例如,初始第一牺牲层 128 的材料为可旋涂介质层,该可旋涂介质层与第一介质层 116 的材料和第二介质层 126 的材料均不同,第二牺牲层 138 的材料为氧化铝,氧化铝与第一介质层 116 的材料和第二介质层 126 的材料也均不同。

35 继续参考图 19 和图 20,在第一掩膜层 119 的顶面形成第二掩膜层 129,且第二掩膜层 129 露出沿第二方向 Y 上相邻的两个通孔 127(参考图 18),沿第二方向 Y 上相邻的两个通孔 127 中的一者中具有图 19 所示的第二牺牲层 138,另一者中具有图 20 所示的初始第一牺牲层 128。结合参考图 19 和图 21,以及图 20 和图 22,先去除第二掩膜层 129 露出的第二牺牲层 138,再同时对沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀,以形成图 21 和图 22 所示的与导电层 BL1 和 BL5 的顶面齐平的第一牺牲层 118。在一个例子中,同时对沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀,在两个通孔 127 中分别去除了与 3 层子堆叠结构 156 接触连接的初始第一牺牲层 128。

可以理解的是,依次类推,去除第二掩膜层 129,且在第一掩膜层 119 的顶面形成第三掩膜层(图中未示出),第三掩膜层露出沿第二方向 Y 上相邻的另外两个通孔 127(参考图 18),例如露出图 18 中每一

通孔组 137 中沿第三方向 Z 上从左往右数的第 3 个通孔 127, 结合参考图 19 和图 21, 以及图 20 和图 22, 先去除第三掩膜层露出的第二牺牲层 138, 再同时对第三掩膜层露出的沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀, 以形成图 21 和图 22 所示的与导电层 BL2 和 BL6 的顶面齐平的第一牺牲层 118。在一个例子中, 同时对第三掩膜层露出的沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀, 在两个通孔 127 中分别去除了与 2 层子堆叠结构 156 接触连接的初始第一牺牲层 128。

去除第三掩膜层, 且在第一掩膜层 119 的顶面形成第四掩膜层 (图中未示出), 第四掩膜层露出沿第二方向 Y 上相邻的另外两个通孔 127 (参考图 18), 例如露出图 18 中每一通孔组 137 中沿第三方向 Z 上从左往右数的第 2 个通孔 127, 结合参考图 19 和图 21, 以及图 20 和图 22, 先去除第四掩膜层露出的第二牺牲层 138, 再同时对第四掩膜层露出的沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀, 以形成图 21 和图 22 所示的与导电层 BL3 和 BL7 的顶面齐平的第一牺牲层 118。在一个例子中, 同时对第四掩膜层露出的沿第二方向 Y 上相邻的两个通孔 127 中的初始第一牺牲层 128 进行刻蚀, 在两个通孔 127 中分别去除了与 1 层子堆叠结构 156 接触连接的初始第一牺牲层 128。

此外, 去除第四掩膜层, 且在第一掩膜层 119 的顶面形成第五掩膜层 (图中未示出), 第五掩膜层露出沿第二方向 Y 上相邻的另外两个通孔 127 (参考图 18), 例如露出图 18 中每一通孔组 137 中沿第三方向 Z 上从左往右数的第 1 个通孔 127, 结合参考图 19 和图 21, 以及图 20 和图 22, 先去除第五掩膜层露出的第二牺牲层 138, 再去除与第一掩膜层 119 接触连接的初始第一牺牲层 128, 以形成图 21 和图 22 所示的与导电层 BL4 和 BL8 的顶面齐平的第一牺牲层 118。

在一些实施例中, 参考图 21 和图 22, 沿第一方向 X 上相邻的一层第一介质层 116 和一层第二介质层 126 为一子堆叠结构 156, 与沿第一方向 X 间隔排布的同一列导电层 101 对应的多个通孔 127 中, 位于不同通孔 127 中的第一牺牲层 118 接触连接的子堆叠结构 156 的层数不同。如此, 有利于后续形成于不同层导电层接触连接的导电柱。

在一些实施例中, 参考图 21 和图 22, 同一通孔组 137 (参考图 18) 中, 沿第三方向 Z 上, 不同通孔 127 中的第一牺牲层 118 接触连接的子堆叠结构 156 的层数逐次增加或逐次降低。

参考图 24, 形成第四介质层 146; 在一些实施例中, 为形成图 1 所示的阶梯结构 100, 在形成第四介质层 146 之前, 在形成第一牺牲层 118 之后, 制造方法还可以包括: 结合参考图 21 和图 23, 对通孔 127 露出的第二介质层 126 进行横向刻蚀, 以在相邻第一介质层 116 之间形成延展槽 147, 且延展槽 147 露出剩余第二介质层 126, 延展槽 147 和通孔 127 相连通。可以理解的是, 延展槽 147 用于后续形成绝缘部和延展部。

值得注意的是, 第一介质层 116、第二介质层 126 和第一牺牲层 118 三者的材料均不同, 对通孔 127 露出的第二介质层 126 进行横向刻蚀的步骤中, 刻蚀工艺仅对第二介质层 126 具有较大的刻蚀速率, 几乎不会刻蚀第一介质层 116 和第一牺牲层 118。

需要说明的是, 图 22 所示的结构中的四个通孔 127 中也进行图 21 所示结构转变至图 23 所示结构中的类似步骤, 在此不再图示以及赘述。后续在图 23 所示的结构中做的工艺步骤也会在图 22 所示的结构中进行, 后续以图 23 所示的剖面结构示意图对后续步骤进行详细说明。

在一些实施例中, 结合参考图 23 和图 24, 在相邻第一介质层 116 之间形成延展槽 147 的基础上, 形成第四介质层 146 的步骤还可以包括: 形成保形覆盖延展槽 147 表面的第四介质层 146。

需要说明的是, 图 24 中仅是示意出位于延展槽 147 沿第一方向 X 上延伸的侧壁的上部的第四介质层 146, 可以理解的是, 实际应用中, 可以只在延展槽 147 沿第一方向 X 上延伸的侧壁的上部, 即延展槽 147 露出的第二介质层 126 的侧壁上形成第四介质层 146, 以避免后续的刻蚀工艺对该部分第二介质层 126 进行刻蚀即可。可以理解的是, 图 24 中所示意出的第四介质层 146 即为图 1 中所示意出的绝缘部 104。

在一些情况下, 形成第四介质层 146 的步骤可以包括: 形成保形覆盖通孔 127 和延展槽 147 的表面的初始第四介质层, 对初始第四介质层进行刻蚀, 该刻蚀步骤中, 至少会去除位于第一牺牲层 118 顶面的初始第四介质层, 由于刻蚀工艺的差异性, 可能还会对位于第一掩膜层 119 和第一介质层 116 的侧壁的至少

部分初始第四介质层进行刻蚀，使得剩余初始第四介质层位于延展槽 147 表面。

结合参考图 24 和图 25，以第四介质层 146 为保护层去除与一层第二介质层 126 接触连接的第一牺牲层 118，未被第一牺牲层 118 填充的剩余通孔 127 作为子通孔 157，使每一子通孔 157 露出一层第二介质层 126；继续结合参考图 24 和图 25，对于通孔 157 露出的第二介质层 126 进行横向刻蚀，以在相邻第一介质层 116 之间形成外延槽 167，且外延槽 167 露出子导电层 111（参考图 18），外延槽 167 和子通孔 157 相连通。

值得注意的是，对于通孔 157 露出的第二介质层 126 进行横向刻蚀的步骤中，刻蚀工艺也仅对第二介质层 126 具有较大的刻蚀速率，几乎不会刻蚀第一介质层 116 和第一牺牲层 118。

结合参考图 25 和图 26，去除剩余第一牺牲层 118，并在通孔 127 和外延槽 167 中形成导电柱 103，在同一通孔组 137 中形成的多个导电柱 103 构成一台阶结构 102。在一些实施例中，在相邻第一介质层 116 之间形成延展槽 147 的基础上，形成导电柱 103 的步骤包括：在延展槽 147 中形成导电柱 103。

可以理解的是，位于通孔 127（参考图 18）中的导电柱 103 为图 3 所示的主体部 113，位于外延槽 167（参考图 25）中的导电柱 103 为图 3 所示的外延部 123，位于延展槽 147（参考图 25）中的导电柱 103 为图 3 所示的延展部 133。参考图 26，导电柱 103 中主体部 113、外延部 123 和延展部 133 可以为一体成型结构。

需要说明的是，上述实施例中以形成具有延展部 133 的导电柱 103 为示例对阶梯结构的制造方法进行详细说明。实际应用中，如图 9 至图 11 所示，台阶结构 102 中的导电柱 103 可以仅包括主体部 113 和外延部 123。

以下对形成如图 9 至图 11 所示的台阶结构 102 进行简要说明，与前述图 1 所示的台阶结构 102 的制造方法相同或相似的部分不再赘述。

在另一些实施例中，结合参考图 21 和图 10，以及图 22 和图 11，不再进一步形成延展槽，直接形成保形覆盖通孔 127（参考图 18）的剩余侧壁的第四介质层。可以理解的是，保形覆盖通孔 127（参考图 18）的剩余侧壁的第四介质层即为图 10 和图 11 中所示的绝缘部 104。

以第四介质层为保护层去除与一层第二介质层 126（参考图 21）接触连接的第一牺牲层 118，未被第一牺牲层 118 填充的剩余通孔 127 作为子通孔 157（参考图 25），使每一子通孔 157 露出一层第二介质层 126。需要说明的是，形成图 9 所示的阶梯结构中图 25 所示的示例中可以不再形成延展槽。

对于通孔露出的第二介质层 126 进行横向刻蚀，以在相邻第一介质层 116 之间形成外延槽 167（参考图 25），且外延槽 167 露出子导电层 111（参考图 18），外延槽 167 和子通孔 157 相连通。

去除剩余第一牺牲层 118，并在通孔 127 和外延槽 167 中形成导电柱 103，在同一通孔组 137 中形成的多个导电柱 103 构成一台阶结构 102。

综上所述，本公开又一实施例提供的制造方法有利于形成一种新型阶梯结构 100，将台阶的特征融合在导电柱 103 上以形成新的台阶结构 102，新的台阶结构 102 中导电柱 103 本身既用于导电以传递电信号，也用于实现与位于不同层的导电层的电接触。较之目前在单独设计处于不同层面的多个台阶的基础上，单独设计与多个台阶一一对应的导电柱而导致台阶和导电柱整体占用的水平面积较大而言，本公开一实施例中将台阶的特征融合在导电柱 103 上，有利于在保证将每一导电层 101 上的电信号通过一导电柱 103 引出的前提下，缩小阶梯结构 102 整体所占用的水平面积，换言之，有利于提高阶梯结构 102 中导电柱 103 的集成密度。

本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各种改动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种阶梯结构，其特征在于，包括：
- 沿第一方向（X）间隔排布的多条导电层（101），所述导电层（101）包括沿第二方向（Y）间隔排布至少两条子导电层（111），所述导电层（101）沿第三方向（Z）延伸，所述第一方向（X）、所述第二方向（Y）和所述第三方向（Z）两两相交；
- 沿所述第二方向（Y）间隔排布的多个台阶结构（102），沿所述第一方向（X）间隔排布的一列所述子导电层（111）至少与一所述台阶结构（102）接触连接；
- 其中，每一所述台阶结构（102）包括多个相互电绝缘的导电柱（103），一所述导电柱（103）和一所述子导电层（111）接触连接，与一所述子导电层（111）接触连接的所述导电柱（103）与其他所述子导电层（111）之间均电绝缘；且沿所述第一方向（X）间隔排布的一列所述导电层（101）中，所述导电层（101）与所述导电柱（103）一一接触连接。
2. 根据权利要求1所述的阶梯结构，其特征在于，所述导电柱（103）包括主体部（113）以及外延部（123），所述主体部（113）沿所述第一方向（X）延伸，所述外延部（123）位于所述主体部（113）部分厚度的沿所述第一方向（X）延伸的侧壁上，所述外延部（123）与所述子导电层（111）接触连接，接触连接的所述外延部（123）与所述子导电层（111）处于同层；且，
- 同一所述台阶结构（102）中的多个所述主体部（113）沿所述第三方向（Z）间隔排布，同一所述台阶结构（102）中的多个所述外延部（123）分别位于不同层。
3. 根据权利要求2所述的阶梯结构，其特征在于，所述导电柱（103）还包括至少一个延展部（133），所述延展部（133）也位于所述主体部（113）部分厚度的沿所述第一方向（X）延伸的侧壁上，且与同一所述导电柱（103）接触连接的所述延展部（133）和所述外延部（123）沿所述第一方向（X）间隔排布，所述延展部（133）和所述子导电层（111）之间电绝缘。
4. 根据权利要求3所述的阶梯结构，其特征在于，与同一所述导电柱（103）接触连接的至少一个所述延展部（133）中，一所述延展部（133）与一所述子导电层（111）处于同层；或者，与同一所述导电柱（103）接触连接的至少一个所述延展部（133）均位于所述外延部（123）沿所述第一方向（X）的一侧。
5. 根据权利要求3所述的阶梯结构，其特征在于，所述第二方向（Y）和所述第三方向（Z）共同构成参考面，所述延展部（133）在所述参考面上的正投影面积小于所述外延部（123）在所述参考面上的正投影面积。
6. 根据权利要求2所述的阶梯结构，其特征在于，所述主体部（113）在所述第一方向（X）上具有相对的第一面和第二面，同一所述台阶结构（102）中，沿所述第三方向（Z）上，不同所述外延部（123）与所述第一面在所述第一方向（X）上的距离逐次增加或逐次降低。
7. 根据权利要求1至6中任一项所述的阶梯结构，其特征在于，沿所述第一方向（X）间隔排布的一列所述子导电层（111）与一所述台阶结构（102）接触连接，沿所述第二方向（Y）相邻的两条所述子导电层（111）分别作为第一子导电层（121）和第二子导电层（131）；
- 其中，与所述第一子导电层（121）接触连接的所述台阶结构（102）位于所述第一子导电层（121）沿所述第二方向（Y）远离所述第二子导电层（131）的一侧，或者，与所述第一子导电层（121）接触连接的所述台阶结构（102）位于所述第一子导电层（121）和所述第二子导电层（131）之间；
- 与所述第二子导电层（131）接触连接的所述台阶结构（102）位于所述第二子导电层（131）沿所述第二方向（Y）远离所述第一子导电层（121）的一侧，或者，与所述第二子导电层（131）接触连接的所述台阶结构（102）位于所述第二子导电层（131）和所述第一子导电层（121）之间。
8. 根据权利要求1至6中任一项所述的阶梯结构，其特征在于，沿所述第一方向（X）间隔排布的一列

- 所述子导电层（111）与两个所述台阶结构（102）接触连接，与同一列所述子导电层（111）接触连接的两个所述台阶结构（102）分别位于该列所述子导电层（111）在所述第二方向（Y）上相对的两侧。
9. 根据权利要求 1 至 6 中任一项所述的阶梯结构，其特征在于，每一所述台阶结构（102）中的多个所述导电柱（103）在所述第二方向（Y）上的间距均相等。
- 5
10. 一种半导体结构，其特征在于，包括：
- 根据权利要求 1 至 9 中任一项所述的阶梯结构；
- 沿所述第一方向（X）间隔排布的多条信号传输层（105），所述信号传输层（105）和所述导电层（101）一一接触连接，且同一所述导电层（101）中的所述子导电层（111）均与同一所述信号传输层（105）接触连接；
- 10
- 其中，所述信号传输层（105）包括字线或位线。
11. 一种阶梯结构的制造方法，其特征在于，包括：
- 形成沿所述第一方向（X）间隔排布的多条导电层（101），所述导电层（101）包括沿所述第二方向（Y）间隔排布至少两条子导电层（111），所述导电层（101）沿第三方向（Z）延伸，所述第一方向（X）、所述
- 15
- 第二方向（Y）和所述第三方向（Z）两两相交；
- 形成沿所述第二方向（Y）间隔排布的多个台阶结构（102），沿所述第一方向（X）间隔排布的一列所述子导电层（111）至少与一所述台阶结构（102）接触连接；
- 其中，每一所述台阶结构（102）包括多个相互电绝缘的导电柱（103），一所述导电柱（103）和一所述子导电层（111）接触连接，与一所述子导电层（111）接触连接的所述导电柱（103）与其他所述子导电层（111）之间均电绝缘；且沿所述第一方向（X）间隔排布的一列所述导电层（101）中，所述
- 20
- 导电层（101）与所述导电柱（103）一一接触连接。
12. 根据权利要求 11 所述的制造方法，其特征在于，形成所述导电层（101）的步骤包括：
- 形成堆叠结构（106），所述堆叠结构（106）包括沿所述第一方向（X）上交替堆叠的第一介质层（116）和第二介质层（126）；
- 25
- 对所述堆叠结构（106）进行第一图形化处理，以形成贯穿所述堆叠结构（106）的沟槽（107）；
- 对所述沟槽（107）露出的所述第二介质层（126）进行横向刻蚀，以在相邻所述第一介质层（116）之间形成凹槽（117），所述沟槽（107）在所述第二方向（Y）上的两侧分别连通一所述凹槽（117）；
- 在一所述凹槽（117）中形成一所述子导电层（111）；
- 在所述沟槽（107）中形成第三介质层（136），与同一所述第三介质层（136）接触连接的多个所述子导电层（111）构成一所述导电层（101）。
- 30
13. 根据权利要求 12 所述的制造方法，其特征在于，形成所述台阶结构（102）的步骤包括：
- 对所述堆叠结构（106）进行第二图形化处理，以形成贯穿所述堆叠结构（106）且沿所述第三方向（Z）间隔排布的多个通孔（127），其中，沿所述第三方向（Z）间隔排布的多个所述通孔（127）为一通孔组（137），且沿所述第一方向（X）间隔排布的一列所述子导电层（111）至少与一所述通孔组（137）对应；
- 35
- 在所述通孔（127）中形成第一牺牲层（118），与沿所述第一方向（X）间隔排布的同一列所述导电层（101）对应的多个所述通孔（127）中，位于不同所述通孔（127）中的所述第一牺牲层（118）在所述第一方向（X）上的厚度不同，且厚度最小的所述第一牺牲层（118）与一层所述第一介质层（116）和一层所述第二介质层（126）接触连接；
- 40
- 形成保形覆盖所述通孔（127）的剩余侧壁的第四介质层（146）；

- 以所述第四介质层（146）为保护层去除与一层所述第二介质层（126）接触连接的所述第一牺牲层（118），未被所述第一牺牲层（118）填充的剩余所述通孔（127）作为子通孔（157），使每一所述子通孔（157）露出一层所述第二介质层（126）；
- 5 对所述子通孔（157）露出的所述第二介质层（126）进行横向刻蚀，以在相邻所述第一介质层（116）之间形成外延槽（167），且所述外延槽（167）露出所述子导电层（111），所述外延槽（167）和所述子通孔（157）相连通；
- 去除剩余所述第一牺牲层（118），并在所述通孔（127）和所述外延槽（167）中形成所述导电柱（103），在同一所述通孔组（137）中形成的多个所述导电柱（103）构成一所述台阶结构（102）。
- 10 14. 根据权利要求 13 所述的制造方法，其特征在于，在形成所述第四介质层（146）之前，在形成所述第一牺牲层（118）之后，还包括：
- 对所述通孔（127）露出的所述第二介质层（126）进行横向刻蚀，以在相邻所述第一介质层（116）之间形成延展槽（147），且所述延展槽（147）露出剩余所述第二介质层（126），所述延展槽（147）和所述通孔（127）相连通；
- 15 形成所述第四介质层（146）的步骤还包括：形成保形覆盖所述延展槽（147）表面的所述第四介质层（146）；
- 形成所述导电柱（103）的步骤包括：在所述延展槽（147）中形成所述导电柱（103）。
15. 根据权利要求 13 或 14 所述的制造方法，其特征在于，沿所述第一方向（X）上相邻的一层所述第一介质层（116）和一层所述第二介质层（126）为一子堆叠结构（156），与沿所述第一方向（X）间隔排布的同一列所述导电层（101）对应的多个所述通孔（127）中，位于不同所述通孔（127）中的所述
- 20 所述第一牺牲层（118）接触连接的所述子堆叠结构（156）的层数不同。
16. 根据权利要求 13 或 14 所述的制造方法，其特征在于，与沿所述第一方向（X）间隔排布的一列所述导电层（101）对应的至少两个所述通孔组（137）中，任一所述通孔组（137）位于所述导电层（101）在所述第二方向（Y）上相对的两侧中的一者处，或者，任一所述通孔组（137）位于相邻所述子导电层（111）之间。
- 25 17. 根据权利要求 12 至 15 中任一项所述的制造方法，其特征在于，所述第一介质层（116）的材料为氧化硅，所述第二介质层（126）的材料为氮化硅。
18. 根据权利要求 13 所述的制造方法，其特征在于，所述第一牺牲层（118）的材料为可旋涂介质层。