

一种数据处理装置、芯片和数据处理方法

技术领域

5 本发明涉及到处理核技术领域，尤其是涉及到一种数据处理装置、芯片和数据处理方法。

背景技术

随着科学技术的发展，人类社会正在快速进入智能时代。智能时代的重要特点，就是人们获得数据的种类越来越多，获得数据的量越来越大，而对
10 处理数据的速度要求越来越高。

芯片是数据处理的基石，它从根本上决定了人们处理数据的能力。从应用领域来看，芯片主要有两条路线：一条是通用芯片路线，例如中央处理器（Central Processing Unit, CPU）等，它们能提供极大的灵活性，但是在处理特定领域算法时有效算力比较低；另一条是专用芯片路线，例如张量处
15 理器（Tensor Processing Unit, TPU）等，它们在某些特定领域，能发挥较高的有效算力，但是面对灵活多变的比较通用的领域，它们处理能力比较差甚至无法处理。

由于智能时代的数据种类繁多且数量巨大，所以要求芯片既具有极高的灵活性，能处理不同领域且日新月异的算法，又具有极强的处理能力，能快
20 速处理极大的且急剧增长的数据量。

在神经网络计算中，经常会用到多核或者众核的芯片。而多(众)核的芯片中的处理核，都有一定独立处理能力，并且带有比较大的核内存储空间，用于存储核自身的程序、数据和权重。

如何让众多的核能够高效率的发挥算力，是决定整个芯片性能的关键。
25 各核的算力发挥，取决于多种因素，例如任务的调度与分配、芯片的架构、

核的结构、核的电路等。其中，任务的调度与分配是一个非常关键的因素，如果任务的调度与分配合理，则能充分发挥各核的有效算力高，否则各核的有效算力低。

图 1 是一现有技术提供的芯片的结构示意图。

- 5 如图 1 所示，该芯片包括调度器和多个处理核 C_1 至 C_N ，在图 1 所示的芯片中，调度器接收到来自芯片外部发送的指令，例如调度器接收到来自芯片外部的指令源发送的指令，然后将指令同时的分别传输给各个处理核，各个处理核执行相同的指令，但是处理不同的数据。例如，指令为计算参数 a 与参数 b 的加和，但是不同处理核的参数 a 可能是表示的不同的数值，那么这两个处理核虽然执行的都是 $a+b$ ，但是由于参数的不同，所得到的结果是不同的，即各个处理核执行相同的指令，处理不同的数据。

对于图 1 所示的芯片架构，各个处理核可以是比较简单的结构，例如是单指令多数据结构(Single Instruction Multiple Data, SIMD)，或者是单指令多线程结构(Single Instruction Multiple Threads, SIMT)。

- 15 通常这种方式存在如下的弊端：

如多个处理核需要执行相同的程序，只能通过调度器被动的从外部接收指令，然后再由调度器并行的发送给各个处理核，因此，需要在芯片中设计复杂的并行电路，导致面积大。

图 2 是另一现有技术提供的芯片的结构示意图。

- 20 如图 2 所示，该芯片包括多个处理核 C_1 至 C_N 和存储单元 Memory。在图 2 所示的芯片中，各核能从 Memory 中(例如 DDR SDRAM)中独立读取指令，并进行运算，通常各核具有完整的控制电路、寄存器组等电路，该结构在多核 CPU 或者 ASIC 中比较常见。

通常这种方式存在如下的弊端：

- 25 多个处理核可能频繁访问指令存储区，引起存储访问效率的下降，进而影响芯片算力的发挥。

发明内容

本发明提供一种数据处理装置，解决了多个处理核执行相同的程序需分别访问指令存储区导致功耗较高的技术问题。

- 5 本发明的第一方面提供了一种数据处理装置，包括：具有预设执行顺序的多个处理核，多个处理核包括首处理核和至少一个其他处理核；首处理核，用于发送指令，接收并执行根据指令获取的程序；每个其他处理核，用于接收并执行预设执行顺序中前一个处理核发送的程序。

10 在本实施方式提供的数据处理装置中，首处理核发送指令并接收根据指令获取的程序，每个其他处理核都接收并执行预设执行顺序中前一个处理核发送的程序，无需设置每个处理核分别从 Memory 中读取数据，降低了功耗。

 可选的，每个其他处理核，用于接收并执行前一个处理核发送的已执行的程序。

15 进一步可选的，每个其他处理核，用于接收并执行前一个处理核发送的刚刚完成的程序。

 可选的，其他处理核包括中间处理核和尾处理核；中间处理核，用于将已执行的程序发送至后一个处理核。

 可选的，还包括：存储管理单元，用于接收首处理核发送的指令，根据指令从外部存储单元中获取程序，并将获取的程序发送至首处理核。

20 可选的，还包括：同步信号生成器，用于在接收到多个处理核中的每个处理核发送的同步请求信号后生成同步信号，并将同步信号发送给每个处理核。

 可选的，首处理核用于根据同步信号发送指令；每个其他处理核，用于根据同步信号接收并执行前一个处理核发送的程序。

25 可选的，其他处理核包括中间处理核和尾处理核；每个中间处理核，用于根据同步信号，将上一个同步信号的周期已执行的程序发送至后一个处理核。

可选的，中间处理核，用于在接收前一个处理核发送的程序的同时将上一个同步信号的周期已执行的程序发送至后一个处理核。

可选的，首处理核还用于存储第一更新程序；首处理核用于发送指令，包括：首处理核用于在收到同步信号时执行第一更新程序，根据更新程序发送指令。

进一步可选的，每个中间处理核还用于存储第二更新程序，每个中间处理核用于在收到同步信号时，执行第二更新程序，根据第二更新程序将上一个同步信号的周期已执行的程序发送至后一个处理核。

可选的，多个处理核中的每个处理核，还用于在执行完各自接收到的程序后，分别发送同步请求信号。

可选的，根据指令获取的程序为程序段。

根据本发明的第二方面，提供了一种芯片，包括一个或多个第一方面提供的数据处理装置。

根据本发明的第三方面，提供了一种卡板，包括一个或多个第二方面提供的芯片。

根据本发明的第四方面，提供了一种电子设备，包括一个或多个第三方面提供的卡板。

根据本发明的第五方面，提供了一种数据处理方法，应用于数据处理装置中，该数据处理装置中包括具有预设执行顺序的多个处理核，多个处理核包括首处理核和至少一个其他处理核，该数据处理方法包括：首处理核，接收并执行根据指令获取的程序；每个其他处理核，用于接收并执行预设执行顺序中前一个处理核发送的程序。

根据本发明的第六方面，提供了一种计算机存储介质，计算机存储介质上存储有计算机程序，程序被处理器执行时实现第五方面的数据处理方法。

根据本发明的第七方面，提供了一种电子设备，包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序，处理器执行程序时实现第五方面的数据处理方法。

根据本发明的第八方面，提供一种计算机程序产品，其中，包括计算机指令，当计算机指令被计算设备执行时，计算设备可以执行第五方面的数据处理方法。

5 本发明实施方式提供的数据处理装置中，首处理核发送指令并接收根据指令获取的程序，每个其他处理核都接收并执行预设执行顺序中前一个处理核发送的程序，无需设置每个处理核分别从 Memory 中读取数据，降低了功耗，另外，无需设计复杂的并行电路，就能实现多个处理核执行相同的程序。另外，每个处理核都会从头到尾执行完整的程序，能够避免核之间的数据交换，降低了交换数据所带来的延时和功耗，提高了数据处理的效率。

10

附图说明

图 1 是一现有技术提供的芯片的结构示意图；

图 2 是另一现有技术提供的芯片的结构示意图；

图 3 是根据本发明提供的一种数据处理装置的结构示意图；

15 图 4 是根据本发明提供的另一种数据处理装置的结构示意图；

图 5 是图 4 所示数据处理装置中处理核执行程序的时序图；

图 6 是本发明一实施方式提供的数据处理方法流程示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明了，下面结合具体实施方式并参照附图，对本发明进一步详细说明。应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下
25 所获得的所有其他实施例，都属于本发明保护的范围。

在本发明的描述中，需要说明的是，术语“第一”、“第二”、“第三”仅用于描述目的，而不能理解为指示或暗示相对重要性。

此外，下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

5 另外，对于不涉及本发明改进点的已有部件，将简单介绍或者不介绍，而重点介绍相对于现有技术作出改进的组成部件。

图3是根据本发明提供的一种数据处理装置的结构示意图。

如图3所示，该数据处理装置，包括：

具有预设执行顺序的多个处理核，多个处理核例如是指处理核 C_1 至处理
10 核 C_N 。

需要说明的是，在本发明中，在芯片运行过程中，所有的处理核从逻辑上来说，组成一个逻辑核链，即 C_1 至 C_N 是按照发送程序的逻辑而顺序编号的，即该预设执行顺序是指逻辑核链的处理核的顺序。为方便描述，本发明将逻辑核链上的第一个核称为首处理核，将除了首处理核之外的处理核称为其他
15 处理核。将其他处理核中位于逻辑核链上的最后一个处理核，称为尾处理核，将其他处理核中的在逻辑核链上的除了尾处理核之外的处理核称为中间处理核。该逻辑核链上的所有处理核之间没有主从关系，只有逻辑上的先后关系。

其中，多个处理核中的每个处理核都设置有存储单元 PRAM，PRAM 用于存储各自接收到的程序。该 PRAM 例如可以为专门用于存程序的、且具有一定大小
20 小(通常 $\geq 16\text{KB}$)的静态随机访问存储器 (Static Random Access Memory，SRAM)。

其中，多个处理核包括首处理核和至少一个其他处理核，首处理核例如是处理核 C_1 ，其他处理核例如是处理核 C_2 至处理核 C_N 。

其中，首处理核用于发送指令，接收并执行根据指令获取的程序。

25 每个其他处理核，用于接收并执行预设执行顺序中前一个处理核发送的程序。

前一个处理核是指按照预设执行顺序的在本处理核之前且与本处理核相

邻的处理核。例如，对于处理核 C_3 ，其前一个处理核为 C_2 。

可以理解的是，在本实施方式中，处理核接收程序是指将程序存储至各自的 PRAM 中，处理核执行程序执行的也是本核的 PRAM 中存储的。因此，本发明实施方式提供的数据处理装置，无需处理核从外部的 Memory 中读指令，避免各个处理核占用 Memory，降低了功耗。而且由于处理核均是从本核的 PRAM 中读取程序，还可以避免设计复杂的 Cache 电路，而且处理核执行各自 PRAM 存储的程序，程序执行的速度快，时延小，能够极大的提升指令的执行效率。

可选的，该数据处理装置中，各个处理核具有相同的电路结构。

需要说明的是，一些现有技术中，数据处理装置在完成一个比较大的计算任务时，需要多个处理核的配合来完成，例如，一处理核执行第一部分计算任务，然后将计算结果发给另一处理核，由另一处理核将该计算结果作为输入，执行第二部分计算任务，得到最终的计算结果。而本发明实施方式提供的数据处理装置中，无需设计复杂的并联电路，就能够实现各个处理核执行相同的程序，节省了数据处理装置的面积，而且每个处理核都能从头至尾的执行同一个完整的程序，无需将计算结果发送给另一处理核，另一处理核无需等待计算结果，因此降低了交换数据所带来的延时和功耗，提高了数据处理的效率。

在一个优选的实施例中，每个其他处理核，用于接收并执行前一个处理核发送的已执行的程序。

进一步的，每个其他处理核，用于接收并执行前一个处理核发送的已执行的最新的程序。已执行的最新的程序是指在当前时刻之前刚刚执行完的程序，即最接近当前时刻的已执行的程序。

在本实施例中，预设执行顺序中的在后的处理核执行各自相邻的前一个的处理核刚刚执行完的程序，这样使得该数据处理装置中，多个处理核执行的都是相同的程序，使得多个处理核并行执行程序，能够大批量的完成任务，提升整个芯片的算力发挥，该数据处理装置更适合在执行批量的神经网络中进行数据处理，执行任务。

优选的，其他处理核包括至少一个中间处理核（例如是处理核 C_2 至处理核 C_{N-1} ）和尾处理核 C_N 。

其中，每个中间处理核，用于将已执行的程序发送至后一个处理核。

进一步地，每个中间处理核用于将刚刚执行完的程序发送至后一个处理核。

在本实施例中，由于 C_N 处于预设执行顺序中的最后一位，无需将刚刚执行完的程序发送出去。

在一个实施例中，中间处理核，用于在接收前一个处理核发送的程序的同时将刚刚执行完的程序发送至后一个处理核。

首处理核在接收根据指令获取的程序的同时，将刚刚执行完的程序发送至后一个处理核（本例中是 C_2 ）。

在本实施例中，除尾处理核之外的所有处理核，同时接收程序和发送程序，从而使得所有处理核能实现程序更新的并行进行，大大降低程序更新带来的延时。

在一个实施例中，每个中间处理核将刚刚执行完的程序发送至后一个处理核，且接收到前一个处理核发送的程序后，开始执行各自接收到的程序。

首处理核，用于在将刚刚执行完的程序发送至后一个处理核，且接收到根据指令获取的新的程序后，开始执行新的程序。

尾处理核，用于在收到前一个处理核发送的刚刚执行完的程序后，开始执行该程序。

可以理解，本发明实施例中，具有预设执行顺序的多个处理核中，除了尾处理核之外，各个处理核都按照该预设执行顺序向各自的下一个处理核发送程序，也就是说，一个程序被按照预设执行顺序从首处理核依次传递至尾处理核。

在一个实施例中，数据处理装置还包括存储管理单元 (Memory Management Engine, MME)，MME 用于接收首处理核发送的指令，根据指令从外部存储单元中获取程序，并将获取的程序发送至首处理核。MME 还能存储

指令、解析指令和执行指令，还能完成芯片内部的 RAM 和 Memory 之间数据的传输。MME 例如是直接存储访问控制器（Direct Memory Access Controller, DMAC）。

在本实施例中，只需要 MME 根据首处理核发送的指令，从外部的 Memory
5 中读取程序，且只将该程序发送给首处理核，无需将该程序分别发送给其他处理核，因此，MME 中无需设计复杂的电路结构，在无需 MME 将程序分别发送至所有处理核的情况下，就能实现所有处理核执行相同的程序，从而降低了延时，也降低了功耗。

在一个实施例中，数据处理装置还包括同步信号生成器
10 （Synchronization Generator, S_G）。

其中 S_G 用于在接收到多个处理核中的每个处理核发送的同步请求信号后生成同步信号，并将同步信号发送给每个处理核。

在本实施例中，数据处理装置中，设置 S_G，S_G 能同步各个处理核之间程序的更新和运行，降低处理核间同步的复杂性。

15 在一个实施例中，首处理核用于根据同步信号发送指令。每个其他处理核，用于根据同步信号接收并执行前一个处理核发送的程序。

每个中间处理核，用于根据同步信号，将上一个同步信号的周期已执行的程序发送至后一个处理核。其中，上一个同步信号的周期是指在收到上一个同步信号之后至接收到本次同步信号之间的时间段。

20 具体地，当同步信号来临，标志着某一个同步周期的开始，对于逻辑核链中的首处理核在此同步信号来临时，将发送程序更新的指令给 MME。图 3 中从 C_i 至 MME 的带箭头的细虚线表示为指令的传递过程，MME 接收该指令并解析该指令，然后执行指令，即将新的程序从外部的 Memory 中取出，发送到首处理核的 PRAM 中。相邻的处理核之间带箭头的虚线表示为程序的传递过
25 程。

可选的，每个中间处理核，用于根据同步信号，先确定在上一个同步信号周期是否执行了程序，若在上一个同步信号周期执行了程序，则执行了程

序的中间处理核将上一个同步信号的周期已执行的程序发送至后一个处理核。

可选的，每个中间处理核，用于根据收到的同步信号的个数，将上一个同步信号的周期已执行的程序发送至后一个处理核。例如，当中间处理核收到的同步信号的次数超过预设次数时，将上一个同步信号的周期已执行的程序发送至后一个处理核。

对于除逻辑核链上的尾处理核之外的处理核，在同步信号来临后，会将本核在上一个同步信号的周期内已执行的程序，发送给逻辑核链上的下一个处理核（即按照预设执行顺序的后一个处理核）。

10 优选的，中间处理核，用于在接收前一个处理核发送的程序的同时将上一个同步信号的周期已执行的程序发送至后一个处理核。首处理核，用于在接收到根据指令获取的程序的同时，将上一个同步信号的周期已执行的程序发送至后一个处理核。

在本实施例中，除尾处理核之外的所有处理核，同时接收程序和发送程序，从而使得所有处理核能实现程序更新的并行进行，大大降低程序更新带来的延时。

优选的，每一个处理核将上一个同步信号的周期中已执行的程序发送完毕，并且将本同步信号的周期接收到的需要运行的新的程序接收完毕后，开始执行刚接收到的程序。

20 多个处理核中的每个处理核，还用于在执行完各自接收到的程序后，分别发送同步请求信号。

在一个实施例中，首处理核还用于存储第一更新程序，第一更新程序是首处理核中的常驻程序，由 Host 或者顶层的 MCU 控制在初始化的时候写入并保存在首处理核的 PRAM 中。在整个任务过程中，第一更新程序自身不会被改变，只有程序变更导致第一更新程序需要变更时，通过重新对首处理核初始化来改变。根据指令所获取的程序例如可以是计算程序，存储于外部的 Memory，首处理核发送给下一个处理核的已执行的程序是指已执行的计算程

序。

其中，首处理核用于发送指令，包括：

首处理核用于在收到同步信号时执行更新程序，根据更新程序发送指令。

中间处理核还用于存储第二更新程序，第二更新程序是首处理核中的常
驻程序，由 Host 或者顶层的 MCU 控制导入，在初始化的时候写入并保存在各
5 个中间处理核的 PRAM 中。在整个任务过程中，第二更新程序自身不会被改变。
只有程序变更导致第二更新程序需要变更时，通过重新对各个中间处理核初
始化来改变。

每个中间处理核在收到同步信号时，执行第二更新程序，并根据第二更
10 新程序将上一个同步信号的周期已执行的程序发送至逻辑核链上的后一个处
理核。

优选的，每个中间处理核收到同步信号时，根据收到的同步信号的次数，
确定是否执行第二更新程序，并通过执行第二更新程序将上一个同步信号的
周期已执行的程序发送至逻辑核链上的后一个处理核。

15 具体的，当中间处理核收到的同步信号的次数超过预设次数时，执行第
二更新程序，其中，预设次数为中间处理核位于预设执行顺序上的序号。例
如，中间处理核位于预设执行顺序上的第五位，即，逻辑核链上的排名第五
的处理核，则当第五处理核收到超过 5 个同步信号后，执行第二更新程序。

需要说明的是，本数据处理装置中，任务的分配和调度策略在数据处理
20 装置开始运行之前，即编译的时候就已经确定好了，更新程序常驻在各处理
核内，计算程序存储在外部的 Memory 中，降低了数据处理装置运行时的程序
复杂性。

在一个实施例中，由于 PRAM 的容量有限，当处理核的 PRAM 不能存储整
个程序时，会将程序划分成一个一个的程序段，依次更新并执行程序段。即
25 根据指令获取的程序为程序段。

优选的，上述数据处理装置还包括至少一个互联结构，互联结构例如是指
片上网络（Network On Chip, Noc）、总线 bus 或开关 switch。在本实施例

中，互联结构选用 NoC。

互联结构，用于连接 MME 和各个处理核；首处理核通过互联结构与 MME 进行数据传输，例如首处理核通过互联结构将指令发送至 MME，MME 通过互联结构将根据指令获取的程序发送至首处理核；每个其他处理核，通过互联结构接收预设执行顺序中前一个处理核发送的程序。

本发明实施方式提供的数据处理装置中，首处理核发送指令并接收根据指令获取的程序，每个其他处理核都接收并执行预设执行顺序中前一个处理核发送的程序，无需每个处理核分别从 Memory 中读取数据，降低了功耗，另外，每个处理核都会执行同一个完整的程序，避免了核之间的数据交换，降低了交换数据所带来的延时和功耗，提高了数据处理的效率。

图 4 是根据本发明提供的一种数据处理装置的结构示意图。

如图 4 所示，该数据处理装置包括 S_G、MME、NoC 以及三个处理核，这三个处理核的预设执行顺序为首处理核 C₁、中间处理核 C₂和尾处理核 C₃，即程序由 C₁ 发送至 C₂，再由 C₂ 发送至 C₃。

每个处理核均设置有 PRAM，PRAM 用于存储程序，设置每个 PRAM 的存储容量为 36KB。

其中 C₁ 的 PRAM 的容量中第一部分用于存储常驻的第一更新程序，第二部分用于存储计算程序。

优选的，C₂和 C₃的 PRAM 的容量的第一部分用于存储常驻的第二更新程序，第二部分用于存储计算程序。其中，三个处理核的第二部分容量相同。

由于 C₁、C₂和 C₃执行的计算程序都是一样的，可设置每个处理核每次都最多只存储 32KB 的计算程序段。

假如神经网络的计算程序是 64KB，而每一个核每次最多只能存储 32KB 的计算程序，那么神经网络的计算程序会分两个程序段更新和执行，两个程序段分别是第一程序段 P₁ 和第二程序段 P₂。

图 5 是图 4 所示的数据处理装置运行程序的时序图。

如图 5 所示，首先，在 t₀ 时刻，S_G 生成第 1 个同步信号 Sync，并分别

发送给这三个处理核。

首先, C_1 运行常驻的第一更新程序, 根据第一更新程序, C_1 向 MME 发送指令。MME 接收到指令后, 解析和执行指令, 从外部的 Memory 中读取 P_1 发送给 C_1 。

5 由于各个处理核接收到的是第 1 个 Sync, 因此, C_1 不会发送已执行的程序段给 C_2 , C_2 也不会将上一个 Sync 的周期内执行的程序发送给 C_3 。所以, C_2 和 C_3 都没有接收来自前一个处理核在上一同步信号的周期已执行的程序段, 因此, C_1 在接收到 MME 发送的 P_1 后, 开始执行该 P_1。而 C_2 和 C_3 在 t1 时段, 没有任何更新和计算, 所以当 Sync 来临, 会马上发送各自的同步请求信号给 S_G, 即 C_2 发送第二同步请求信号 SQ_2 给 S_G, C_3 发送第三同步请求信号 SQ_3 10 给 S_G。

在 t0-t1 时间段, C_1 接收完 P_1, 开始执行 P_1, 直到执行完毕, 发送第一同步请求信号 SQ_1 发送给 S_G。

在 t1 时刻, S_G 已收齐了 SQ_1、SQ_2 和 SQ_3 后, 生成第 2 个 Sync。

15 C_1 收到第 2 个 Sync 后, 运行常驻的第一更新程序, 根据第一更新程序, 向 MME 发送指令; MME 接收到指令后, 解析和执行指令, 将第二程序段 P_2 发送给 C_1 。

同时, 由于 C_1 接收到不是第 1 个 Sync, C_1 会发送上一个同步周期已执行的程序段给下一个核, 也就是 C_1 会将 P_1 发送给 C_2 , C_2 将接收到的程序保存在 PRAM。 20 在 PRAM。

C_2 会接收 C_1 发送的 P_1, 由于 C_2 在上一个同步信号的周期中, 没有已执行的程序, 因此, 不会发送已执行的程序段给 C_3 , 当 C_2 收到 C_1 发送的 P_1 后, 开始执行 P_1。

C_3 在第 2 个 Sync 周期内, 没有任何更新和计算, 在收到第 2 个 Sync 后, 25 会马上发送 SQ_3 给 S_G。

在 t1-t2 时间段, C_1 接收完 P_2, 且发送完 P_1, 开始执行 P_2, 直到执行完毕, 发送 SQ_1 给 S_G;

在 t_1 - t_2 时间段, C_2 接收完 P_1 , 开始执行 P_1 , 直到执行完毕, 发送 SQ_2 给 S_G 。

在 t_2 时刻, S_G 收齐了 SQ_1 、 SQ_2 和 SQ_3 后, 生成第 3 个 Sync, 并分别发送给三个处理核。

- 5 C_1 收到第 3 个 Sync 后, 运行常驻的第一更新程序, 并根据第一更新程序, 向 MME 发送指令; MME 接收到指令后, 解析和执行指令, 即从外部的 Memory 中读取新的程序的第一段程序发送给 C_1 , 在本实施例中新的程序的第一段程序还是 P_1 , 本发明以此为例但不以此为限。

- 10 由于 C_1 将继续重新开始执行神经网络的程序, 也就是重新执行 P_1 , 由于 C_1 接收到的不是第 1 个 Sync, C_1 会发送上一个同步信号的周期已执行的程序段, 也就是 C_1 会将 P_2 发送给 C_2 。

C_2 接收 C_1 发过来的 P_2 , 由于 C_2 在上一个同步周期中执行过程序, 因此, C_2 会运行常驻的第二更新程序, 根据第二更新程序将上一个同步信号的周期已执行的 P_1 发送给 C_3 。

- 15 C_3 接收 C_2 发过来的 P_1 , 并执行 P_1 。

在 t_3 - t_4 时段, C_1 接收完 P_1 , 且发送完 P_2 , 开始执行 P_1 , 直到执行完毕, 发送 SQ_1 给 S_G 。

在 t_3 - t_4 时段, C_2 接收完 P_2 , 且发送完 P_1 , 开始执行 P_2 , 直到执行完毕, 发送 SQ_2 给 S_G 。

- 20 在 t_3 - t_4 时段, C_3 接收完 P_1 , 开始执行 P_1 , 直到执行完毕, 发送 SQ_3 给 S_G 。

在 t_4 时刻, S_G 收齐了 SQ_1 、 SQ_2 和 SQ_3 , 生成下一个同步信号 Sync。

如此重复, 每个处理核都会运行 P_1 和 P_2 , 完整的处理一个神经网络任务。

- 25 首处理核在每一个时间段, 都会接收 MME 发送的程序段, 以实现程序段的更新, 然后执行此程序段。除了首处理核之外的处理核, 在本时间段, 都会接收逻辑核链中前一个核发送过来的且在上一个同步信号的周期内已执行

的程序段，并且执行接收到的该程序段，从而实现程序段的依次传递。

优选的，首处理核内常驻的第一更新程序中，设置有同步计数器，用来记录接收到的 Sync 的次数，这样首处理核通过同步计数器就会知道本同步时间段，应该如何配置 MME，以指示 MME 从 Memory 中取相应的程序段。本发明
5 适合在执行批量的神经网络处理任务。

在一个实施例中，本发明还提供了一种芯片，包括一个或多个上述实施方式提供的数据处理装置。

在一个实施例中，本发明还提供了一种卡板，包括一个或多个上述实施方式提供的芯片。

10 在一个实施例中，本发明还提供了一种电子设备，包括一个或多个上述实施方式提供的卡板。

图 6 是根据一实施方式提供的一种数据处理方法流程示意图。

如图 6 所示，该数据处理方法应用于数据处理装置中，该数据处理装置中包括具有预设执行顺序的多个处理核，多个处理核包括首处理核和至少一个
15 个其他处理核。

其中，该数据处理方法包括：

步骤 S101，首处理核，发送指令，接收并执行根据指令获取的程序。

步骤 S102，每个其他处理核，接收并执行预设执行顺序中前一个处理核发送的程序。

20 在一个优选的实施例中，每个其他处理核，接收并执行预设执行顺序中前一个处理核发送的程序，包括：每个其他处理核，接收并执行前一个处理核发送的已执行的程序。

具体的，每个其他处理核，接收并执行前一个处理核发送的已执行的程序，包括：每个其他处理核，接收并执行前一个处理核发送的已执行的最新的
25 的程序。已执行的最新的程序是指在当前时刻之前刚刚执行完的程序，即最接近当前时刻的已执行的程序。

在一个实施例中，其他处理核包括至少一个中间处理核和尾处理核。在

上述步骤 S102 中,每个中间处理核,还将已执行的程序发送至后一个处理核。

具体地,每个中间处理核用于将刚刚执行完的程序发送至后一个处理核。

优选的,首处理核在接收根据指令获取的程序的的同时,将刚刚执行完的程序发送至后一个处理核。

5 进一步具体地,每个中间处理核将刚刚执行完的程序发送至后一个处理核,且接收到前一个处理核发送的程序后,开始执行各自接收到的程序。

首处理核在将刚刚执行完的程序发送至后一个处理核,且接收到根据指令获取的新的程序后,开始执行接收到的新的程序。

10 尾处理核在收到前一个处理核发送的刚刚执行完的程序后,开始执行该程序。

在一个具体的实施例,首处理核,发送指令,接收并执行根据指令获取的程序,包括,首处理核向 MME 发送指令,接收并执行 MME 根据该指令从外部 Memory 读取的程序。

15 在步骤 S101 中,首处理核,在发送指令后,在接收并执行根据指令获取的程序之前,还包括:

MME 接收首处理核发送的指令,根据指令从外部的 Memory 中获取程序,并将获取的程序发送至首处理核。

在一个实施例中,方法还包括:多个处理核中的每个处理核在执行完各自的程序后,均发送同步请求信号。

20 同步信号生成器,收到数据处理装置中所有的处理核发送的同步请求信号后生成同步信号,并将同步信号分别发送给每个处理核。

其中,首处理核发送指令,包括:首处理核根据同步信号发送指令。每个其他处理核,接收并执行预设执行顺序中前一个处理核发送的程序,包括:每个其他处理核,根据同步信号接收并执行前一个处理核发送的程序。

25 进一步地,每个中间处理核,用于根据同步信号,将上一个同步信号的周期已执行的程序发送至后一个处理核。

优选的,首处理核,用于发送指令,接收并执行根据指令获取的程序,

包括：首处理核在接收到根据指令获取的程序的同时，将上一个同步信号的周期已执行的程序发送至后一个处理核。

每个中间处理核，根据同步信号，将上一个同步信号的周期已执行的程序发送至后一个处理核，包括：每个中间处理核在接收前一个处理核发送的
5 程序的同时将上一个同步信号的周期已执行的程序发送至后一个处理核。

根据本发明的第六方面，提供了一种计算机存储介质，所述计算机存储介质上存储有计算机程序，所述程序被处理器执行时实现第五方面的数据处理方法。

根据本发明的第七方面，提供了一种电子设备，包括存储器、处理器及
10 存储在所述存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现第五方面的数据处理方法。

根据本发明的第八方面，提供一种计算机程序产品，其中，包括计算机指令，当所述计算机指令被计算设备执行时，所述计算设备可以执行第五方面的数据处理方法。

15 应当理解的是，本发明的上述具体实施方式仅仅用于示例性说明或解释本发明的原理，而不构成对本发明的限制。因此，在不偏离本发明的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。此外，本发明所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

20 尽管已经详细描述了本发明的实施方式，但是应该理解的是，在不偏离本发明的精神和范围的情况下，可以对本发明的实施方式做出各种改变、替换和变更。

显然，上述实施例仅仅是为清楚地说明所作的举例，而并非对实施方式的限定。对于所属领域的普通技术人员来说，在上述说明的基础上还可以做出
25 其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本发明创造的保护范围之内。

本领域内的技术人员应明白，本发明的实施例可提供为数据处理方法、数据处理系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质

5 （包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。