

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)



(10) 国際公開番号
WO 2014/049827 A1

- (51) 国際特許分類:
H01L 21/8234 (2006.01) *H01L 27/088* (2006.01)
- (21) 国際出願番号: PCT/JP2012/075072
- (22) 国際出願日: 2012 年 9 月 28 日(28.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北 1-15-2 九段坂パークビル 4F S
emicon Consulting 株式会
社内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020073 東京都千代田区九段北 1-15-2
九段坂パークビル 4F Semicon Co
nsulting 株式会
社内 Tokyo (JP). 中村
広記(NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京
都千代田区九段北 1-15-2 九段坂パーク

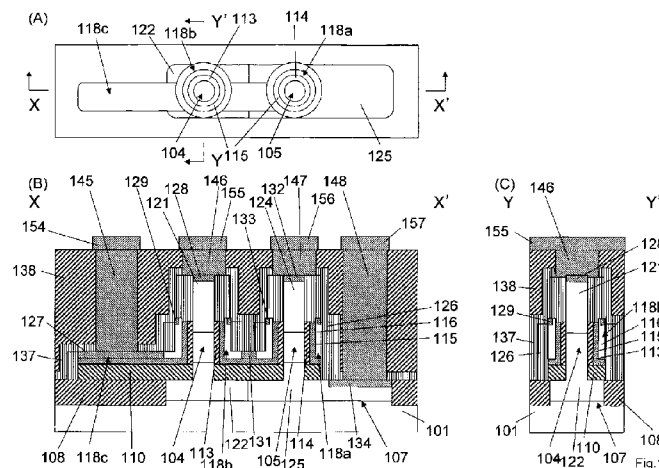
ビル 4F Semicon Consult
ing 株式会社内 Tokyo (JP). シン ナヴァブ
(SINGH Navab) [IN/SG]; 117685 シンガポール、シ
ンガポール サイエンスパーク 2、サイエン
スパーク ロード 11、インスティテュート
オブ マイクロエレクトロニクス内 Singapore
(SG). ツェン ツィシャン(CHEN Zhixian) [SG/SG];
117685 シンガポール、シンガポール サイエ
ンスパーク 2、サイエンスパーク ロード 1
1、インスティテュート オブ マイクロエ
レクトロニクス内 Singapore (SG). カマス アシ
ット ラマチャンドラ (KAMATH Aashit
Ramachandra) [IN/SG]; 117685 シンガポール、シ
ンガポール サイエンスパーク 2、サイエン
スパーク ロード 11、インスティテュート
オブ マイクロエレクトロニクス内 Singapore
(SG). ワン キンペン(WANG Xinpeng) [CN/SG];
117685 シンガポール、シンガポール サイエ
ンスパーク 2、サイエンスパーク ロード 1
1、インスティテュート オブ マイクロエ
レクトロニクス内 Singapore (SG).

- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内 3 丁目 3 番 1 号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) Abstract: This semiconductor device manufacturing method has: a first step wherein a planar silicon layer is formed on a silic-
on substrate, and a first columnar silicon layer and a second columnar silicon layer are formed on the planar silicon layer; a second
step wherein an oxide film hard mask is formed on the first columnar silicon layer and the second columnar silicon layer, and a
second oxide film thicker than a gate insulating film is formed on the planar silicon layer; and a third step wherein the gate insulating
film is formed around the first columnar silicon layer and the second columnar silicon layer, a metal film and a polysilicon film are
formed around the gate insulating film, said polysilicon film having a thickness less than a half of a gap between the first columnar
silicon layer and the second columnar silicon layer, a third resist for forming gate wiring is formed, and the gate wiring is formed by
performing anisotropic etching.

(57) 要約:

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

シリコン基板上に平面状シリコン層を形成し、前記平面状シリコン層上に第 1 の柱状シリコン層と第 2 の柱状シリコン層とを形成する第 1 の工程と、前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜より厚い第 2 の酸化膜を形成する第 2 の工程と、前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記第 1 の柱状シリコン層と前記第 2 の柱状シリコン層との間の間隔の半分より薄く、ゲート配線を形成するための第 3 のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成する第 3 の工程と、を有する