

DESCRIPTION**TITRE : Procédé de fabrication d'un système dans un boîtier à plusieurs couches et installation de fabrication associée**

La présente invention concerne un procédé de fabrication d'un système dans un boîtier à plusieurs couches.

La présente invention concerne également une installation de fabrication associée à un tel procédé de fabrication.

Dans le sens de la présente invention, le terme « système dans un boîtier » correspond à tout système plus communément appelé SiP (de l'anglais « System in Package » or « système dans un boîtier » en français). Un tel système est également connu sous le nom de *System-in-a-Package* ou de *Multi-Chip Module* (ou MCM, module multi-chip en français).

De manière connue en soi, un SiP désigne un système de circuits intégrés qui sont confinés dans un même boîtier. Ce type de système est largement utilisé dans le domaine de micro-électronique et notamment dans les domaines de la téléphonie mobile, des ordinateurs, des capteurs, etc. Dans certains cas, un SiP peut comprendre un empilement de couches ce qui lui rend particulièrement compact et donc attractif pour ce type d'application.

Généralement, la réalisation d'un SiP demande de forts investissements de machine de μ -technologie pour assembler des puces en trois dimensions et compacter ainsi les fonctions électroniques dans un bloc ou boîtier plutôt que sur une surface plane.

Ces blocs ont pour but d'être assemblés eux-mêmes sur un circuit électrique imprimé (PCB, de l'anglais « Printed Circuit Board ») pour qu'ils soient interconnectés avec d'autres blocs ou d'autres composants discrets. Les connexions externes sont par exemple réalisées par métallisation dans des bains de dépôt chimique.

Plusieurs méthodes de l'état de la technique ont pour but de simplifier la fabrication d'un SiP ou au moins, de rendre cette fabrication plus universelle pour pouvoir produire des SiP différents.

Ainsi, on connaît par exemple des méthodes permettant de rendre le design d'un SiP plus flexible. Selon certaines de ces méthodes, le substrat sur lequel sont posés différents composants électroniques, présente une matrice d'interconnexion. Cette matrice présente un grand nombre d'interconnexions possibles qui sont ensuite choisies en fonction des composants électroniques posés et les besoins de leur interconnexion.

Il existe également des méthodes de miniaturisation des cartes. Parmi ces méthodes, la méthode connue sous le nom de *Flip Chip* (ou « puce retournée » en français) propose, à la dernière étape de production, de retourner la puce et de déposer sur la surface retournée des billes de soudure (« solder bumps ») sur les pattes de la puce. Pour être
5 reliée aux autres composants, la puce est retournée, ses pattes sont mises en regard de pattes correspondantes du substrat et sont chauffées pour être solidaires du reste du substrat. Cette méthode est donc opposée à une méthode de câblage par fil (« wire bonding ») selon laquelle les interconnexions entre les puces et le substrat sont réalisées par des fils.

10 Parmi les méthodes de miniaturisation des cartes, on connaît également la méthode connue sous le nom de *Wafer-Level Packaging* (WLP ou « boîtier au niveau de la puce » en français) selon laquelle on encapsule les puces qui sont toujours solidaires les unes des autres, puis on ajoute les billes de soudure, et on découpe seulement après la plaquette pour séparer les puces. La puce encapsulée a la même surface que la puce seule, ce qui
15 permet de gagner en place occupée sur le circuit par rapport à une méthode de fabrication classique.

Enfin, il existe également des méthodes d'empilement 3D permettant de fabriquer des SiP en plusieurs couches. Ainsi, par exemple, la méthode connue sous le nom de *3D integrated circuit* (3D IC ou « circuit intégré 3D » en français) permet d'empiler plusieurs
20 puces. Les interconnexions sont réalisées le plus souvent par un via traversant (TSV ou « Through-Silicon Vias » en anglais), qui connecte les puces de l'intérieur, à la différence des techniques qui connectent les puces de l'extérieur grâce par exemple à l'emploi de fils.

Les méthodes actuelles de fabrication de SiP demandent donc des installations coûteuses qui sont difficilement adaptables à la fabrication d'autres types de SiP et/ou
25 d'autres types de composants électroniques. Ces méthodes ne peuvent donc pas être utilisées pour fabriquer des SiP pour des séries de millier de pièces.

À cet effet, l'invention a pour objet un procédé de fabrication d'un système dans un boîtier à plusieurs couches comprenant pour chaque couche courante les étapes suivantes:

- réalisation d'un substrat diélectrique par une technique de fabrication additive, le
30 substrat comprenant une surface de réception la surface de réception comprenant des zones de réception configurées pour recevoir des composants électroniques ;
- dépôt d'une colle dans les zones de réception ;
- dépôt de composants électroniques dans les zones de réception correspondantes;
- dépôt d'éléments d'interconnexion entre les composants électroniques ;
- 35 - création d'au moins une interconnexion avec une couche adjacente ;

- encapsulation de la couche courante par matière de remplissage, la matière de remplissage formant une surface extérieure ; et

- préparation de la surface extérieure pour réception de la couche suivante.

Le procédé de fabrication selon l'invention permet ainsi d'utiliser une seule
5 installation pour l'ensemble des étapes de fabrication. De plus, une technique de fabrication additive mise en œuvre par ce procédé permet de fabriquer une variété de SiP sans aucun changement entre chaque série produite, ce qui rend le coût unitaire de chaque SiP très compétitif.

Suivant d'autres aspects avantageux de l'invention, le procédé comprend une ou
10 plusieurs des caractéristiques suivantes, prise(s) isolément ou suivant toutes les combinaisons techniquement possibles :

- l'étape de réalisation du substrat diélectrique comprend sa polymérisation, de préférence sa photopolymérisation ;

- la technique de fabrication additive comprend la technique de stéréolithographie
15 ou la technique de dépôt de fil fondu ;

- l'étape de dépôt de la colle est réalisée par une vis sans fin ou par un système de distribution temps pression ;

- l'étape de dépôt des composants électroniques est réalisée par une tête de dépôt, de préférence, l'étape de dépôt des composants électroniques comprend en outre la mise
20 en place de drains thermiques collés sur les composants électroniques ;

- le procédé comprenant en outre une étape de polymérisation de la colle mise en œuvre après l'étape de dépôt des composants électroniques et avant l'étape de dépôt d'éléments d'interconnexion ;

- l'étape de dépôt d'éléments d'interconnexion comprend le dépôt de fils conducteurs ou d'une encre conductrice entre composants électroniques ;
25

- l'étape de création d'au moins une interconnexion avec une couche adjacente comprend le dépôt d'une colle conductrice ou d'un plastique chargé en particules conductrices ;

- l'étape d'encapsulation de la couche courante comprend le remplissage d'un
30 volume délimité par le substrat diélectrique par la matière de remplissage ;

- l'étape de préparation de la surface extérieure comprend la mise en œuvre d'une technique de décapage ;

- le procédé comprenant en outre une étape de contrôle optique mise en œuvre entre au moins certaines desdites étapes.

La présente invention a également pour objet une installation de fabrication d'un système dans un boîtier (SiP) à plusieurs couches, l'installation comprenant une pluralité de modules adaptés pour la mise en œuvre du procédé tel que décrit précédemment.

Ces caractéristiques et avantages de l'invention apparaîtront à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés, sur lesquels :

- [Fig 1] la figure 1 est une vue schématique d'une installation de fabrication selon l'invention ; et

- [Fig 2] la figure 2 est une vue schématique de la mise en œuvre de différentes étapes d'un procédé de fabrication selon l'invention, le procédé étant mis en œuvre par l'installation de la Figure 1.

On a en effet illustré sur la figure 1 une installation de fabrication 10 d'un système dans un boîtier, connu sous le nom de SiP. En particulier, une telle installation de fabrication 10 permet de produire des SiP à plusieurs couches et de types différents.

Pour ce faire, en référence à la figure 1, l'installation de fabrication 10 comprend un module de fabrication additive 12, un module de fixation de puce 14, un module de dépôt 16, un module d'interconnexion 18, un module d'encapsulation 20 et un module de décapage 22.

Selon différents modes de réalisation du procédé de fabrication, l'installation de fabrication 10 peut comprendre d'autres modules fonctionnels mettant en œuvre au moins partiellement au moins certaines étapes de ce procédé. Par exemple, l'installation de fabrication 10 peut comprendre en outre un module de chauffage et/ou un module de contrôle permettant de contrôler le dépôt ou la mise en place de composants.

L'installation de fabrication 10 comprend également des moyens mécaniques mettant en œuvre le fonctionnement de ces différents modules 12 à 22, leur interconnexion ainsi que leur connexion à des sources externes.

Enfin, l'installation de fabrication 10 comprend également une embase apte à recevoir le SiP après sa fabrication. En particulier, chaque SiP peut être produit sur cette embase par la mise en marche des modules précités 12 à 22, conformément au procédé de fabrication expliqué ci-dessous.

Le module de fabrication additive 12 présente une machine d'impression 3D apte à mettre en œuvre une technique de fabrication additive pour produire un substrat diélectrique. La technique de fabrication additive comprend par exemple la technique de stéréolithographie ou la technique de dépôt de fil fondu. Cette dernière technique est connue également sous l'acronyme de FDM (de l'anglais « Fused Deposition Modeling »).

Ainsi, par exemple, ce module 12 peut fonctionner en faisant, couche par couche, le dépôt de l'encre sous la forme de fines gouttelettes.

Le module de fixage de puce 14 comprend par exemple une machine connue sous le nom anglais de *Die Bonding*. Une telle machine peut par exemple comprendre un robot de dépôt de colle à l'aide d'une vis sans fin ou d'un système de distribution temps pression. En particulier, un tel système de distribution (ou « dispensing » en anglais) permet d'obtenir une goutte de colle d'une taille répétable en contrôlant la pression mise dans une seringue dans laquelle se trouve la colle. En variant le temps de mise sous pression, la dimension de la goutte de colle peut être maîtrisée (plus ou moins grosse).

Le module de dépôt 16 comprend par exemple une tête de dépôt volumétrique apte à prendre un composant électronique pour le poser sur un substrat. Une telle tête peut être réalisée par une machine connue sous le nom anglais de *Pick and Place*, ou peut faire partie de la machine de *Die Bonding* mentionnée précédemment.

Le module d'interconnexion 18 comprend par exemple une machine connue sous le nom anglais de *Wire Bonding* configurée pour connecter différents composants électroniques à l'aide d'un fil. Alternativement, le module d'interconnexion 18 comprend une machine de dépôt d'une encre conductrice. Une telle machine peut par exemple être adaptée pour la mise en œuvre de la technique de puce retournée.

Le module d'encapsulation 20 comprend par exemple une machine connue sous le nom anglais de *Dam and Fill* permettant le remplissage d'une structure par une matière de remplissage.

Enfin, le module de décapage 22 comprend une tête de décapage permettant de décapager une surface à l'aide par exemple d'un plasma.

Le procédé de fabrication d'un SiP mis en œuvre par l'installation de fabrication 10 sera désormais expliqué en référence à la figure 2.

Les étapes de ce procédé sont mises en œuvre de manière consécutive pour chaque couche formant le SiP.

Dans certains modes de réalisation, entre chaque étape expliquée ci-dessous ou au moins entre certaines de ces étapes, une étape de contrôle pourra être mise en œuvre lors de laquelle le module de contrôle par imagerie pourra être utilisé pour contrôler les dépôts ou la mise en place et le sens des composants.

Lors d'une étape initiale A, le module de fabrication additive 12 réalise un substrat diélectrique en mettant en œuvre une technique de fabrication additive, comme expliqué précédemment. Ce substrat est réalisé directement sur l'embase lorsqu'il s'agit d'une première couche du SiP ou sur une surface décapée d'une autre couche lorsqu'il s'agit d'une couche intermédiaire ou d'une dernière couche.

Le substrat formé lors de cette étape comprend une surface de réception comprenant des zones de réception configurées pour recevoir des composants électroniques.

En particulier, chaque zone de réception présente par exemple une cavité dont les dimensions sont adaptées pour recevoir un composant électronique donné. Les emplacements des zones de réception ainsi que leurs dimensions sont déterminées par exemple conformément à un fichier de configuration spécifique par exemple à chaque couche. Autrement dit, un tel fichier de configuration forme une « carte » de chaque couche. Le module de fabrication additive 12 est donc adapté pour lire un tel fichier et déposer des couches conformément à ce fichier.

Le substrat formé peut comprendre en outre une paroi s'étendant le long de la périphérie du substrat et formant une partie de la surface latérale du SiP. Une telle paroi peut délimiter en outre un volume interne du substrat recevant les composants électriques ainsi que la matière de remplissage comme cela sera expliqué par la suite.

Le substrat diélectrique peut être déposé sur un substrat de type circuit imprimé.

À la fin de l'étape A, le substrat diélectrique peut être polymérisé, de préférence par photopolymérisation, pour acquérir ses propriétés finales.

Lors de l'étape B, le module de fixation de puce 14 dépose une colle dans les zones de réception formées dans le substrat. La colle peut par exemple être choisie de sorte à avoir une faible dilatation ou tout du moins une dilatation adaptée au substrat.

Lors de l'étape C, le module de dépôt 16 dépose des composants électroniques dans les zones de réception correspondantes. Par composant électronique, on entend notamment une puce ou tout autre élément électronique faisant partie d'un SiP.

Cette étape C peut comprendre également la mise en place de drains thermiques, par exemple de type massif (substrat de cuivre, caloducs), collés sur les composants électroniques.

Lors de l'étape D, la colle est polymérisée. Cette polymérisation est par exemple mise en œuvre par un module de chauffage qui met en œuvre un chauffage local ou global. En variante, la polymérisation est faite à température ambiante, sans chauffage.

Lors de l'étape E, le module d'interconnexion 18 dépose des éléments d'interconnexion entre les composants électroniques. Les éléments d'interconnexion peuvent alors comprendre des fils conducteurs ou une encre conductrice.

Lors de l'étape F, le module d'interconnexion 18 crée une interconnexion avec au moins une couche supérieur ou inférieur, par exemple avec de la colle conductrice avec un module de dépôt d'une colle (seringues avec colle) ou d'un plastique, par exemple polymère

photopolymérisable, chargé de particules métalliques et ce déposé avec le module de fabrication additive 12.

Lors de l'étape G, le module d'encapsulation 20 fait l'encapsulation de la couche courante par exemple par remplissage du volume délimité par les parois du substrat pour
5 atteindre le même niveau que ces parois. Après le remplissage, la matière de remplissage forme alors une surface extérieure.

Lors de l'étape H, le module de décapage 22 prépare la surface extérieure pour réception de la couche suivante. En particulier, comme expliqué précédemment, cette étape peut comprendre un décapage de la surface extérieure.

10 Ensuite, lorsqu'une couche suivante est à créer, les étapes A à H sont donc à nouveau mises en œuvre.

Bien entendu, d'autres modes de réalisation de l'invention sont également possibles.

REVENDEICATIONS

1. Procédé de fabrication d'un système dans un boîtier (SiP) à plusieurs couches, le procédé de fabrication comprenant pour chaque couche courante les étapes
5 suivantes :

- réalisation (A) d'un substrat diélectrique par une technique de fabrication additive, le substrat comprenant une surface de réception la surface de réception comprenant des zones de réception configurées pour recevoir des composants électroniques ;
- dépôt (B) d'une colle dans les zones de réception ;
- 10 - dépôt (C) de composants électroniques dans les zones de réception correspondantes ;
- dépôt (E) d'éléments d'interconnexion entre les composants électroniques ;
- création (F) d'au moins une interconnexion avec une couche adjacente ;
- encapsulation (G) de la couche courante par matière de remplissage, la matière
15 de remplissage formant une surface extérieure ;
- préparation (H) de la surface extérieure pour réception de la couche suivante.

2. Procédé selon la revendication 1, dans lequel l'étape (A) de réalisation du substrat diélectrique comprend sa polymérisation, de préférence sa photopolymérisation.
20

3. Procédé selon la revendication 1 ou 2, dans lequel la technique de fabrication additive comprend la technique de stéréolithographie ou la technique de dépôt de fil fondu.

25 4. Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (B) de dépôt de la colle est réalisée par une vis sans fin ou par un système de distribution temps pression.

30 5. Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (C) de dépôt des composants électroniques est réalisée par une tête de dépôt ;

de préférence, l'étape (C) de dépôt des composants électroniques comprend en outre la mise en place de drains thermiques collés sur les composants électroniques.

35 6. Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape (D) de polymérisation de la colle mise en œuvre après

l'étape (C) de dépôt des composants électroniques et avant l'étape (E) de dépôt d'éléments d'interconnexion.

5 **7.** Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (E) de dépôt d'éléments d'interconnexion comprend le dépôt de fils conducteurs ou d'une encre conductrice entre composants électroniques.

10 **8.** Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (F) de création d'au moins une interconnexion avec une couche adjacente comprend le dépôt d'une colle conductrice ou d'un plastique chargé en particules conductrices.

15 **9.** Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (G) d'encapsulation de la couche courante comprend le remplissage d'un volume délimité par le substrat diélectrique par la matière de remplissage.

10. Procédé selon l'une quelconque des revendications précédentes, dans lequel l'étape (H) de préparation de la surface extérieure comprend la mise en œuvre d'une technique de décapage.

20 **11.** Procédé selon l'une quelconque des revendications précédentes, comprenant en outre une étape de contrôle optique mise en œuvre entre au moins certaines desdites étapes.

25 **12.** Installation de fabrication (10) d'un système dans un boîtier (SiP) à plusieurs couches, l'installation comprenant une pluralité de modules (12, ..., 22) adaptés pour la mise en œuvre du procédé selon l'une quelconque des revendications précédentes