

明 細 書

発明の名称：不揮発性半導体記憶装置

技術分野

[0001] 本発明は、不揮発性半導体記憶装置に関し、例えば行列状に配置された複数のメモリセルトランジスタ（以下、単にメモリセルと呼ぶ）のうち、所定のメモリセルにデータを書き込み可能な不揮発性半導体記憶装置に適用して好適なものである。

背景技術

[0002] 従来、不揮発性半導体記憶装置としては、例えば量子トンネル効果により、メモリセルの電荷蓄積層内に電荷を蓄積させることで、データを書き込む不揮発性半導体記憶装置が知られている（例えば、特許文献1及び非特許文献1参照）。ここで、図13は、従来の不揮発性半導体記憶装置501を示し、例えば行方向（左右方向）に並んだ複数のP型メモリウエルW503a, W503b, W503c, W503dを備え、各P型メモリウエルW503a～W503dにそれぞれ複数のメモリセルCが行列状に形成された構成を有する。また、この不揮発性半導体記憶装置501には、行方向に延びる複数の共通ワード線502a, 502b, 502c, 502d, 502e, 502fが、列方向（上下方向）に等間隔で配置されており、各共通ワード線502a～502fと、各P型メモリウエルW503a～W503dとが交差するように配置されている。

[0003] 各共通ワード線502a～502fには、複数のP型メモリウエルW503a～W503dに亘って同一行に並んだ複数のメモリセルCが接続されており、これら同一行に並んだ全てのメモリセルCの各制御ゲートに、所定のゲート電圧を一律に印加し得るようになされている。また、各P型メモリウエルW503a～W503dには、列方向に延びる複数の第1ビット線L1と、同じく列方向に延びる複数の第2ビット線L2とが設けられている。

[0004] 各P型メモリウエルW503a～W503dは、一の第1ビット線L1と、当該第1ビット線L1に隣接した第2ビット線L2とを一对とし、並走するこれら第1ビッ

ト線L1及び第2ビット線L2間に複数のメモリセルCが並列に配置された構成を有している。實際上、各メモリセルCには、一端に第1ビット線L1が接続されているとともに、他端に第2ビット線L2が接続されており、これら第1ビット線L1及び第2ビット線L2から一端及び他端に、例えば書き込み電圧又は書き込み禁止電圧が印加され得るようになされている。

[0005] 因みに、メモリセルCは、全て同一構成を有しており、半導体基板がP型メモリウエルW503a～W503dでなるNチャネル型からなる。また、各メモリセルCは、例えば半導体基板（P型メモリウエルW503a）に所定の間隔を設けて形成された一端及び他端間にチャネル領域を備え、このチャネル領域上にトンネル絶縁層を介して電荷蓄積層、層間絶縁層及び制御ゲートが順に積層された構造を有する。かかる構成を有するメモリセルCには、一端及び他端間に印加される電圧と、制御ゲートに印加される電圧との電圧差により、電荷蓄積層内に電荷が注入されて、データが書き込まれたり、或いは電荷蓄積層に蓄積した電荷が引き抜かれて、データが消去されたりし得る。

[0006] かくして、このようなメモリセルCを有した不揮発性半導体記憶装置501では、第1ビット線L1や第2ビット線L2、共通ワード線502a～502f、P型メモリウエルW503a～W503dにそれぞれ印加する電圧値を調整することで、所定のメモリセルCに対するデータの書き込みや、所定のメモリセルCからのデータの読み出し、或いはメモリセルCに書き込まれたデータの消去を実行し得るようになされている。

[0007] ここで、図13は、複数あるメモリセルCのうち、第1列目のP型メモリウエルW503aの第1行第1列目に配置されたメモリセルCにだけデータを書き込み、その他全てのメモリセルCにデータを書き込まないときの各箇所の電圧値を示している。因みに、ここでは説明の便宜上、データが書き込まれるメモリセルCを選択メモリセルC1と呼び、データが書き込まれないメモリセルCを非選択メモリセルC2と呼ぶこととする。また、選択メモリセルC1が接続されている共通ワード線502aを選択共通ワード線515、同じく選択メモリセルC1が接続されている第1ビット線L1及び第2ビット線L2を選択第1ビット線L1a及

び選択第2ビット線L2aと呼び、一方、非選択メモリセルC2だけが接続されている共通ワード線502b, 502c, 502d, 502e, 502fを非選択共通ワード線516、同じく非選択メモリセルC2だけが接続されている第1ビット線L1及び第2ビット線L2を非選択第1ビット線L1b, L1c及び非選択第2ビット線L2b, L2cと呼ぶこととする。

[0008] この場合、各P型メモリウェルW503a～W503dにはそれぞれ0[V]が印加されている。ここでは、先ず初めに、選択メモリセルC1が配置されたP型メモリウェルW503a（以下、単に選択バイトと呼ぶ）について着目して説明し、次いで、非選択メモリセルC2だけが配置されたP型メモリウェルW503b～W503d（以下、単に非選択バイトと呼ぶ）に着目して説明する。實際上、選択共通ワード線515が配置された選択行では、12[V]の書き込みゲート電圧が選択共通ワード線515に印加され、0[V]の書き込み電圧が選択第1ビット線L1a及び選択第2ビット線L2aにそれぞれ印加されている。これにより、選択メモリセルC1には、選択共通ワード線515から制御ゲートに12[V]の書き込みゲート電圧が印加されるとともに、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され得る。これにより選択メモリセルC1は、制御ゲート及びチャネル領域間の電圧差が大きくなって、量子トンネル効果が発生し、電荷蓄積層中に電荷が注入され、データが書き込まれた状態となり得る。

[0009] また、この際、選択バイトでは、非選択第1ビット線L1b及び非選択第2ビット線L2bに、6[V]の書き込み禁止電圧が中間電圧として印加されている。これにより、選択バイトにおいて非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2には、選択共通ワード線515から制御ゲートに12[V]の書き込みゲート電圧が印加されるものの、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せずに、電荷蓄積層中に電荷が注入されることなくデータが書き込まれない状態となり得る。かくして、選択

バイトと選択行とが交わる第1領域AR501では、選択メモリセルC1にだけデータが書き込まれ、その他の非選択メモリセルC2にデータが書き込まれない状態となり得る。

[0010] 一方、非選択行では、0[V]の書き込み禁止ゲート電圧が非選択共通ワード線516に印加されている。これにより、選択バイトと非選択行とが交わる第2領域AR502において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されているものの、非選択共通ワード線516から制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せずに、電荷蓄積層中に電荷が注入されることなくデータが書き込まれない状態となり得る。

[0011] また、この第2領域AR502において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ非選択共通ワード線516から制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せずに、電荷蓄積層中に電荷が注入されることなくデータが書き込まれない状態となり得る。

[0012] 次に、非選択バイトについて着目する。この場合、非選択バイトには、非選択第1ビット線L1c及び非選択第2ビット線L2cに12[V]の書き込み禁止電圧が印加されている。これにより、非選択バイトと選択行とが交わる第3領域AR503における各非選択メモリセルC2には、選択共通ワード線515から制御ゲートに12[V]の書き込みゲート電圧が印加されるものの、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に12[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せずに、電荷蓄積層中に電荷が注入されることなくデータが書き込まれない状態となり得る。

[0013] また、非選択行と非選択バイトとが交わる第4領域AR504における各非選択メモリセルC2には、非選択共通ワード線516から制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されるとともに、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に12[V]の書き込み禁止電圧が印加されることで、制御ゲート側の電圧値がチャネル領域側の電圧値より小さくなり、その結果、量子トンネル効果が発生することなく、電荷蓄積層中に電荷が注入されることなくデータが書き込まれない状態となり得る。

[0014] かくして、この不揮発性半導体記憶装置501では、共通ワード線502a~502f、第1ビット線L1及び第2ビット線L2に印加する各電圧値を調整することにより、行列状に配置された複数のメモリセルCのうち、所定の選択メモリセルC1にだけデータを書き込めるようになっている。

先行技術文献

特許文献

[0015] 特許文献1：特開昭60-95794号公報

非特許文献

[0016] 非特許文献1：IEICE TRANS.ELECTRON.,VOL.E84-C,NO.6 2001 (Fig13)

発明の概要

発明が解決しようとする課題

[0017] ところで、かかる構成でなる不揮発性半導体記憶装置501では、選択バイト及び非選択バイトで共通した共通ワード線502a~502fを用いていることから、選択共通ワード線515に印加された12[V]の書き込みゲート電圧が、非選択バイトの第3領域AR503に配置した同一行の各非選択メモリセルC2にも印加されてしまう。そのため、この不揮発性半導体記憶装置501では、上述したように、第3領域AR503の非選択第1ビット線L1c及び非選択第2ビット線L2cにも、12[V]の書き換え禁止電圧を印加することで、第3領域AR503中の非選択メモリセルC2において電荷蓄積層へ電荷が注入されないようにしている。

[0018] しかしながら、非選択バイトの第3領域AR503では、選択共通ワード線515

に合わせて、非選択第1ビット線L1c及び非選択第2ビット線L2cに12[V]の書き換え禁止電圧を印加しても、各P型メモリウェルW503b～W503dに0[V]が印加されていることから、P型メモリウェルW503b～W503dの電圧値が、これら選択共通ワード線515、非選択第1ビット線L1c及び非選択第2ビット線L2cの電圧値よりも低くなってしまふ。そのため、この第3領域AR503では、第1領域AR501にて選択メモリセルC1に対するデータの書き込み動作が繰り返されると、結局、P型メモリウェルW503b～W503dとの間に生じている電圧差によって、非選択メモリセルC2の電荷蓄積層に意図しない電荷が注入され、電荷蓄積層の電荷蓄積状態が変動してしまう現象（以下、これをディスターブと呼ぶ）が発生する虞があるという問題があった。

[0019] また、この不揮発性半導体記憶装置501では、非選択バイトに配置された非選択第1ビット線L1c及び非選択第2ビット線L2cに、12[V]の書き込み禁止電圧が印加されていることから、非選択行にて0[V]の書き込み禁止ゲート電圧が印加される非選択共通ワード線516と、これら12[V]の書き込み禁止電圧が印加される非選択第1ビット線L1c及び非選択第2ビット線L2cとが交わる第4領域AR504にて電圧差が大きくなり、その結果、第4領域AR504の各非選択メモリセルC2でもディスターブが発生してしまうという問題があった。

[0020] このように不揮発性半導体記憶装置501では、第3領域AR503だけでなく、第4領域AR504の各非選択メモリセルC2でもディスターブが発生しており、共通ワード線502a～502fの本数が多くなり、選択バイトにてデータの書き込み可能なメモリセルCの数が増えると、それに伴い、選択バイトにて選択メモリセルC1へのデータ書き込み回数が増えることから、その分だけ、非選択バイトでデータの書き換えが行われない非選択メモリセルでディスターブが多発してしまう。

[0021] この不揮発性半導体記憶装置501では、このようなディスターブが非選択バイトにて繰り返し発生すると、弱い書き込み動作や弱い消去動作が起こってしまい、その結果、非選択バイトにおいて各非選択メモリセルの閾値電圧が変動し、最終的にデータが消失してしまうこともある。そのため、特に、書

き換え単位が1バイトのような小さなEEPROMとして動作させる不揮発性半導体記憶装置501では、データ書き込み時における非選択メモリセルC2でのディスタージブの発生を抑止し得ることが望まれている。

[0022] ところで、このようなディスタージブの問題を解決する不揮発性半導体記憶装置としては、例えばワード線にゲート電圧を印加する行方向アドレスデコーダを選択バイト及び非選択バイト毎にそれぞれ個別に設け、各行方向アドレスデコーダを独立に動作させて、各バイト毎にそれぞれ最適なゲート電圧を印加するようにし、行方向アドレスデコーダによってこれら選択バイト及び非選択バイトを完全に隔離させてしまうことも考えられる。

[0023] このような不揮発性半導体記憶装置であれば、選択バイトにて選択ワード線に12[V]の書き込みゲート電圧を印加する行方向アドレスデコーダに拘束されることなく、これとは別の行方向アドレスデコーダにより、非選択バイトの各非選択ワード線に対しそれぞれ低電圧の書き込み禁止ゲート電圧を印加し得る。そして、この不揮発性半導体記憶装置では、非選択第1ビット線及び非選択第2ビット線の書き込み禁止電圧の電圧値や、P型メモリウェルの電圧値も、低電圧の書き込み禁止ゲート電圧と同じ電圧値に選定することができるので、非選択バイトの非選択メモリセルにおけるディスタージブを抑制し得る。

[0024] しかしながら、このような不揮発性半導体記憶装置では、それぞれ独立した行方向アドレスデコーダを選択バイト及び非選択バイト毎に設ける必要があることから、その分だけ回路構成が複雑化してしまい、小型化が図り難いという問題がある。

[0025] そこで、本発明は以上の点を考慮してなされたもので、小型化を図りつつ、ディスタージブの発生を従来よりも抑止し得る不揮発性半導体記憶装置を提案することを目的とする。

課題を解決するための手段

[0026] かかる課題を解決するため本発明の請求項1は、電荷蓄積ゲート電圧又は電荷蓄積禁止ゲート電圧のいずれか一方が印加される行列状に形成された複

数のワード線と、前記各ワード線に連結された複数のメモリセルと、前記複数のメモリセルに選択的な電圧を印加するビット線とを備え、前記ワード線に印加された前記電荷蓄積ゲート電圧と、前記ビット線に印加された電圧との電圧差により、前記複数のメモリセルのうち選択メモリセルに電荷を蓄積させる不揮発性半導体記憶装置であって、ワード線列毎に設けられた電源ユニットと、ワード線行毎に設けられた共通配線とを備え、各前記共通配線は、所定の共通電圧を前記ワード線行単位で各前記電源ユニットに印加し、各前記電源ユニットには、前記ワード線毎に設けられ、前記ワード線を前記共通配線に接続する切替機構と、前記ワード線列に前記選択メモリセルがあるか否かに応じて、異なるユニット電圧を前記電源ユニット内の各前記切替機構に一律に印加するユニット配線とが設けられており、各前記電源ユニット毎に印加される前記ユニット電圧と、前記共通電圧との電圧差を基に、各前記電源ユニットの前記切替機構をオンオフ動作させることで、前記電源ユニットを介して各前記ワード線に前記電荷蓄積ゲート電圧又は前記電荷蓄積禁止ゲート電圧を個別に印加することを特徴とする不揮発性半導体記憶装置である。

[0027] 本発明による第1の実施の形態（図1）、第2の実施の形態（図2）、第3の実施の形態（図4）、第4の実施の形態（図6）、第5の実施の形態（図7）、第6の実施の形態（図8）、および第7の実施の形態（図9）において、電源ユニットのうち、選択メモリセルがある選択ワード線が接続された選択電源ユニットでは、NMOSスイッチがオフ状態になり、ソースに電荷蓄積ゲート電圧が印加されているPMOSスイッチがオン状態になることで、当該PMOSスイッチのドレインから選択ワード線に電荷蓄積ゲート電圧を印加する。

[0028] なお、第1の実施の形態（図1）、第2の実施の形態（図2）、第3の実施の形態（図4）、第4の実施の形態（図6）、第5の実施の形態（図7）、および第6の実施の形態（図8）では、ユニット配線からPMOSスイッチのソースに電荷蓄積ゲート電圧が印加され、一方、第7の実施の形態（図

9) では、共通配線からPMOSスイッチのソースに電荷蓄積ゲート電圧が印加される。

[0029] また、本発明による第1の実施の形態(図1)、第2の実施の形態(図2)、第3の実施の形態(図4)、第4の実施の形態(図6)、第5の実施の形態(図7)、第6の実施の形態(図8)、および第7の実施の形態(図9)において、電源ユニットのうち、選択メモリセルがある選択ワード線が接続された選択電源ユニットでは、非選択メモリセルのみが配置された非選択ワード線に電荷蓄積禁止ゲート電圧を印加する場合、PMOSスイッチがオフ状態になり、ソースに電荷蓄積禁止ゲート電圧が印加されているNMOSスイッチがオン状態になることで、当該NMOSスイッチのドレインから非選択ワード線に電荷蓄積禁止ゲート電圧を印加する。

[0030] なお、第1の実施の形態(図1)、第2の実施の形態(図2)、第3の実施の形態(図4)、第4の実施の形態(図6)、第5の実施の形態(図7)、および第6の実施の形態(図8)では、ユニット配線からNMOSスイッチのソースに電荷蓄積禁止ゲート電圧が印加され、一方、第7の実施の形態(図9)では、共通配線からNMOSスイッチに電荷蓄積禁止ゲート電圧が印加される。

[0031] さらに、本発明による第3の実施の形態(図4)、第4の実施の形態(図6)、第5の実施の形態(図7)、第6の実施の形態(図8)、および第7の実施の形態(図9)において、電源ユニットのうち、非選択メモリセルだけが配置された非選択ワード線のみを有する非選択電源ユニットでは、ソースに電荷蓄積禁止ゲート電圧が印加されている補助スイッチがオン状態になることで、当該補助スイッチのドレインから非選択ワード線に電荷蓄積禁止ゲート電圧を印加する。

[0032] なお、第3の実施の形態(図4)、第5の実施の形態(図7)、第6の実施の形態(図8)、および第7の実施の形態(図9)では、補助スイッチは補助NMOSスイッチであり、一方、第4の実施の形態(図6)では、補助スイッチは補助PMOSスイッチである。また、上記実施の形態では、ユニ

ット配線から補助スイッチに電荷蓄積禁止ゲート電圧が印加される。

発明の効果

[0033] 本発明によれば、ワード線列に選択メモリセルがあるか否かに応じて、各電源ユニット毎に異なるユニット電圧を印加し、当該ユニット電圧と共通電圧との電圧差を基に、各電源ユニットの切替機構をワード線単位でオンオフ動作させることで、電源ユニットを介してワード線毎に電荷蓄積ゲート電圧又は電荷蓄積禁止ゲート電圧を個別に印加でき、かくして、一のワード線列に印加される電圧に拘束されることなく他のワード線列にて、電荷蓄積禁止ゲート電圧の電圧値や、ビット線の電圧値を、例えばディスターブの発生を抑制し得る電圧値にそれぞれ自由に設定できる。

[0034] また、本発明によれば、複数の電源ユニットが共通配線により接続されており、共通配線に印加される共通電圧を調整することで、各電源ユニットの切替機構をオンオフ動作させ、全てのワード線の中から選択ワード線を選択的に決定できることから、ワード線列毎にそれぞれ独立した行方向アドレスデコーダを設ける必要がなく、従来同様に小型化を図ることができる。このように、本発明では、小型化を図りつつ、ディスターブの発生を従来よりも抑止し得る不揮発性半導体記憶装置を実現できる。

図面の簡単な説明

[0035] [図1]第1の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図2]第2の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図3]第2の実施の形態による不揮発性半導体記憶装置の回路構成と、データの消去動作時における各箇所の電圧値とを示す回路図である。

[図4]第3の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図5]第3の実施の形態による不揮発性半導体記憶装置の回路構成と、データの消去動作時における各箇所の電圧値とを示す回路図である。

[図6]第4の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図7]第5の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図8]第6の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図9]第7の実施の形態による不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

[図10]周辺NMOSトランジスタと、各種NMOSスイッチの耐圧構造を示す側断面図である。

[図11]NMOSスイッチの他の耐圧構造を示す側断面図である。

[図12]従来の混載チップと、本発明の不揮発性半導体記憶装置を用いた混載チップとの構成を示す概略図である。

[図13]従来の不揮発性半導体記憶装置の回路構成と、データの書き込み時における各箇所の電圧値とを示す回路図である。

発明を実施するための形態

[0036] 以下図面に基づいて本発明の実施の形態を詳述する。

[0037] (1) 第1の実施の形態

(1-1) 不揮発性半導体記憶装置の全体構成

図13との対応部分に同一符号を付して示す図1において、1は本発明による不揮発性半導体記憶装置を示し、同一構成でなる複数のユニット列2が行方向（左右方向）に並んで配置された構成を有する。ここで、複数のユニット列2は全て同一構成でなることから、以下、第1列目のユニット列2に着目して説明する。この場合、ユニット列2には、N型ウェルNW1、P型ウェルPW1及びP型メモリウェルPW2が順に配置されており、N型ウェルNW1及びP型ウェルPW1に電源ユニット4が形成され、メモリウェルとしてのP型メモリウェルPW2に複数のメモリセルCが行列状に形成されている。

[0038] この電源ユニット4には、列方向（上下方向）に延びた第1電源線5aがN型

ウェルNW1に形成されており、列方向に所定間隔を空けて複数のPMOSスイッチ8a, 8c, …が第1電源線5aに沿って設けられている。PMOSスイッチ8a, 8c, …は、ソースが第1電源線5aに接続され、ドレインが後述するワード線15に接続されており、オン動作することにより、第1電源線5aからソースに印加された書き込みゲート電圧や書き込み禁止ゲート電圧等を、ドレインからワード線15に印加し得るようになされている。

[0039] また、この電源ユニット4には、同じく列方向に延びた第2電源線6aがP型ウェルPW1に形成されており、PMOSスイッチ8a, 8c, …と対をなすNMOSスイッチ9a, 9c, …が、列方向に所定間隔を空けて第2電源線6aに沿って設けられている。NMOSスイッチ9a, 9c, …は、ソースが第2電源線6aに接続され、ドレインが後述するワード線15に接続されており、オン動作することにより、第2電源線6aからソースに印加された書き込み禁止ゲート電圧等を、ドレインからワード線15に印加し得るようになされている。

[0040] ユニット列2のP型メモリウェルPW2には、PMOSスイッチ8a, 8c, …及びNMOSスイッチ9a, 9c, …の対に対応させて複数のワード線15が設けられており、各ワード線15に沿ってそれぞれ複数（この場合、2つ）のメモリセルCが形成されている。實際上、このP型メモリウェルPW2には、行方向（左右方向）に延びる複数のワード線15が、列方向に所定間隔を空けて配置されている。ワード線15には、電源ユニット4に設けられた同一行のPMOSスイッチ8a（8c, …）及びNMOSスイッチ9a（9c, …）のドレインと、このP型メモリウェルに配置された同一行のメモリセルCの制御ゲートとが接続されている。これにより、各ワード線15は、PMOSスイッチ8a, 8c, …又はNMOSスイッチ9a, 9c, …のいずれか一方から印加される所定のゲート電圧（書き込みゲート電圧又は書き込み禁止ゲート電圧）を、ユニット列2内にて同一行に並ぶ複数のメモリセルC全てに一律に印加し得るようになされている。

[0041] また、P型メモリウェルPW2には、列方向に延びる複数の第1ビット線L1と、同じく列方向に延びる複数の第2ビット線L2とが設けられている。實際上、P型メモリウェルPW2は、一の第1ビット線L1と、当該第1ビット線L1に隣

接した第2ビット線L2とを一对とし、並走する第1ビット線L1及び第2ビット線L2間に複数のメモリセルCが並列に配置された構成を有している。各メモリセルCには、一端に第1ビット線L1が接続されているとともに、他端に第2ビット線L2が接続されており、これら第1ビット線L1及び第2ビット線L2から一端及び他端に、例えば書き込み電圧又は書き込み禁止電圧が印加され得るようになされている。

[0042] なお、各メモリセルCは、全て同一構成を有しており、半導体基板がP型メモリウェルPW2でなるNチャネル型であり、P型メモリウェルPW2（半導体基板）に所定の間隔を設けて形成された一端及び他端間のチャネル領域上に、トンネル絶縁層を介して電荷蓄積層、層間絶縁層及び制御ゲートが順次積層された構造を有している。かくして、メモリセルCは、一端及び他端間に印加される電圧と、制御ゲートに印加される電圧との電圧差により、電荷蓄積層内に電荷が注入されて、データが書き込まれたり、或いは電荷蓄積層に蓄積した電荷が引き抜かれて、データが消去されたりし得る。

[0043] これに加えて、この不揮発性半導体記憶装置1には、第1MOS電源線VL1及び第2MOS電源線VL2が列方向に向けて並走して設けられており、第1MOS電源線VL1に12[V]の第1制御電圧が印加されているとともに、第2MOS電源線VL2に0[V]の第2制御電圧が印加されている。ここで、これら第1MOS電源線VL1及び第2MOS電源線VL2には、列方向に所定間隔を空けて複数のインバータ回路11が設けられており、行方向に延びる共通PMOS制御線PGa（PGb, PGc, PGd）と、この共通PMOS制御線PGa（PGb, PGc, PGd）と対をなし、同じく行方向に延びる共通NMOS制御線NGa（NGb, NGc, NGd）とが各インバータ回路11の出力部に接続されている。

[0044] 共通PMOS制御線PGa（PGb, PGc, PGd）は、全てのユニット列2と交差するように延設されており、各ユニット列2の同一行に配置されたPMOSスイッチ8a, 8b（8c, 8d, …）の各ゲートに接続され、インバータ回路11からの出力を同一行に配置された全てのPMOSスイッチ8a, 8b（8c, 8d, …）のゲートに一律に印加し得るようになされている。これにより、例えば、共通PMOS制

御線PGaに接続された各PMOSスイッチ8a, 8bは、共通PMOS制御線PGaと第1電源線5a, 5bとの電圧差によりオンオフ動作し、オン動作時に第1電源線5a, 5bとワード線15とを電氣的に接続し得るようになされている。

[0045] 一方、共通NMOS制御線NGa (NGb, NGc, NGd) も、全てのユニット列2と交差するように延設されており、各ユニット列2の同一行に配置されたNMOSスイッチ9a, 9b (9c, 9d, …) の各ゲートに接続され、インバータ回路11からの出力を同一行に配置された全てのNMOSスイッチ9a, 9b (9c, 9d, …) のゲートに一律に印加し得るようになされている。これにより、例えば、共通NMOS制御線NGaに接続された各NMOSスイッチ9a, 9bは、共通NMOS制御線NGaと第2電源線6a, 6bとの電圧差によりオンオフ動作し、オン動作時に第2電源線6a, 6bとワード線15とを電氣的に接続し得るようになされている。

[0046] すなわち、不揮発性半導体記憶装置1では、PMOSスイッチ8a, 8b, 8c, 8d及びNMOSスイッチ9a, 9b, 9c, 9dをオンオフ動作させることで、第1電源線5a, 5b及び第2電源線6a, 6bの出力を所定のワード線15に印加してメモリセルCの電圧値を調整し得る。このような調整によって不揮発性半導体記憶装置1では、各P型メモリウェルPW2に行列状に配置された複数のメモリセルCのうち、例えば第1列目のP型メモリウェルPW2にある選択メモリセルC1の電荷蓄積層にだけ電荷を蓄積させてデータを書き込むことができる。

[0047] なお、本発明における実施の形態においては、選択メモリセルC1の電荷蓄積層に電荷が蓄積された状態を、データが書き込まれた状態とし、当該電荷蓄積層に電荷が蓄積されていない状態を、データが消去された状態とするが、本発明はこれに限らず、選択メモリセルC1の電荷蓄積層に電荷が蓄積されていない状態を、データが書き込まれた状態とし、当該電荷蓄積層に電荷が蓄積された状態を、データが消去された状態としてもよい。

[0048] (1-2) データの書き込み動作

ここで、図1は、不揮発性半導体記憶装置1において、複数のユニット列2のうち、第1列目のユニット列2の第1行1列目に配置したメモリセルCをデータが書き込まれる選択メモリセルC1とし、その他全てのユニット列2のメモ

リセルCを非選択メモリセルC2としたときの各箇所の電圧値を示している。なお、ここでは、説明の便宜上、選択メモリセルC1が配置されたユニット列2を選択ユニット列2aと呼び、非選択メモリセルC2だけが配置されたユニット列2を非選択ユニット列2bと呼ぶ。また、選択ユニット列2aの電源ユニット4を選択電源ユニット4aと呼び、非選択ユニット列2bの電源ユニット4を非選択電源ユニット4bと呼ぶ。

[0049] さらに、共通配線として一对の共通PMOS制御線PGa (PGb, PGc, PGd) 及び共通NMOS制御線NGa (NGb, NGc, NGd) が配置された行について、行中に選択メモリセルC1が配置された行を選択行3aと呼び、一方、行中に非選択メモリセルC2だけが配置された行を非選択行3bと呼ぶ。また、以下、選択ユニット列2aと選択行3aとが交差する第1領域AR1に着目して説明した後、選択ユニット列2aと非選択行3bとが交差する第2領域AR2、非選択ユニット列2bと選択行3a及び非選択行3bとが交差する第3領域AR3の順に着目して説明する。

[0050] (1-2-1) 第1領域について

この場合、選択行3aでは、インバータ回路11によって、共通PMOS制御線PGa及び共通NMOS制御線NGaに、共通電圧として第2MOS電源線VL2における0[V]の第2制御電圧が印加されている。また、選択電源ユニット4aには、第1電源線5aにユニット電圧として12[V]の書き込みゲート電圧（電荷蓄積ゲート電圧）が印加され、一方、第2電源線6aにユニット電圧として0[V]の書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）が印加されている。なお、この選択ユニット列2aでは、第1電源線5aが形成されたN型ウェルNW1に、第1電源線5aの電圧値と同じ12[V]が印加され、一方、第2電源線6aが形成されたP型ウェルPW1に第2電源線6aの電圧値と同じ0[V]が印加されている。

[0051] これにより、選択ユニット列2aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに0[V]の第2制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、当該12[V]の書き込みゲート電圧をドレインから選択ワード線（

選択メモリセルC1が接続されたワード線15) 15aに印加し得るようになされている。

[0052] これに対して、選択ユニット列2aの選択行3aにて、このPMOSスイッチ8aと対をなすNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに0[V]の第2制御電圧が印加され、第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該0[V]の書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、この第1領域AR1の選択ワード線15aには、PMOSスイッチ8aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0053] ここで、選択ユニット列2aのP型メモリウェルPW2には、0[V]が印加され、また、選択第1ビット線L1a及び選択第2ビット線L2aに0[V]の書き込み電圧が印加されている。これにより、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリセルC1には、PMOSスイッチ8aから選択ワード線15aを介して制御ゲートに12[V]の書き込みゲート電圧が印加され、かつ選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され得る。かくして、選択メモリセルC1は、制御ゲートの電圧値がチャネル領域の電圧値に比して極めて大きくなり、その結果、量子トンネル効果が発生して、チャネル領域から電荷蓄積層に電荷が注入され得るようになされている。

[0054] これに対して、第1領域AR1の非選択メモリセルC2は、PMOSスイッチ8aから選択ワード線15aを介して制御ゲートに12[V]の書き込みゲート電圧が印加されるものの、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加されていることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。このように、第1領域AR1では、PMOSスイッチ8aをオン動作させて、高電圧の書き込みゲート電圧を選択ワード線15aに印加し、当該選択ワード線15aに接続された選択メモリセルC1にて電荷蓄積層に電荷を注入され得るようになされている。

なされている。

[0055] (1-2-2) 第2領域について

次に、選択ユニット列2aと非選択行3bとが交わる第2領域AR2に着目して以下説明する。ここで非選択メモリセルC2だけが配置された非選択行3bでは、インバータ回路11によって、共通電圧として第1MOS電源線VL1における12[V]の第1制御電圧が、共通PMOS制御線PGb (PGc, PGd) 及び共通NMOS制御線NGb (NGc, NGd) に印加されている。これにより、例えば、選択ユニット列2aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに12[V]の第1制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、当該12[V]の書き込みゲート電圧を遮断し得るようになされている。

[0056] 一方、選択ユニット列2aの非選択行3bにてPMOSスイッチ8cと対をなすNMOSスイッチ9cは、共通NMOS制御線NGbからゲートに12[V]の第1制御電圧が印加され、第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧を第2領域AR2の非選択ワード線（非選択メモリセルC2だけが接続されたワード線15）15cに印加し得るようになされている。かくして、この第2領域AR2の非選択ワード線15cには、NMOSスイッチ9cを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0057] これにより、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、NMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せずに、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0058] また、第2領域AR2において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2でも、NMOSスイッチ9cを介して

非選択ワード線15cから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加され、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せずに、チャネル領域から電荷蓄積層に電荷が注入され得ない。このように、第2領域AR2では、NMOSスイッチ9cがオン動作することにより、低電圧の書き込み禁止ゲート電圧を非選択ワード線15cに印加し、当該非選択ワード線15cに接続された非選択メモリセルC2にて電荷蓄積層に電荷が注入されないようになされている。

[0059] (1-2-3) 第3領域について

次に、非選択ユニット列2bの第3領域AR3に着目して以下説明する。この場合、非選択電源ユニット4bには、第1電源線5b及び第2電源線6bに6[V]の書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）が印加されている。また、この非選択ユニット列2bでは、第1電源線5bが形成されたN型ウェルNW1に12[V]が印加され、一方、第2電源線6bが形成されたP型ウェルPW1に0[V]が印加されている。ここで、非選択ユニット列2bの選択行3aでは、インバータ回路11によって、第2MOS電源線VL2における0[V]の第2制御電圧が、共通PMOS制御線PGaと共通NMOS制御線NGaとに印加されている。

[0060] これにより、非選択ユニット列2bの選択行3aのPMOSスイッチ8bは、共通PMOS制御線PGaからゲートに0[V]の第2制御電圧が印加され、かつ第1電源線5bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該6[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。

[0061] 一方、非選択ユニット列2bの選択行3aにて、このPMOSスイッチ8bと対をなすNMOSスイッチ9bは、共通NMOS制御線NGaからゲート線に0[V]の第2制御電圧が印加され、かつ第2電源線6bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオフ状態なり、当該6[V]の書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、この第3領域AR3の選択行3a

に配置された非選択ワード線15bには、PMOSスイッチ8bを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0062] ここで、この非選択ユニット列2bでは、非選択第1ビット線L1c及び非選択第2ビット線L2cに6[V]の書き込み禁止電圧が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、PMOSスイッチ8bを介して非選択ワード線15bから制御ゲートに6[V]の書き込み禁止ゲート電圧が印加され、かつ非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端にも6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0063] 次に、第3領域AR3の非選択行3bについて着目する。この場合、非選択行3bでは、インバータ回路11によって、第1MOS電源線VL1における12[V]の第1制御電圧が、共通PMOS制御線PGbと共通NMOS制御線NGbとに印加されている。これにより、非選択ユニット列2bの非選択行3bのPMOSスイッチ8dは、共通PMOS制御線PGbからゲートに12[V]の第1制御電圧が印加され、かつ第1電源線5bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該6[V]の書き込み禁止ゲート電圧を遮断し得るようになされている。

[0064] これに対して、非選択ユニット列2bの非選択行3bにて、このPMOSスイッチ8dと対をなすNMOSスイッチ9dは、共通NMOS制御線NGbからゲート線に12[V]の第1制御電圧が印加され、かつ第2電源線6bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオン状態なり、当該6[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、この第3領域AR3の非選択行3bに配置された非選択ワード線15dには、NMOSスイッチ9dを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0065] かくして、第3領域AR3の非選択行3bに配置された非選択メモリセルC2では、NMOSスイッチ9dから非選択ワード線15dを介して制御ゲートに6[V]の書

き込み禁止ゲート電圧が印加され、かつ非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなくチャネル領域から電荷蓄積層に電荷が注入され得ない。

[0066] このように、非選択電源ユニット4bには、選択電源ユニット4aに設けられた第1電源線5a及び第2電源線6aとは別に、独立した第1電源線5b及び第2電源線6bが設けられており、隣接する第1領域AR1に印加される12[V]の書き込みゲート電圧とは別に、第3領域AR3における選択行3a及び非選択行3bの各非選択ワード線15b, 15dに対して6[V]の書き込み禁止ゲート電圧を印加し得る。かくして、第3領域AR3は、選択ユニット列2aに拘束されることなく、非選択ワード線15b, 15dに印加される書き込み禁止ゲート電圧と、非選択第1ビット線L1c及び非選択第2ビット線L2cに印加される書き込み禁止電圧と、P型メモリウェルPW2に印加される電圧とを全て6[V]の同電圧に設置し得る。

[0067] (1-3) 動作及び効果

以上の構成において、不揮発性半導体記憶装置1では、行列状に形成された複数のワード線15と、各ワード線15に連結された複数のメモリセルCと、複数のメモリセルCに選択的な電圧を印加し得る第1ビット線L1及び第2ビット線L2と、各ワード線列にそれぞれ対応して設けられた複数の電源ユニット4とを備え、ワード線15毎に一对のPMOSスイッチ8a (8b, 8c, 8d, ...) 及びNMOSスイッチ9a (9b, 9c, 9d, ...) がそれぞれ各電源ユニット4に設けられている。

[0068] また、この不揮発性半導体記憶装置1では、ワード線行単位で共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdが設けられており、共通PMOS制御線PGa (PGb) によって同一行のPMOSスイッチ8a, 8b (8c, 8d) に第1PMOS制御電圧又は第2PMOS制御電圧を印加し、共通NMOS制御線NGa (NGb) によって同一行のNMOSスイッチ9a, 9b (9c, 9d) に第1NMOS制御電圧又は第2NMOS制御電圧を印加する。

[0069] さらに、この不揮発性半導体記憶装置1では、書き込みゲート電圧又は書き込み禁止ゲート電圧が印加される第1電源線5a, 5bと、書き込み禁止ゲート電圧が印加される第2電源線6a, 6bとが各電源ユニット4毎に設けられており、第1電源線5a, 5bが各PMOSスイッチ8a, 8c, … (8b, 8d, …) を介してワード線15に接続され、第2電源線6a, 6bが各NMOSスイッチ9a, 9c, … (9b, 9d, …) を介してワード線15に接続されている。

[0070] そして、この不揮発性半導体記憶装置1では、データ書き込み時、各電源ユニット4毎に、共通PMOS制御線PGa~PGd及び第1電源線5a (5b) の電圧差により各PMOSスイッチ8a, 8c, … (8b, 8d, …) をオンオフ動作させるとともに、共通NMOS制御線NGa~NGd及び第2電源線6a (6b) の電圧差により各NMOSスイッチ9a, 9c, … (9b, 9d, …) もオンオフ動作させることにより、各P型メモリウェルPW2毎に書き込みゲート電圧又は書き込み禁止ゲート電圧を個別に印加する。かくして、不揮発性半導体記憶装置1では、一のワード線列に印加される電圧に拘束されることなく、他のワード線列にて、書き込み禁止ゲート電圧の電圧値や、そのときのP型メモリウェルPW2に印加される電圧値、非選択第1ビット線L1c及び非選択第2ビット線L2cの電圧値を、例えば非選択メモリセルC2にてディスタブの発生を抑制し得る電圧値にそれぞれ自由に設定できる。

[0071] なお、以下、切替機構の動作についてまとめると、電源ユニット4のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット4aでは、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッチ9aがオフ状態になり、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイッチ8aがオン状態になることで、当該PMOSスイッチ8aのドレインから選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加する。

[0072] また、電源ユニット4のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット4aでは、非選択メモリセルC2のみが配置された

非選択ワード線15cに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を印加する場合、第1電源線5aからソースに書き込みゲート電圧（電荷蓄積ゲート電圧）が印加されているPMOSスイッチ8cがオフ状態になり、第2電源線6aからソースに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）が印加されているNMOSスイッチ9cがオン状態になることで、当該NMOSスイッチ9cのドレインから非選択ワード線15cに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を印加する。

[0073] また、電源ユニット4のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット4bでは、他の列の電源ユニット4で選択ワード線15aに書き込みゲート電圧（電荷蓄積ゲート電圧）を印加するPMOSスイッチ8aと共通PMOS制御線PGaを共有しているPMOSスイッチ8bがあるとき、当該PMOSスイッチ8bがオン状態になり、PMOSスイッチ8bと対をなすNMOSスイッチ9bがオフ状態になることで、第1電源線5bからPMOSスイッチ8bのソースに印加されている書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を、当該PMOSスイッチ8bのドレインから非選択ワード線15bに印加する。

[0074] また、電源ユニット4のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット4bでは、他の列の電源ユニット4で非選択ワード線15cに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を印加するNMOSスイッチ9cと共通NMOS制御線NGbを共有しているNMOSスイッチ9dがあるとき、当該NMOSスイッチ9dがオン状態になり、NMOSスイッチ9dと対をなすPMOSスイッチ8dがオフ状態になることで、第2電源線6bからNMOSスイッチ9dのソースに印加されている書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を、当該NMOSスイッチ9dのドレインから非選択ワード線15dに印加する。これにより、不揮発性半導体記憶装置1では、所定位置のメモリセルCにだけ電荷を蓄積させることができる。

[0075] この実施の形態の場合、非選択電源ユニット4bでは、例えば選択ユニット列2aの選択ワード線15aに印加される12[V]の書き込みゲート電圧に拘束され

ることなく、非選択ユニット列2bにおける各非選択ワード線15b, 15dに印加する書き込み禁止ゲート電圧を6[V]の低電圧に設定し得、さらにP型メモリウエルPW2の電圧値や、非選択第1ビット線1c、非選択第2ビット線12cの電圧値を全て同電圧の6[V]に設定できるので、仮に選択ユニット列2aにて選択メモリセルC1に対するデータの書き込み動作が繰り返されたとしても、非選択ユニット列2bの各非選択メモリセルC2に影響がなく、データの発生を抑制し得る。

[0076] また、不揮発性半導体記憶装置1では、ユニット配線として第1電源線5a, 5b及び第2電源線6a, 6bが電源ユニット4毎にそれぞれ個別に設けられているものの、各電源ユニット4間が共通P MOS制御線Pg_a~Pg_d及び共通N MOS制御線Ng_a~Ng_dにより接続されており、これら共通P MOS制御線Pg_a~Pg_d及び共通N MOS制御線Ng_a~Ng_dに印加する電圧値を調整することで、P MOSスイッチ8a, 8c, ... (8b, 8d, ...) 及びN MOSスイッチ9a, 9c, ... (9b, 9d, ...) をオンオフ動作させ、全てのワード線15の中から選択ワード線15aを選択的に決定できる。かくして、この不揮発性半導体記憶装置1では、ワード線列毎(P型メモリウエルPW2毎)にそれぞれ独立した行方向アドレスデータを設ける必要がなく、従来同様に小型化を図ることができる。

[0077] (2) 第2の実施の形態

(2-1) データの書き込み動作

図1との対応部分に同一符号を付して示す図2において、21は第2の実施の形態による不揮発性半導体記憶装置を示し、図1に示した第1 MOS電源線VL1及び第2 MOS電源線VL2に替えて、第1 MOS電源線VL3及び第2 MOS電源線VL4と、第1 MOS電源線VL5及び第2 MOS電源線VL6とを設けた点で、上述した第1の実施の形態による不揮発性半導体記憶装置1とは相違している。實際上、この不揮発性半導体記憶装置21は、第1 MOS電源線VL3及び第2 MOS電源線VL4が列方向に延設されており、これら第1 MOS電源線VL3及び第2 MOS電源線VL4と並走するようにして第1 MOS電源線VL5及び第2 MOS電源線VL6も列方向に延設された構成を有

する。

[0078] 第1 PMOS電源線VL3及び第2 PMOS電源線VL4には、複数の第1インバータ回路24が接続されており、各第1インバータ回路24の出力部にそれぞれ共通PMOS制御線PGa, PGb, PGc, PGdだけが接続されている。各第1インバータ回路24は、第1 PMOS電源線VL3に印加されている第1 PMOS制御電圧と、第2 PMOS電源線VL4に印加されている第2 PMOS制御電圧のいずれか一方を行毎に選択し、これを共通PMOS制御線PGa, PGb, PGc, PGdに印加し得るようになされている。

[0079] また、第1 NMOS電源線VL5及び第2 NMOS電源線VL6にも、複数の第2インバータ回路25が接続されており、各第2インバータ回路25の出力部に共通NMOS制御線NGa, NGb, NGc, NGdだけが接続されている。各第2インバータ回路25は、第1 NMOS電源線VL5に印加されている第1 NMOS制御電圧と、第2 NMOS電源線VL6に印加されている第2 NMOS制御電圧のいずれか一方を行毎に選択し、これを共通NMOS制御線NGa, NGb, NGc, NGdに印加し得るようになされている。

[0080] ここで図2は、上述した第1実施の形態と同様に、複数のメモリセルCのうち、第1列目のユニット列2における第1行1列目のメモリセルCを、データが書き込まれる選択メモリセルC1とし、その他全てのユニット列2のメモリセルCを非選択メモリセルC2としたときの各箇所の電圧値を示している。この場合、第1 PMOS電源線VL3には12[V]の第1 PMOS制御電圧が印加されているとともに、第2 PMOS電源線VL4には4[V]の第2 PMOS制御電圧が印加されている。また、第1 NMOS電源線VL5には8[V]の第1 NMOS制御電圧が印加されているとともに、第2 NMOS電源線VL6には0[V]の第2 NMOS制御電圧が印加されている。

[0081] (2-1-1) 第1領域について

ここでは、先ず初めに第1領域AR1に着目して説明した後、第2領域AR2、第3領域AR3の順に説明する。この場合、選択ユニット列2aの選択電源ユニット4aには、第1電源線5aにユニット電圧として12[V]の書き込みゲート電圧が

印加され、他方の第2電源線6aにユニット電圧として0[V]の書き込み禁止ゲート電圧が印加されている。この際、選択メモリセルC1が配置された選択行3aでは、第1PMOS電源線VL3及び第2PMOS電源線VL4に接続された第1インバータ回路24によって、共通電圧として第2PMOS電源線VL4における4[V]の第2PMOS制御電圧が共通PMOS制御線PGaに印加されている。

[0082] これにより、選択ユニット列2aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに4[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、ドレインから選択ワード線15aへ当該12[V]の書き込みゲート電圧を印加し得るようになされている。

[0083] ここで、選択ユニット列2aでは、選択メモリセルC1に接続された選択第1ビット線L1a及び選択第2ビット線L2aに0[V]の書き込み電圧が印加され、非選択メモリセルC2が接続された非選択第1ビット線L1b及び非選択第2ビット線L2bに6[V]の書き込み禁止電圧が印加されている。これにより、第1領域AR1において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリセルC1では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され、かつPMOSスイッチ8aを介して選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生して、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0084] 一方、第1領域AR1において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、PMOSスイッチ8aを介して選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されるものの、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0085] 因みに、この際、選択行3aでは、第1 NMOS電源線VL5及び第2 NMOS電源線VL6に接続された第2インバータ回路25によって、共通電圧として第2 NMOS電源線VL6における0[V]の第2 NMOS制御電圧が、共通NMOS制御線NGaに印加されている。これにより、選択ユニット列2aの選択行3aに配置されたNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに0[V]の第2 NMOS制御電圧が印加され、かつ第2電源線6aから一端に0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、上述したように第1領域AR1の選択ワード線15aには、PMOSスイッチ8aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0086] このように、第2の実施の形態による不揮発性半導体記憶装置21は、選択ユニット列2aの選択行3aにて、PMOSスイッチ8aをオン動作させる際、当該PMOSスイッチ8aにおいて、ゲートに印加される第2 PMOS制御電圧（4[V]）と、ソースに印加される書き込みゲート電圧（12[V]）との電圧差を、第1の実施の形態よりも低い8[V]以下に設定し得るようになされている。

[0087] （2-1-2）第2領域について

次に、選択ユニット列2aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択メモリセルC2だけが配置された非選択行3bでは、第1インバータ回路24によって、共通電圧として第1 PMOS電源線VL3における12[V]の第1 PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、選択ユニット列2aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに12[V]の第1 PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、この書き込みゲート電圧を遮断し得るようになされている。

[0088] この際、非選択行3bでは、第2インバータ回路25によって、共通電圧として第1 NMOS電源線VL5における8[V]の第1 NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列2aの

非選択行3bに配置されたNMOSスイッチ9cでは、共通NMOS制御線NGbからゲートに8[V]の第1NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15cへ印加し得るようになされている。

[0089] かくして、第2の実施の形態による不揮発性半導体記憶装置21は、選択ユニット列2aの非選択行3bにて、NMOSスイッチ9cをオン動作させる際、当該NMOSスイッチ9cにおいて、ゲートに印加される第1NMOS制御電圧（8[V]）と、ソースに印加される書き込み禁止ゲート電圧（0[V]）との電圧差を、第1の実施の形態よりも低い8[V]以下に設定し得るようになされている。

[0090] ここで、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、NMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0091] また、第2領域AR2において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2でも、これら非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつNMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0092] （2-1-3）第3領域について

次に、非選択ユニット列2bにおける第3領域AR3について着目する。この場合、非選択ユニット列2bの非選択電源ユニット4bには、第1電源線5b及び第

2 電源線6bにそれぞれ6[V]の書き込み禁止ゲート電圧が印加されている。また、選択行3aでは、第1インバータ回路24によって、第2PMOS電源線VL4における4[V]の第2PMOS制御電圧が共通PMOS制御線PGaに印加されている。これにより、非選択ユニット列2bの選択行3aに配置されたPMOSスイッチ8bは、共通PMOS制御線PGaからゲートに4[V]の第2PMOS制御電圧が印加され、かつ第1電源線5bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15bへ印加し得るようになされている。

[0093] ここで、非選択ユニット列2bでは、非選択第1ビット線L1c及び非選択第2ビット線L2cに6[V]の書き込み禁止電圧が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み電圧が印加され、かつPMOSスイッチ8bを介して非選択ワード線15bから制御ゲートに6[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せずに、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0094] なお、非選択ユニット列2bの選択行3aに配置されたNMOSスイッチ9bは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、第3領域AR3の選択行3aに配置された非選択ワード線15bには、PMOSスイッチ8bを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0095] 一方、非選択行3bでは、第1インバータ回路24によって、第1PMOS電源線VL3における12[V]の第1PMOS制御電圧が共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、非選択ユニット列2bの非選択行3bに配置されたPMOSスイッチ8dは、共通PMOS制御線PGb, PGc, PGdからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに

6[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0096] この際、非選択行3bでは、第2インバータ回路25によって、第1NMOS電源線VL5における8[V]の第1NMOS制御電圧が共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、非選択ユニット列2bの非選択行3bに配置されたNMOSスイッチ9dでは、共通NMOS制御線NGb (NGc, NGd) からゲートに8[V]の第1NMOS制御電圧が印加され、かつ第2電源線6bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧を非選択ワード線15dへ印加し得るようになされている。かくして、第3領域AR3の非選択行3bに配置された非選択ワード線15dには、NMOSスイッチ9dを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0097] これにより、第3領域AR3の非選択行3bに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつNMOSスイッチ9dを介して非選択ワード線15dから制御ゲートに6[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0098] このようにして、第2の実施の形態による不揮発性半導体記憶装置21では、複数のメモリセルCのうち、第1列目の選択ユニット列2aの選択メモリセルC1だけにデータが書き込まれ、それ以外の非選択ユニット列2bの全ての非選択メモリセルC2にはデータが書き込まれない状態となり得る。

[0099] なお、この実施の形態の切替機構の動作については、上述した「(1) 第1の実施の形態」と同一であるため、ここではその説明について省略する。

[0100] (2-2) データの消去動作

次に、この不揮発性半導体記憶装置21において、メモリセルCのデータを消去する際の電圧印加について以下説明する。図2との対応部分に同一符号を

付して示す図3は、データの消去動作を行う第2の実施の形態による不揮発性半導体記憶装置27を示し、複数のメモリセルのうち、第1領域AR1にある全てのメモリセルのデータを消去し、それ以外の全てのメモリセルについて、第1領域AR3の順に説明する。この場合、第1 P MOS 電源線VL3には、データ書き込み時と異なる10[V]の第1 P MOS 制御電圧が印加され、第2 P MOS 電源線VL4には、データ書き込み時と同じ4[V]の第2 P MOS 制御電圧が印加されている。また、第1 N MOS 電源線VL5には、データ書き込み時と同じ8[V]の第1 N MOS 制御電圧が印加されているとともに、第2 N MOS 電源線VL6にも、データ書き込み時と同じ0[V]の第2 N MOS 制御電圧が印加されている。

[0101] (2-2-1) 第1領域について

ここでは、まず初めに第1領域AR1に着目して説明した後、第2領域AR2、第3領域AR3の順に説明する。この場合、データを消去するメモリセル（以下、これを消去メモリセルと呼ぶ）C3が配置された選択ユニット2aの選択電圧は、第1電源線5aに10[V]の非消去ゲート電圧が印加され、他の方の第2電源線6aに0[V]の消去ゲート電圧が印加されている。この際、選択行3aでは、第1 P MOS 電源線VL3及び第2 P MOS 電源線VL4に接続された第1インバータ回路24によって、第1 P MOS 電源線VL3における10[V]の第1 P MOS 制御電圧が、共通 P MOS 制御電圧Pgaに印加されている。これにより、選択ユニット2aの選択行3aに配置された P MOS スイッチ8aは、共通 P MOS 制御電圧Pgaからゲートに10[V]の第1 P MOS 制御電圧が印加され、かつ第1電源線5aからソースに10[V]の非消去ゲート電圧が印加されてオフ状態となり、当該非消去ゲート電圧を遮断し得るようになされている。

[0102]

また、選択行3aでは、第1 N MOS 電源線VL5及び第2 N MOS 電源線VL6に接続された第2インバータ回路25によって、第1 N MOS 電源線VL5における8[V]の第1 N MOS 制御電圧が、共通 N MOS 制御電圧Ngaに印加されている。これにより、選択ユニット2aの選択行3aに配置された N MOS スイッチ9aは、共通 N MOS 制御電圧Ngaからゲートに8[V]の第1 N MOS 制御電圧が印加さ

れ、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオン状態となり、当該消去ゲート電圧をドレインから選択ワード線15aに印加し得るようになされている。かくして、データの消去時、第1領域AR1の選択ワード線15aには、NMOSスイッチ9aを介して0[V]の消去ゲート電圧が印加され得るようになされている。

[0103] ここで、選択ユニット列2aには、複数のメモリセルCが形成されたP型メモリウェルPW2に10[V]が印加されているとともに、選択第1ビット線L1d及び選択第2ビット線L2dに10[V]の消去電圧が印加されている。これにより、第1領域AR1における各消去メモリセルC3には、選択ワード線15aから制御ゲートに0[V]の消去ゲート電圧が印加され、かつ選択第1ビット線L1d及び選択第2ビット線L2dから一端及び他端に10[V]の消去電圧が印加され得る。かくして、各消去メモリセルC3は、チャネル領域側の電圧値が制御ゲート側の電圧値よりも極めて大きくなり、電荷蓄積層内に蓄積された電荷が電圧の高いチャネル領域に引き込まれて、当該電荷蓄積層から電荷が引き抜かれることで、データを消去し得るようになされている。

[0104] (2-2-2) 第2領域について

次に、選択ユニット列2aにおける非選択行3bの第2領域AR2について着目する。この場合、データが消去されないメモリセル（以下、これを非消去メモリセルと呼ぶ）C4が配置された非選択行3bでは、第1インバータ回路24によって、第2PMOS電源線VL4における4[V]の第2PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、選択ユニット列2aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに4[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに10[V]の非消去ゲート電圧が印加されてオン状態となり、この非消去ゲート電圧をドレインから非選択ワード線15cに印加し得るようになされている。

[0105] これにより、第2領域AR2に配置された非消去メモリセルC4では、選択第1ビット線L1d及び選択第2ビット線L2dから10[V]の消去電圧が印加されている

ものの、PMOSスイッチ8cを介して非選択ワード線15cから制御ゲートに10[V]の非消去ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、電荷蓄積層内から電荷が引き抜かれることもなく、電荷蓄積層内の電荷状態を維持し得るようになされている。

[0106] 因みに、この際、非選択行3bでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列2aの非選択行3bに配置された各NMOSスイッチ9cは、共通NMOS制御線NGbからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオフ状態となり、当該0[V]の消去ゲート電圧を遮断し得るようになされている。かくして、データの消去時、第2領域AR2の非選択ワード線15cには、PMOSスイッチ8cを介して10[V]の非消去ゲート電圧が印加され得るようになされている。

[0107] (2-2-3) 第3領域について

次に、非選択ユニット列2bにおける第3領域AR3について着目する。この場合、非選択ユニット列2bの非選択電源ユニット4bには、第1電源線5b及び第2電源線6bにそれぞれ6[V]の非消去ゲート電圧が印加されている。ここで、この選択行3aでは、第1インバータ回路24によって、第1PMOS電源線VL3における10[V]の第1PMOS制御電圧が共通PMOS制御線PGaに印加されている。これにより、非選択ユニット列2bの選択行3aに配置されたPMOSスイッチ8bは、共通PMOS制御線PGaからゲートに10[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに6[V]の非消去ゲート電圧が印加されてオフ状態となり、当該非消去ゲート電圧を遮断し得るようになされている。

[0108] このとき、選択行3aでは、第2インバータ回路25によって、第1NMOS電源線VL5における8[V]の第1NMOS制御電圧が共通NMOS制御線NGaに印加されている。これにより、非選択ユニット列2bの選択行3aに配置されたNMOSスイッチ9bは、共通NMOS制御線NGaからゲートに8[V]の第1NM

OS制御電圧が印加され、かつ第2電源線6bからソースに6[V]の非消去ゲート電圧が印加されてオン状態となり、当該非消去ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。かくして、データの消去時、第3領域AR3のうち選択行3aに配置された非選択ワード線15bには、NMOSスイッチ9bを介して6[V]の非消去ゲート電圧が印加され得るようになされている。

[0109] ここで、非選択ユニット列2bには、非選択第1ビット線L1e及び非選択第2ビット線L2eにそれぞれ6[V]の非消去電圧が印加されている。これにより、第3領域AR3の選択行3aに配置された非消去メモリセルC4には、非選択第1ビット線L1e及び非選択第2ビット線L2eから6[V]の非消去電圧が一端及び他端に印加され、かつNMOSスイッチ9bを介して非選択ワード線15bから制御ゲートに6[V]の非消去ゲート電圧が印加され得る。かくして、第3領域AR3の選択行3aに配置された非消去メモリセルC4は、制御ゲート及びチャネル領域間が同電圧となり、その結果、電荷蓄積層内から電荷が引き抜かれることもなく、電荷蓄積層内の電荷状態を維持し得る。

[0110] また、この際、非選択行3bでは、第1インバータ回路24によって、第2PMOS電源線VL4における4[V]の第2PMOS制御電圧が共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、非選択ユニット列2bの非選択行3bに配置されたPMOSスイッチ8dは、共通PMOS制御線PGbからゲートに4[V]の第2PMOS制御電圧が印加され、かつ第1電源線5bからソースに6[V]の非消去ゲート電圧が印加されてオン状態となり、当該非消去ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。

[0111] これにより、第3領域AR3の非選択行3bに配置された非消去メモリセルC4には、非選択第1ビット線L1e及び非選択第2ビット線L2eから一端及び他端に6[V]の非消去電圧が印加され、かつPMOSスイッチ8dを介して非選択ワード線15dから制御ゲートに6[V]の非消去ゲート電圧が印加され得る。かくして、第3領域AR3における非選択行3bの非消去メモリセルC4は、制御ゲート及びチャネル領域間が同電圧となり、その結果、電荷蓄積層内から電荷が引き抜か

れることもなく、電荷蓄積層内の電荷状態を維持し得る。

[0112] 因みに、この際、非選択行3bでは、第2インバータ回路25によって、第2 NMOS電源線VL6における0[V]の第2 NMOS制御電圧が共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、非選択ユニット列2bの非選択行3bに配置された各NMOSスイッチ9dは、共通NMOS制御線NGbからゲートに0[V]の第2 NMOS制御電圧が印加され、かつ第2電源線6bからソースに6[V]の消去ゲート電圧が印加されてオフ状態となり、当該消去ゲート電圧を遮断し得るようになされている。かくして、データの消去時、第3領域AR3の非選択行3bに配置された非選択ワード線15dには、PMOSスイッチ8dを介して6[V]の非消去ゲート電圧が印加され得るようになされている。このようにして不揮発性半導体記憶装置27は、各箇所の電圧値を調整することにより、選択ユニット列2aの選択行3aに配置された消去メモリセルC3のデータだけを一括して消去し得るようになされている。

[0113] (2-3) 動作及び効果

以上の構成において、この不揮発性半導体記憶装置21でも、上述した第1の実施の形態と同様の効果を得ることができる。すなわち、不揮発性半導体記憶装置21でも、例えば選択ユニット列2aの選択ワード線15aに印加される12[V]の書き込みゲート電圧に拘束されることなく、非選択ユニット列2bの非選択ワード線15b, 15dに印加される書き込み禁止ゲート電圧を6[V]に設定し得、さらにP型メモリウェルPW2の電圧値や、非選択第1ビット線L1c、非選択第2ビット線L2cの電圧値を全て同電圧に設定できることから、仮に選択ユニット列2aにて選択メモリセルC1に対するデータの書き込み動作が繰り返されたとしても、非選択ユニット列2bの各非選択メモリセルC2におけるディスターブの発生を抑制し得る。

[0114] また、不揮発性半導体記憶装置21では、第1電源線5a, 5b及び第2電源線6a, 6bが電源ユニット4毎にそれぞれ個別に設けられているものの、各電源ユニット4間が共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdにより接続されており、これら共通PMOS制御線PGa~PGd及び共通NMOS制

御線NGa～NGdに印加される電圧値を調整することで、各電源ユニット4のPMOSスイッチ8a, 8b, 8c, 8d, …及びNMOSスイッチ9a, 9b, 9c, 9d, …をオンオフ動作させ、複数のワード線15の中から選択ワード線15aを選択的に決定できる。かくして、この不揮発性半導体記憶装置21でも、ワード線列（P型メモリウェルPW2）毎にそれぞれ独立した行方向アドレスデコーダを設ける必要がなく、従来同様に小型化を図ることができる。

[0115] これに加えて、この第2の実施の形態による不揮発性半導体記憶装置21では、第1PMOS電源線VL3又は第2PMOS電源線VL4のいずれか一方の制御電圧（第1PMOS制御電圧又は第2PMOS制御電圧）を、共通PMOS制御線PGa～PGdを介して各PMOSスイッチ8a, 8b, 8c, 8d, …に印加し、これとは別に、第1NMOS電源線VL5又は第2NMOS電源線VL6のいずれか一方の制御電圧（第1NMOS制御電圧又は第2NMOS制御電圧）を、共通NMOS制御線NGa～NGdを介して各NMOSスイッチ9a, 9b, 9c, 9d, …に印加している。

[0116] このように不揮発性半導体記憶装置21では、これらPMOSスイッチ8a, 8b, 8c, 8d, …及びNMOSスイッチ9a, 9b, 9c, 9d, …に印加する電源系を分離したことで、データ書き込み時、PMOSスイッチ8a, 8b, 8c, 8d, …をオンオフ動作させるのに必要となる制御電圧に拘束されることなく、NMOSスイッチ9a, 9b, 9c, 9d, …をオンオフ動作させる制御電圧を自由に設定できるようになり、これらPMOSスイッチ8a, 8b, 8c, 8d, …とNMOSスイッチ9a, 9b, 9c, 9d, …とをそれぞれオンオフ動作させるのに必要となる制御電圧の最大電圧差を、第1の実施の形態よりも低い8[V]以下に設定できる。

[0117] 因みに、図1に示すような第1の実施の形態による不揮発性半導体記憶装置1では、例えばデータ書き込み時やデータ消去時、共通PMOS制御線PGa～PGd及び共通NMOS制御線NGa～NGdにフル振幅で12[V]（12[V]/0[V]）の電圧差があることから、PMOSスイッチ8a, 8b, 8c, 8d, …やNMOSスイッチ9a, 9b, 9c, 9d, …でも、この12[V]の電圧差に対する耐压構造が必要となる。具体的には、例えばゲート絶縁膜の許容電界を7[MV/cm]とすると、ゲート絶縁

膜の膜厚を18[nm]以上としたPMOSスイッチ8a, 8b, 8c, 8d, …やNMOSスイッチ9a, 9b, 9c, 9d, …をも用いる必要があった。

[0118] これに対して、図2に示す不揮発性半導体記憶装置21では、データ書き込み時やデータ消去時、PMOSスイッチ8a, 8b, 8c, 8d, …及びNMOSスイッチ9a, 9b, 9c, 9d, …がオンオフ動作する際の最大電圧差を8[V]以下に設定できることから、ゲート絶縁膜の膜厚を12[nm]まで薄膜化させたPMOSスイッチ8a, 8b, 8c, 8d, …及びNMOSスイッチ9a, 9b, 9c, 9d, …を用いることができる。

[0119] また、これと同時に、この不揮発性半導体記憶装置21では、第1PMOS電源線VL3及び第2PMOS電源線VL4の駆動回路や、第1NMOS電源線VL5及び第2NMOS電源線VL6の駆動回路にかかる電圧の電圧差も8[V]以下となり、PMOSスイッチ8a, 8b, 8c, 8d, …やNMOSスイッチ9a, 9b, 9c, 9d, …と同様に、周辺回路についてもゲート絶縁膜の膜厚を薄くしたトランジスタ構造とすることができる。

[0120] なお、その一方で、NMOSスイッチ9a, 9b, 9c, 9d, …において、制御ゲートとチャネル領域間の電界が抑えられるものの、最大電圧振幅が12[V]（書き込みゲート電圧12[V] - 最小の書き込み禁止ゲート電圧0[V]=最大電圧振幅12[V]）であるワード線15と接続されたドレインでは、12[V]の耐压構造が必要となる。このため、NMOSスイッチ9a, 9b, 9c, 9d, …では、薄膜のトランジスタを採用し得るものの、ワード線15が接続されるドレインに高耐压構造を設けたトランジスタが用いられる（これについては、後段の「(11) NMOSスイッチの耐压構造について」において説明する）。

[0121] また、この非選択電源ユニット4bでは、データ書き込み時、PMOSスイッチ8b, 8d, …が形成されるN型ウェルNW1に12[V]が印加されているものの、このPMOSスイッチ8b, 8d, …のドレインに接続される各非選択ワード線15b, 15d, …に僅かに電圧値が高い6[V]の書き込み禁止ゲート電圧を印加して、これらPMOSスイッチ8b, 8d, …のドレインと、N型ウェルNW1との間の電圧差を6[V]と比較的小さくするようにしたことから、その分、PMOSスイッチ8

b, 8d, …に対する電圧負担が軽減され、PMOSスイッチ8b, 8d, …の信頼性を向上できる。

[0122] (3) 第3の実施の形態

(3-1) データの書き込み動作

図2との対応部分に同一符号を付して示す図4において、31は第3の実施の形態による不揮発性半導体記憶装置を示し、この不揮発性半導体記憶装置31は、PMOSスイッチ8a, 8c, … (8b, 8d, …) 及びNMOSスイッチ9a, 9c, … (9b, 9d, …) に加えて、各行毎に補助NMOSスイッチ36a, 36c, … (36b, 36d, …) を各電源ユニット34に設け、データの書き込み時、非選択ユニット列32bにて各非選択ワード線15b, 15d, …に0[V]の書き込み禁止ゲート電圧を、補助NMOSスイッチ36b, 36d, …により印加させるようにした点で、上述した第2の実施の形態による不揮発性半導体記憶装置21と相違している。

[0123] そして、第3の実施の形態による不揮発性半導体記憶装置31では、このような構成を有していることにより、これらPMOSスイッチ8a, 8c, … (8b, 8d, …) とNMOSスイッチ9a, 9c, … (9b, 9d, …) とをそれぞれオンオフ動作させるのに必要となる制御電圧の最大電圧差を、第2の実施の形態よりも一段と低い6[V]以下に設定し得るようになされている。

[0124] ここで、図4は、上述した第2の実施の形態による不揮発性半導体記憶装置21と同様に、複数のメモリセルCのうち、第1列目のユニット列32における第1行1列目のメモリセルCを、データが書き込まれる選択メモリセルC1とし、その他全てのユニット列32のメモリセルCを、非選択メモリセルC2としたときの各箇所の電圧値を示している。この場合、第1PMOS電源線VL3には、上述した第2の実施の形態と同じ、12[V]の第1PMOS制御電圧が印加されるものの、第2PMOS電源線VL4には、上述した第2の実施の形態よりも高い6[V]の第2PMOS制御電圧が印加されており、これら第1PMOS制御電圧と第2NMOS制御電圧との電圧差は、上述した第2の実施の形態よりも小さい6[V]となっている。

[0125] これにより、これら第1PMOS電源線VL3及び第2PMOS電源線VL4に

第1インバータ回路24を介して接続された共通PMOS制御線PGa~PGdには、当該第1インバータ回路24によって、非選択行3bのとき12[V]の第1PMOS制御電圧が印加され、一方、選択行3aのとき6[V]の第2PMOS制御電圧が印加され得る。このように共通PMOS制御線PGa~PGdは、選択行3aのときと、非選択行3bのときとの電圧振幅が6[V]（すなわち、12[V]-6[V]）に設定され、当該電圧振幅の小振幅化が図られている。これにより、共通PMOS制御線PGa~PGdに接続されたPMOSスイッチ8a, 8c, …（8b, 8d, …）では、選択行3a及び非選択行3bでのゲートにおける電圧振幅の小振幅化が図られ、その分、ゲート絶縁膜を薄膜化し得る。

[0126] これに対して、第2NMOS電源線VL6には、上述した第2の実施の形態と同様に0[V]の第2NMOS制御電圧が印加されているものの、第1NMOS電源線VL5には、上述した第2の実施の形態よりも低い6[V]の第1NMOS制御電圧が印加されており、これら第1NMOS制御電圧と第2NMOS制御電圧との電圧差は、上述した第2の実施の形態よりも小さい6[V]になっている。

[0127] これにより、これら第1NMOS電源線VL5及び第2NMOS電源線VL6に第2インバータ回路25を介して接続された共通NMOS制御線NGa~NGdには、当該第2インバータ回路25によって、非選択行3bのとき6[V]の第1NMOS制御電圧が印加され、一方、選択行3aのとき0[V]の第2NMOS制御電圧が印加され得る。このように共通NMOS制御線NGa~NGdは、選択行3aのときと、非選択行3bのときとの電圧振幅が6[V]（すなわち、6[V]-0[V]）に設定し得ることから、当該電圧振幅の小振幅化が図られている。これにより、共通NMOS制御線NGa~NGdに接続されたNMOSスイッチ9a, 9c, …（9b, 9d, …）では、選択行3a及び非選択行3bでのゲートにおける電圧振幅の小振幅化が図られ、その分、ゲート絶縁膜を薄膜化し得る。

[0128] かかる構成に加えて、NMOSスイッチ9a, 9c, …（9b, 9d, …）が形成されたP型ウェルPW1には、当該NMOSスイッチ9a, 9c, …（9b, 9d, …）と対応させてトランジスタ構成の補助NMOSスイッチ36a, 36c, …（36b, 36d, …）が

形成されている。また、このP型ウェルPW1には、列方向に延びる第2電源線6a(6b)に加えて、当該第2電源線6a(6b)と並走するようにして同じく列方向に延びる補助MOS電源線7a(7b)が設けられている。補助MOS電源線7a(7b)は、電源ユニット34内に配置された各補助NMOSスイッチ36a, 36c, … (36b, 36d, …)の制御ゲートに接続され、これら電源ユニット34内の補助NMOSスイッチ36a, 36c, … (36b, 36d, …)に所定の補助制御電圧を一律に印加し得るようになされている。

[0129] 実際上、選択ユニット列32aに配置された補助NMOSスイッチ36a, 36c, …には、0[V]の補助制御電圧が補助MOS電源線7aからゲートに印加され、一方、非選択ユニット列32bに配置された補助NMOSスイッチ36b, 36d, …には、6[V]の補助制御電圧が補助MOS電源線7bからゲートに印加され得る。また、各補助NMOSスイッチ36a, 36c, … (36b, 36d, …)には、ソースに第2電源線6a(6b)が接続されているとともに、ドレインにワード線15が接続されており、第2電源線6a(6b)からソースに書き込み電圧又は書き込み禁止電圧が印加され得る。

[0130] (3-1-1) 第1領域について

ここで、先ず初めに第1領域AR1に着目すると、選択ユニット列32aの選択電源ユニット34aには、第1電源線5aに12[V]の書き込みゲート電圧が印加され、他方の第2電源線6aに0[V]の書き込み禁止ゲート電圧が印加されている。この際、選択行3aでは、1インバータ回路24によって、共通電圧として第2PMOS電源線VL4における6[V]の第2PMOS制御電圧が、共通PMOS制御線PGaに印加されている。

[0131] これにより、選択ユニット列32aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに6[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、当該12[V]の書き込みゲート電圧をドレインから選択ワード線15aに印加し得るようになされている。かくして、第1領域AR1において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリ

セルC1では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され、選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生し、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0132] このように、第3の実施の形態による不揮発性半導体記憶装置31は、選択ユニット列32aの選択行3aにてPMOSスイッチ8aをオン動作させる際、当該PMOSスイッチ8aにおいて、ゲートに印加される第2PMOS制御電圧（6[V]）と、ソースに印加される書き込みゲート電圧（12[V]）との電圧差を、第2の実施の形態よりも一段と低い6[V]以下に設定し得るようになされている。

[0133] なお、第1領域AR1における他の非選択メモリセルC2では、上述した第1の実施の形態と同様に、非選択第1ビット線L1b及び非選択第2ビット線L2bから6[V]の書き込み禁止電圧が一端及び他端に印加されることから、選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されても、制御ゲート及びチャネル領域間の電圧差が小さく、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0134] 因みに、この際、選択行3aでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が、共通NMOS制御線NGaに印加されている。これにより、選択ユニット列32aの選択行3aに配置されたNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0135] また、この際、選択ユニット列32aでは、補助MOS電源線7aに0[V]の補助制御電圧が印加されている。これにより、選択ユニット列32aの選択行3aに配置された補助NMOSスイッチ36aは、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み

禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、第1領域AR1の選択ワード線15aには、PMOSスイッチ8aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0136] (3-1-2) 第2領域について

次に、選択ユニット列32aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択行3bでは、第1PMOS電源線VL3に印加されている12[V]の第1PMOS制御電圧を第1インバータ回路24によって選択し、当該第1PMOS制御電圧を共通PMOS制御線PGb, PGc, PGdに印加している。これにより、選択ユニット列32aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、当該書き込みゲート電圧を遮断し得るようになされている。

[0137] この際、非選択行3bでは、第2インバータ回路25によって、第1NMOS電源線VL5における6[V]の第1NMOS制御電圧が共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列32aの非選択行3bに配置されたNMOSスイッチ9cは、共通NMOS制御線NGbからゲートに6[V]の第1NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15cへ印加し得る。

[0138] これにより、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、非選択ワード線15cから制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0139] また、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、これら非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ非選択ワード線15cから制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入されず、データが書き込まれない状態となり得る。

[0140] そして、この第3の実施の形態による不揮発性半導体記憶装置31は、選択ユニット列32aの非選択行3bにてNMOSスイッチ9cをオン動作させる際、当該NMOSスイッチ9cにおいて、ゲートに印加される第1NMOS制御電圧（6[V]）と、ソースに印加される書き込み禁止ゲート電圧（0[V]）との電圧差を、第2の実施の形態よりも一段と低い6[V]に設定し得るようになされている。

[0141] なお、選択ユニット列32aの非選択行3bに配置された補助NMOSスイッチ36cは、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、この書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、第2領域AR2の非選択ワード線15cには、NMOSスイッチ9cを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0142] （3-1-3）第3領域について

次に、非選択ユニット列32bにおける第3領域AR3について着目する。この場合、非選択ユニット列32bの非選択電源ユニット34bには、第1電源線5bに6[V]のオフ電圧が印加され、他方の第2電源線6bに0[V]の書き込み禁止ゲート電圧が印加されている。この際、選択行3aでは、第1インバータ回路24によって、第2PMOS電源線VL4における6[V]の第2PMOS制御電圧が共通PMOS制御線PGaに印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたPMOSスイッチ8bは、共通PMOS制御線PGaからゲー

トに6[V]の第2 PMOS 制御電圧が印加され、かつ第1 電源線5bからソースに6[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。

[0143] また、この際、選択行3aでは、第2 インバータ回路25によって、第2 NMOS 電源線VL6における0[V]の第2 NMOS 制御電圧が共通 NMOS 制御線NGaに印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたNMOS スイッチ9bは、共通 NMOS 制御線NGaからゲートに0[V]の第2 NMOS 制御電圧が印加され、かつ第2 電源線6bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0144] ここで、非選択ユニット列32bでは、補助MOS 電源線7bに6[V]の補助制御電圧が印加されている。これにより、非選択ユニット列32bの選択行3aに配置された補助NMOS スイッチ36bは、補助MOS 電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2 電源線6bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。かくして、第3 領域AR3の選択行3aにおける非選択ワード線15bには、補助NMOS スイッチ36bを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0145] この際、この実施の形態の場合、非選択ユニット列32bには、非選択第1 ビット線L1c及び非選択第2 ビット線L2cに0[V]の書き込み禁止電圧が印加されており、これに合わせてP型メモリウェルPW2にも0[V]が印加されている。これにより、第3 領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1 ビット線L1c及び非選択第2 ビット線L2cから一端及び他端に0[V]の書き込み禁止電圧が印加され、かつ非選択ワード線15bから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

- [0146] 一方、非選択行3bでは、第1インバータ回路24によって、第1PMOS電源線VL3における12[V]の第1PMOS制御電圧が共通PMOS制御線Pgb, Pgc, Pgdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置されたPMOSスイッチ8dは、共通PMOS制御線Pgbからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに6[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになる。
- [0147] また、この際、非選択行3bでは、第2インバータ回路25によって、第1NMOS電源線VL5における6[V]の第1NMOS制御電圧が共通NMOS制御線Ngb, Ngc, Ngdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置されたNMOSスイッチ9dは、共通NMOS制御線Ngbからゲートに6[V]の第1NMOS制御電圧が印加され、かつ第2電源線6bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択フート線15dに印加し得るようになる。
- [0148] さらに、非選択ユニット列32bの非選択行3bに配置された補助NMOSスイッチ36dは、補助MOS電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2電源線6bからソースに0[V]の書き込み禁止ゲート電圧が印加され、かつ第2電源線6bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択フート線15dに印加し得るようになる。かくして、第3領域AR3における非選択行3bの非選択フート線15dには、NMOSスイッチ9dと補助NMOSスイッチ36dとを介して0[V]の書き込み禁止ゲート電圧が印加されるようになる。
- [0149] これにより、第3領域AR3の非選択行3bに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に0[V]の書き込み禁止電圧が印加され、かつNMOSスイッチ9d及び補助NMOSスイッチ36dを介して非選択フート線15dから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同

電圧となり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0150] このように、第3の実施の形態による不揮発性半導体記憶装置31は、非選択ユニット列32bの非選択行3bにてNMOSスイッチ9d, …をオン動作させる際、当該NMOSスイッチ9d, …において、ゲートに印加される第1NMOS制御電圧(6[V])と、ソースに印加される書き込み禁止ゲート電圧(0[V])との電圧差を、第2の実施の形態よりも一段と低い6[V]に設定し得るようになされている。また、この不揮発性半導体記憶装置31は、非選択ユニット列32bにて、補助NMOSスイッチ36b, 36d, …をオン動作させる際、当該補助NMOSスイッチ36b, 36d, …において、ゲートに印加される補助制御電圧(6[V])と、ソースに印加される書き込み禁止ゲート電圧(0[V])との電圧差を6[V]に設定し得るようになされている。

[0151] なお、以下、切替機構の動作についてまとめると、電源ユニット34のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット34aでは、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッチ9aおよび補助NMOSスイッチ36aがオフ状態になり、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイッチ8aがオン状態になることで、当該PMOSスイッチ8aのドレインから選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加する。

[0152] また、電源ユニット34のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット34aでは、非選択メモリセルC2のみが配置された非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加する場合、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイッチ8cと、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されている補助NMOSスイッチ36cとがオフ状態になり、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッ

チ9cがオン状態になることで、当該NMOSスイッチ9cのドレインから非選択ワード線15cに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を印加する。

[0153] また、電源ユニット34のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット34bでは、他の列の電源ユニット34で選択ワード線15aに書き込みゲート電圧（電荷蓄積ゲート電圧）を印加するPMOSスイッチ8aと共通PMOS制御線PGaを共有しているPMOSスイッチ8bがあるとき、当該PMOSスイッチ8bおよびNMOSスイッチ9bがオフ状態になり、これと対をなす補助NMOSスイッチ36bがオン状態になることで、第2電源線6bから補助NMOSスイッチ36bのソースに印加されている書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を、当該補助NMOSスイッチ36bのドレインから非選択ワード線15bに印加する。

[0154] また、電源ユニット34のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット34bでは、他の列の電源ユニット34で非選択ワード線15cに書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を印加するNMOSスイッチ9cと共通NMOS制御線NGbを共有しているNMOSスイッチ9dがあるとき、当該NMOSスイッチ9dおよび補助NMOSスイッチ36dがオン状態になり、これと対をなすPMOSスイッチ8dがオフ状態になることで、第2電源線6bからNMOSスイッチ9d及び補助NMOSスイッチ36dのソースに印加されている書き込み禁止ゲート電圧（電荷蓄積禁止ゲート電圧）を、NMOSスイッチ9d及び当該補助NMOSスイッチ36dのドレインから非選択ワード線15dに印加する。これにより、不揮発性半導体記憶装置31では、所定位置のメモリセルCにだけ電荷を蓄積させることができる。

[0155] （3－2）データの消去動作

次に、この不揮発性半導体記憶装置31において、メモリセルCのデータを消去する場合について以下説明する。図4との対応部分に同一符号を付して示す図5は、データの消去動作を行うときの第3の実施の形態による不揮発性半導体記憶装置38を示し、複数のメモリセルCのうち、第1領域AR1にある全

てのメモリセルCのデータを消去し、それ以外の全てのメモリセルCについてはデータを消去しないときの各箇所の電圧値を示している。この場合、第1 PMOS電源線VL3には10[V]の第1 PMOS制御電圧が印加され、第2 PMOS電源線VL4には8[V]の第2 PMOS制御電圧が印加されている。また、第1 NMOS電源線VL5には4[V]の第1 NMOS制御電圧が印加され、第2 NMOS電源線VL6には0[V]の第2 NMOS制御電圧が印加されている。

[0156] (3-2-1) 第1領域について

ここでは、先ず初めに第1領域AR1に着目して説明した後、第2領域AR2、第3領域AR3の順に説明する。この場合、消去メモリセルC3が配置された選択ユニット列32aの選択電源ユニット34aには、第1電源線5aに10[V]の非消去ゲート電圧が印加され、他方の第2電源線6aに0[V]の消去ゲート電圧が印加されている。この際、選択行3aでは、第1 PMOS電源線VL3及び第2 PMOS電源線VL4に接続された第1インバータ回路24によって、第1 PMOS電源線VL3における10[V]の第1 PMOS制御電圧が、共通PMOS制御線PGaに印加されている。

[0157] これにより、選択ユニット列32aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに10[V]の第1 PMOS制御電圧が印加され、かつ第1電源線5aからソースに10[V]の非消去ゲート電圧が印加されてオフ状態となり、当該非消去ゲート電圧を遮断し得るようになされている。

[0158] また、この際、選択行3aでは、第2インバータ回路25によって、第1 NMOS電源線VL5における4[V]の第1 NMOS制御電圧が、共通NMOS制御線NGaに印加されている。これにより、選択ユニット列32aの選択行3aに配置されたNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに4[V]の第1 NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオン状態となり、ドレインから選択ワード線15aに当該0[V]の消去ゲート電圧を印加し得る。

[0159] ここで、選択ユニット列32aには、複数のメモリセルCが形成されたP型メ

モリウエルPW2に10[V]が印加されているとともに、選択第1ビット線L1d及び選択第2ビット線L2dに消去電圧として10[V]が印加されている。これにより、第1領域AR1における各消去メモリセルC3には、選択ワード線15aから制御ゲートに0[V]の消去ゲート電圧が印加され、かつ選択第1ビット線L1d及び選択第2ビット線L2dから一端及び他端に10[V]の消去電圧が印加され得る。かくして、各消去メモリセルC3は、チャネル領域側の電圧値が制御ゲート側の電圧値よりも高くなり、電荷蓄積層内に蓄積された電荷が電圧の高いチャネル領域に引き込まれて、当該電荷蓄積層から電荷が引き抜かれることで、データを消去し得るようになされている。

[0160] 因みに、この際、選択ユニット列32aでは、補助MOS電源線7aに0[V]の補助制御電圧が印加されている。これにより、選択ユニット列32aの選択行3aに配置された補助NMOSスイッチ36aは、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオフ状態となり、当該消去ゲート電圧を遮断し得るようになされている。かくして、第1領域AR1の選択ワード線15aには、NMOSスイッチ9aを介して0[V]の消去ゲート電圧が印加され得るようになされている。

[0161] (3-2-2) 第2領域について

次に、選択ユニット列32aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択行3bでは、第1インバータ回路24によって、第2PMOS電源線VL4における8[V]の第2PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、選択ユニット列32aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに8[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに10[V]の非消去ゲート電圧が印加されてオン状態となり、この非消去ゲート電圧をドレインから非選択ワード線15cに印加し得るようになされている。

[0162] これにより、選択ユニット列32aの非選択行3bに配置された非消去メモリセルC4は、選択第1ビット線L1d及び選択第2ビット線L2dから10[V]の消去電圧

が印加されているものの、10[V]の非消去ゲート電圧が、PMOSスイッチ8cを介して非選択ワード線15cから制御ゲートに印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、電荷蓄積層内から電荷が引き抜かれることもなく、電荷蓄積層内の電荷状態を維持し得るようになされている。

[0163] 因みに、この際、非選択行3bでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列32aの非選択行3bに配置されたNMOSスイッチ9cは、共通NMOS制御線NGbからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオフ状態となり、当該消去ゲート電圧を遮断し得るようになされている。

[0164] また、選択ユニット列32aの非選択行3bに配置された補助NMOSスイッチ36cは、上述したように補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2電源線6aからソースに0[V]の消去ゲート電圧が印加されてオフ状態となり、当該消去ゲート電圧を遮断し得るようになされている。かくして、第2領域AR2の非選択ワード線15cには、PMOSスイッチ8cを介して10[V]の非消去ゲート電圧が印加され得るようになされている。

[0165] (3-2-3) 第3領域について

次に、非選択ユニット列32bにおける第3領域AR3について着目する。この場合、非選択ユニット列32bの非選択電源ユニット34bには、第1電源線5bに8[V]のオフ電圧が印加され、第2電源線6bに4[V]の非消去ゲート電圧が印加されている。ここで、選択行3aでは、第1インバータ回路24によって、第1PMOS電源線VL3における10[V]の第1PMOS制御電圧が共通PMOS制御線PGaに印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたPMOSスイッチ8bは、共通PMOS制御線PGaからゲートに10[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに8[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようにな

されている。

[0166] この際、選択行3aでは、第2インバータ回路25によって、第1NMOS電

源線VL5における4[V]の第1NMOS制御電圧が共通NMOS制御線NGaに印
加されている。これにより、非選択ユニット列32bの選択行3aに配置されたN
MOSスイッチ9bは、共通NMOS制御線NGaからゲートに4[V]の第1NMOS
S制御電圧が印加され、かつ第2電源線6bからソースに4[V]の非消去ゲート
電圧が印加されてオフ状態となり、当該非消去ゲート電圧を遮断し得るよう
になされている。

[0167] これに加えて、この際、非選択ユニット列32bでは、補助MOS電源線7bに

6[V]の補助制御電圧が印加されている。これにより、非選択ユニット列32bの
選択行3aに配置された補助NMOSスイッチ36bは、補助MOS電源線7bから
ゲートに6[V]の補助制御電圧が印加され、かつ第2電源線6bからソースに4[V]
の非消去ゲート電圧が印加されてオン状態となり、ドレインから非選択フー
ド線15bに当該非消去ゲート電圧を印加し得るようになされている。かくして
、第3領域AR3の選択行3aに配置された非選択フー ド線15bには、補助NMOS
Sスイッチ36bを介して4[V]の非消去ゲート電圧が印加され得るようになされ
ている。

[0168] ここで、非選択ユニット列32bには、P型メモリウエルPW2に4[V]が印加さ

れているとともに、非選択第1ビット線L1e及び非選択第2ビット線L2eに6[V]
の非消去電圧が印加されている。これにより、第3領域AR3の選択行3aに配
置された非消去メモリセルC4には、非選択第1ビット線L1e及び非選択第2ビ
ット線L2eから一端及び他端に6[V]の非消去電圧が印加され、かつ補助NMOS
Sスイッチ36bを介して非選択フー ド線15bから制御ゲートに4[V]の非消去ゲ
ート電圧が印加され得る。かくして、第3領域AR3の選択行3aに配置された非
消去メモリセルC4は、制御ゲート及びチャネル領域間の電圧差が小さいこと
から、電荷蓄積層内から電荷が引き抜かれることなく、電荷蓄積層内の電
荷状態を維持し得る。

[0169] 一方、非選択行3bでは、第1インバータ回路24によって、第2PMOS電

源線VL4における8[V]の第2 P M O S 制御電圧が共通 P M O S 制御線PGb, PGc, PGdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置された P M O S スイッチ8dは、共通 P M O S 制御線PGbからゲートに8[V]の第2 P M O S 制御電圧が印加され、かつ第1電源線5bからソースに8[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。

[0170] また、この際、非選択ユニット列32bにおける非選択行3bでは、第2インバータ回路25によって、第2 N M O S 電源線VL6における0[V]の第2 N M O S 制御電圧が共通 N M O S 制御線NGb, NGc, NGdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置された N M O S スイッチ9dは、共通 N M O S 制御線NGbからゲートに0[V]の第2 N M O S 制御電圧が印加され、かつ第2電源線6bからソースに4[V]の非消去ゲート電圧が印加されてオフ状態となり、当該非消去ゲート電圧を遮断し得るようになされている。

[0171] これに対して、非選択ユニット列32bの非選択行3bに配置された補助 N M O S スイッチ36dは、補助 M O S 電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2電源線6bからソースに4[V]の非消去ゲート電圧が印加されてオン状態となり、当該非消去ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、第3領域AR3の非選択行3bに配置された非選択ワード線15dには、補助 N M O S スイッチ36dを介して4[V]の非消去ゲート電圧が印加され得るようになされている。

[0172] これにより、第3領域AR3の非選択行3bに配置された非消去メモリセルC4には、非選択第1ビット線L1e及び非選択第2ビット線L2eから一端及び他端に6[V]の非消去電圧が印加され、かつ補助 N M O S スイッチ36dを介して非選択ワード線15dから制御ゲートに4[V]の非消去ゲート電圧が印加され得る。かくして、第3領域AR3の非選択行3bに配置された非消去メモリセルC4は、制御ゲート及びチャネル領域間の電圧差が小さいことから、電荷蓄積層内から電荷が引き抜かれることもなく、電荷蓄積層内の電荷状態を維持し得る。

[0173] このようにして不揮発性半導体記憶装置38は、第1 P M O S 電源線VL3や、

第2 PMOS電源線VL4、第1 NMOS電源線VL5、第2 NMOS電源線VL6、第1電源線5a, 5b、第2電源線6a, 6b、補助MOS電源線7a, 7b、第1ビット線L1、第2ビット線L2等の各箇所の電圧値を調整することにより、例えば選択ユニット列32aの選択行3aに配置した消去メモリセルC3だけデータの消去を行えるようになされている。

[0174] (4) 第4の実施の形態

(4-1) データの書き込み動作

図4との対応部分に同一符号を付して示す図6において、41は第4の実施の形態による不揮発性半導体記憶装置を示し、この不揮発性半導体記憶装置41は、上述した補助NMOSスイッチ36a, 36c, … (36b, 36d, …) (図4) に替えて補助PMOSスイッチ46a, 46c, … (46b, 46d, …) を設け、データの書き込み時、非選択ユニット列42bにて、この補助PMOSスイッチ46b, 46d, …により各非選択ワード線15b, 15d, …に12[V]の書き込み禁止ゲート電圧を印加するようにした点で、上述した第3の実施の形態による不揮発性半導体記憶装置31と相違している。ここで、図6は、上述した実施の形態と同様に、複数のメモリセルCのうち、第1列目のユニット列42における第1行1列目のメモリセルC、をデータが書き込まれる選択メモリセルC1とし、それ以外の全てのメモリセルCを非選択メモリセルC2としたときの各箇所の電圧値を示している。

[0175] この場合、電源ユニット44のN型ウェルNW1には、当該PMOSスイッチ8a, 8c, … (8b, 8d, …) と対応させて、トランジスタ構成の補助PMOSスイッチ46a, 46c, … (46b, 46d, …) が形成されている。また、このN型ウェルNW1には、列方向に延びる第1電源線5a (5b) に加えて、当該第1電源線5a (5b) と並走するようにして同じく列方向に延びる補助MOS電源線45a (45b) が設けられている。各補助MOS電源線45a (45b) には、電源ユニット44内における複数の補助PMOSスイッチ46a, 46c, … (46b, 46d, …) の各ゲートが接続されており、選択ユニット列42aのとき、12[V]の補助制御電圧が印加され、一方、非選択ユニット列42bのとき、6[V]の補助制御電圧が印加され得る。

。

[0176] 各補助PMOSスイッチ46a, 46c, … (46b, 46d, …) は、ソースが第1電源線5a (5b) に接続され、ドレインがワード線15に接続されており、補助MOS電源線45a (45b) からゲートに印加された補助制御電圧と、第1電源線5a (5b) からソースに印加された書き込み電圧又は書き込み禁止電圧との電圧差によりオンオフ動作し得るようになされている。

[0177] (4-1-1) 第1領域について

ここで、先ず初めに第1領域AR1に着目すると、選択ユニット列42aの選択電源ユニット44aには、第1電源線5aに12[V]の書き込みゲート電圧が印加され、他方の第2電源線6aに0[V]の書き込み禁止ゲート電圧が印加されている。この際、選択メモリセルC1が配置された選択行3aでは、第1インバータ回路24によって、第2PMOS電源線VL4における6[V]の第2PMOS制御電圧が、共通PMOS制御線PGaに印加されている。

[0178] これにより、選択ユニット列42aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに6[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、当該12[V]の書き込みゲート電圧をドレインから選択ワード線15aへ印加し得るようになされている。かくして、第1領域AR1において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリセルC1では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され、PMOSスイッチ8aを介して選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生して、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0179] ここで、第4の実施の形態による不揮発性半導体記憶装置41でも、選択ユニット列42aの選択行3aにてPMOSスイッチ8aをオン動作させる際、当該PMOSスイッチ8aにおいて、ゲートに印加される第2PMOS制御電圧 (6[V]

])と、ソースに印加される書き込みゲート電圧(12[V])との電圧差を、第2の実施の形態よりも一段と低い6[V]以下に設定し得るようになされている。

[0180] なお、第1領域AR1において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、上述した第1の実施の形態と同様に、選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されるものの、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端子及び他端子に6[V]の書き込み禁止電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が生ずることなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0181] 因みに、この際、選択行3aでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が、共通NMOS制御線NGaに印加されている。これにより、選択ユニット列42aの選択行3aに配置されたNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0182] さらに、この際、選択ユニット列42aでは、補助MOS電源線45aに12[V]の補助制御電圧が印加されている。これにより、選択ユニット列42aの選択行3aに配置された補助PMOSスイッチ46aは、補助MOS電源線45aからゲートに12[V]の補助制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、当該書き込みゲート電圧を遮断し得るようになされている。かくして、第1領域AR1の選択ワード線15aには、PMOSスイッチ8aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0183] (4-1-2) 第2領域について

次に、選択ユニット列42aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択メモリセルC2だけが配置された非選択行3bでは、第

1 インバータ回路24によって、第1 PMOS電源線VL3における12[V]の第1 PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、選択ユニット列42aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに12[V]の第1 PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、この書き込みゲート電圧を遮断し得るようになされている。

[0184] また、この際、非選択行3bでは、第2インバータ回路25によって、第1 NMOS電源線VL5における6[V]の第1 NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列42aの非選択行3bに配置されたNMOSスイッチ9cは、共通NMOS制御線NGbからゲートに6[V]の第1 NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15cへ印加し得るようになされている。

[0185] この場合、この第4の実施の形態による不揮発性半導体記憶装置41も、選択ユニット列42aの非選択行3bにてNMOSスイッチ9cをオン動作させる際、当該NMOSスイッチ9cにおいて、ゲートに印加される第1 NMOS制御電圧（6[V]）と、ソースに印加される書き込み禁止ゲート電圧（0[V]）との電圧差を、第2の実施の形態よりも一段と低い6[V]に設定し得るようになされている。

[0186] かくして、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、NMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0187] また、第2領域AR2において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2でも、これら非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつNMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0188] なお、選択ユニット列42aの非選択行3bに配置された補助PMOSスイッチ46cは、補助MOS電源線45aからゲートに12[V]の補助制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、この書き込みゲート電圧を遮断し得るようになされている。かくして、第2領域AR2の非選択ワード線15cには、NMOSスイッチ9cを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0189] (4-1-3) 第3領域について

次に、非選択ユニット列42bにおける第3領域AR3について着目する。この場合、非選択ユニット列42bの非選択電源ユニット44bには、第1電源線5bに12[V]の書き込み禁止ゲート電圧が印加され、他方の第2電源線6bに6[V]のオフ電圧が印加されている。この際、選択行3aでは、第1インバータ回路24によって、第2PMOS電源線VL4における6[V]の第2PMOS制御電圧が、共通PMOS制御線PGaに印加されている。これにより、非選択ユニット列42bの選択行3aに配置されたPMOSスイッチ8bは、共通PMOS制御線PGaからゲートに6[V]の第2PMOS制御電圧が印加され、かつ第1電源線5bからソースに12[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該12[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。

[0190] ここで、この際、非選択ユニット列42bでは、補助MOS電源線45bに6[V]の補助制御電圧が印加されている。これにより、非選択ユニット列42bの選択行3aに配置された補助PMOSスイッチ46bは、補助MOS電源線45bからゲ

ートに6[V]の補助制御電圧が印加され、かつ第1電源線5bからソースに12[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該12[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。

[0191] なお、この際、選択行3aでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が共通NMOS制御線NGaに印加されている。これにより、非選択ユニット列42bの選択行3aに配置されたNMOSスイッチ9bは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6bからソースに6[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。かくして、第3領域AR3の選択行3aにおける非選択ワード線15bには、補助PMOSスイッチ46bとPMOSスイッチ8bを介して12[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0192] ここで、この実施の形態の場合、非選択ユニット列42bには、非選択第1ビット線L1c及び非選択第2ビット線L2cに12[V]の書き込み禁止電圧が印加されており、P型メモリウェルPW2に12[V]が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に12[V]の書き込み禁止電圧が印加され、非選択ワード線15bから制御ゲートに12[V]の書き込み禁止ゲート電圧が印加され、さらにはP型メモリウェルPW2が12[V]の高電圧に設定されていることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0193] 一方、非選択行3bでは、第1インバータ回路24によって、第1PMOS電源線VL3における12[V]の第1PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、非選択ユニット列42bの非選択行3bに配置されたPMOSスイッチ8dは、共通PMOS制御線PGbからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに12[V]

の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0194] また、この際、非選択行3bでは、第2インバータ回路25によって、第1 N M O S 電源線VL5における6[V]の第1 N M O S 制御電圧が、共通 N M O S 制御線NGb, NGc, NGdに印加されている。これにより、非選択ユニット列42bの非選択行3bに配置された N M O S スイッチ9dは、共通 N M O S 制御線NGbからゲートに6[V]の第1 N M O S 制御電圧が印加され、かつ第2電源線6bからソースに6[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。

[0195] これに対して、非選択ユニット列42bの非選択行3bに配置された補助 P M O S スイッチ46dは、補助 M O S 電源線45bからゲートに6[V]の補助制御電圧が印加され、かつ第1電源線5bからソースに12[V]の書き込み禁止ゲート電圧が印加されていることからオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、第3領域AR3の非選択行3bに配置された非選択ワード線15dには、補助 P M O S スイッチ46dを介して12[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0196] これにより、第3領域AR3の非選択行3bに配置された非選択メモリセルC2も、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に12[V]の書き込み禁止電圧が印加され、かつ補助 P M O S スイッチ46dを介して非選択ワード線15dから制御ゲートに12[V]の書き込み禁止ゲート電圧が印加され、さらにはP型メモリウェルPW2が12[V]と高電圧に設定されていることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0197] (4-2) 動作及び効果

以上の構成において、不揮発性半導体記憶装置41でも、上述した第2の実施の形態と同様の効果を得ることができる。また、この第4の実施の形態に

よる不揮発性半導体記憶装置41では、PMOSスイッチ8a, 8c, … (8b, 8d, …) 及びNMOSスイッチ9a, 9c, … (9b, 9d, …) をオンオフ動作させるのに必要となる制御電圧に拘束されることなく、電源ユニット44毎に設けた補助PMOS電源線45a (45b) からの補助制御電圧に応じてオンオフ動作する補助PMOSスイッチ46a, 46c, … (46b, 46d, …) を設けるようにした。

[0198] これにより、不揮発性半導体記憶装置41では、データ書き込み時、例えば非選択電源ユニット44bにて補助PMOSスイッチ46b, 46d, …をオン動作させて非選択ワード線15b, 15d, …に書き込み禁止ゲート電圧を印加することで、PMOSスイッチ8b, 8d, …及びNMOSスイッチ9b, 9d, …を非選択電源ユニット44bにてオン動作させることを不要にできる。不揮発性半導体記憶装置41では、PMOSスイッチ8a, 8c, … (8b, 8d, …) 及びNMOSスイッチ9a, 9c, … (9b, 9d, …) がオンオフ動作する制御電圧の最大電圧差を、選択電源ユニット44aにてPMOSスイッチ8a, 8c, …及びNMOSスイッチ9a, 9c, …が適宜オン動作し得る範囲で自由に設定できる。

[0199] かくして、この不揮発性半導体記憶装置41では、PMOSスイッチ8a, 8c, …及びNMOSスイッチ9a, 9c, …をオンオフ動作させる制御電圧の最大電圧差を例えば第2の実施の形態よりも一段と低い6[V]以下に設定でき、さらに補助PMOSスイッチ46a, 46c, … (46b, 46d, …) のオンオフ動作させる制御電圧の最大電圧値も6[V]以下に設定できる。

[0200] このように、この不揮発性半導体記憶装置41では、データ書き込み時やデータ消去時、PMOSスイッチ8a, 8c, … (8b, 8d, …) や、NMOSスイッチ9a, 9c, … (9b, 9d, …)、補助PMOSスイッチ46a, 46c, … (46b, 46d, …) がそれぞれオンオフ動作する際の最大電圧差を6[V]以下に設定できることから、その分、ゲート絶縁膜の膜厚を一段と薄膜化させたPMOSスイッチ8a, 8c, … (8b, 8d, …)、NMOSスイッチ9a, 9c, … (9b, 9d, …)、さらには補助NMOSスイッチ46a, 46c, … (46b, 46d, …) を用いることができる。

[0201] なお、以下、切替機構の動作についてまとめると、電源ユニット44のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット44

aでは、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッチ9aと、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されている補助PMOSスイッチ46aとがオフ状態になり、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイッチ8aがオン状態になることで、当該PMOSスイッチ8aのドレインから選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加する。

[0202] また、電源ユニット44のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット44aでは、非選択メモリセルC2のみが配置された非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加する場合、第1電源線5aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイッチ8cおよび補助PMOSスイッチ46cがオフ状態になり、第2電源線6aからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッチ9cがオン状態になることで、当該NMOSスイッチ9cのドレインから非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加する。

[0203] また、電源ユニット44のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット44bでは、他の列の電源ユニット44で選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加するPMOSスイッチ8aと共通PMOS制御線PGaを共有しているPMOSスイッチ8bがあるとき、当該PMOSスイッチ8bおよび補助PMOSスイッチ46bがオン状態になり、これと対をなすNMOSスイッチ9bがオフ状態になることで、第1電源線5bからPMOSスイッチ8bおよび補助PMOSスイッチ46bのソースに印加されている書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を、当該PMOSスイッチ8bおよび補助PMOSスイッチ46bのドレインから非選択ワード線15bに印加する。

[0204] また、電源ユニット44のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット44bでは、他の列の電源ユニット

44で非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加するNMOSスイッチ9cと共通NMOS制御線NGbを共有しているNMOSスイッチ9dがあるとき、当該NMOSスイッチ9dおよびPMOSスイッチ8dがオフ状態になり、これと対をなす補助PMOSスイッチ46dがオン状態になることで、第1電源線5bから補助PMOSスイッチ46dのソースに印加されている書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を、当該補助PMOSスイッチ46dのドレインから非選択ワード線15dに印加する。これにより、不揮発性半導体記憶装置41では、所定位置のメモリセルCにだけ電荷を蓄積させることができる。

[0205] (5) 第5の実施の形態

(5-1) データの書き込み動作

図4との対応部分に同一符号を付して示す図7において、51は第5の実施の形態による不揮発性半導体記憶装置を示し、この不揮発性半導体記憶装置51は、補助NMOSスイッチ36a, 36c, … (36b, 36d, …) を設けた構成を有している点で上述した第3の実施の形態と同じであるが、データの書き込み時、非選択ユニット列32bにおいて、P型メモリウェルPW2に4[V]を印加し、さらに各非選択ワード線15b, 15dに補助NMOSスイッチ36b, 36d, …を介して4[V]の書き込み禁止ゲート電圧を印加するようにした点で、上述した第3の実施の形態とは相違している。

[0206] ここで、図7は、上述した第3の実施の形態と同様に、複数のメモリセルCのうち、第1列目のユニット列32における第1行1列目のメモリセルCを、データが書き込まれる選択メモリセルC1とし、それ以外の全てのメモリセルCを非選択メモリセルC2としたときの各箇所の電圧値を示している。なお、選択ユニット列32aでは、各電圧値や、PMOSスイッチ8a, 8c, …やNMOSスイッチ9a, 9c, …、補助NMOSスイッチ36a, 36c, …のオンオフ動作等が、上述した第3の実施の形態による不揮発性半導体記憶装置31と同様であるためその説明は省略し、以下、非選択ユニット列32bにだけ着目して説明する。

[0207] この場合、非選択ユニット列32bの選択行3aのPMOSスイッチ8bは、上述

した第3の実施の形態と同様に、共通PMOS制御線PGaからゲートに6[V]の第2PMOS制御電圧が印加され、かつ第1電源線5bからソースに6[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。その一方、この第5の実施の形態による非選択ユニット列32bでは、第2電源線6bに共通電圧として4[V]の書き込み禁止ゲート電圧が印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたNMOSスイッチ9bは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0208] これに対して、非選択ユニット列32bの選択行3aに配置された補助NMOSスイッチ36bは、補助MOS電源線7bからゲートに6[V]の補助制御電圧が印加され、第2電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されていることからオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15bへ印加し得るようになされている。かくして、第3領域AR3の選択行3aにおける非選択ワード線15bには、補助NMOSスイッチ36bを介して4[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0209] ここで、この第5の実施の形態の場合、非選択ユニット列32bには、非選択第1ビット線L1c及び非選択第2ビット線L2cに6[V]の書き込み禁止電圧が印加され、P型メモリウェルPW2に4[V]が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ補助NMOSスイッチ36bを介して非選択ワード線15bから制御ゲートに4[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0210] 一方、非選択ユニット列32bの下段にある非選択行3bに配置されたPMOSスイッチ8dは、上述した第3の実施の形態と同様に、共通PMOS制御線PGb

からゲートに12[V]の第1 PMOS 制御電圧が印加され、かつ第1 電源線5bからソースに6[V]のオフ電圧が印加されていることからオフ状態となり、当該オフ電圧を遮断し得るようになされている。これに対して、非選択ユニット列32bの非選択行3bに配置されたNMOS スイッチ9dは、共通NMOS 制御線NGbからゲートに6[V]の第1 NMOS 制御電圧が印加され、第2 電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。

[0211] また、この際、非選択ユニット列32bの非選択行3bに配置された補助NMOS スイッチ36dは、補助MOS 電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2 電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、第3 領域AR3の非選択行3bに配置された非選択ワード線15dには、NMOS スイッチ9dと補助NMOS スイッチ36dとを介して4[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0212] これにより、第3 領域AR3の非選択行3bに配置された非選択メモリセルC2でも、非選択第1 ビット線L1c及び非選択第2 ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、NMOS スイッチ9d及び補助NMOS スイッチ36dを介して非選択ワード線15dから制御ゲートに4[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0213] (5-2) 動作及び効果

以上の構成において、不揮発性半導体記憶装置51でも、上述した第3の実施の形態と同様の効果を得ることができる。また、この不揮発性半導体記憶装置51では、データ書き込み時、非選択ユニット列32bのP型ウェルPW1に0[V]を印加し、補助NMOS スイッチ36b, 36d, …をオン動作させて、非選択ユニ

ット列32bの各非選択ワード線15b, 15d, ...に4[V]の書き込み禁止ゲート電圧を印加するようにした。

[0214] そして、この非選択ユニット列32bでは、データ書き込み時、PMOSスイ

ッチ8b, 8d, ...が形成されるN型ウエルNW1に12[V]が印加されているものの、

このPMOSスイッチ8b, 8d, ...のドレインに接続される各非選択ワード線15b

, 15d, ...に僅かに電圧値が高い4[V]の書き込み禁止ゲート電圧を印加して、こ

れらPMOSスイッチ8b, 8d, ...のドレインと、N型ウエルNW1との間の電圧差

を8[V]と比較的小さくするようにしたことから、その分、PMOSスイッチ8

b, 8d, ...に対する電圧負担が軽減され、PMOSスイッチ8b, 8d, ...の信頼性を

向上できる。

[0215] なお、この実施の形態の切替機構の動作については、上述した「(3) 第

3の実施の形態」と同一であるため、ここではその説明について省略する。

[0216] (6) 第6の実施の形態

(6-1) データの書き込み動作

図7との対応部分に同一符号を付して示す図8において、55は第6の実施

の形態による不揮発性半導体記憶装置を示し、この不揮発性半導体記憶装置5

5は、上述した第5の実施の形態と同じ回路構成を有しているが、PMOSス

イッチ8a, 8c, ... (8b, 8d, ...) 及びNMOSスイッチ9a, 9c, ... (9b, 9d, ...) の

各ゲートにおける電圧値と、データ書き込み時における非選択ユニット列32b

における各電圧値とが、上述した第5の実施の形態による不揮発性半導体記

憶装置51とは相違している。

[0217] ここで、図8は、上述した第5の実施の形態と同様に、複数のメモリセルC

のうち、第1列目のユニット列32における第1行1列目のメモリセルCを、デ

ータが書き込まれる選択メモリセルC1とし、それ以外の全てのメモリセルCを

非選択メモリセルC2としたときの各箇所の電圧値を示している。この場合、

第1PMOS電源線VL3には、上述した第5の実施の形態と同じ、12[V]の第

1PMOS制御電圧が印加されるものの、第2PMOS電源線VL4には、上述

した第5の実施の形態よりも高い8[V]の第2PMOS制御電圧が印加されて

おり、これら第1 PMOS制御電圧と第2 NMOS制御電圧との電圧差が、上述した第5の実施の形態よりも小さい4[V]に設定されている。

[0218] これにより、これら第1 PMOS電源線VL3及び第2 PMOS電源線VL4に第1インバータ回路24を介して接続された共通PMOS制御線PGa~PGdには、当該第1インバータ回路24によって、非選択行3bのとき12[V]の第1 PMOS制御電圧が印加され、選択行3aのとき8[V]の第2 PMOS制御電圧が印加され得る。このように共通PMOS制御線PGa~PGdは、選択行3aのときの電圧値と、非選択行3bのときの電圧値との電圧振幅を4[V]（すなわち、12[V]-8[V]）とし、当該電圧振幅の小振幅化が図られている。これにより、共通PMOS制御線PGa~PGdに接続されたPMOSスイッチ8a, 8c, …（8b, 8d, …）では、選択行3a及び非選択行3bでのゲートにおける電圧振幅の小振幅化が図られ、その分、ゲート絶縁膜を一段と薄膜化し得るようになされている。

[0219] 一方、第2 NMOS電源線VL6には、上述した第5の実施の形態と同様に、0[V]の第2 NMOS制御電圧が印加されているものの、第1 NMOS電源線VL5には、上述した第5の実施の形態よりも低い4[V]の第1 NMOS制御電圧が印加されており、これら第1 NMOS制御電圧と第2 NMOS制御電圧との電圧差が、上述した第5の実施の形態よりも小さい4[V]に設定されている。

[0220] これにより、これら第1 NMOS電源線VL5及び第2 NMOS電源線VL6に第2インバータ回路25を介して接続された共通NMOS制御線NGa~NGdには、当該第2インバータ回路25によって、非選択行3bのとき4[V]の第1 NMOS制御電圧が印加され、選択行3aのとき0[V]の第2 NMOS制御電圧が印加され得る。このように共通NMOS制御線NGa~NGdは、選択行3aのときの電圧値と、非選択行3bのときの電圧値との電圧振幅を4[V]（すなわち、4[V]-0[V]）とし、当該電圧振幅の小振幅化が図られている。これにより、共通NMOS制御線NGa~NGdに接続されたNMOSスイッチ9a, 9c（9b, 9d）では、選択行3a及び非選択行3bでのゲートにおける電圧振幅の小振幅化が図られ、その分、ゲート絶縁膜を一段と薄膜化し得るようになされている。

[0221] (6-1-1) 第1領域について

ここで、先ず初めに第1領域AR1に着目すると、選択ユニット列32aの選択電源ユニット34aには、上述した第5の実施の形態と同様に、第1電源線5aに12[V]の書き込みゲート電圧が印加され、他方の第2電源線6aに0[V]の書き込み禁止ゲート電圧が印加されている。この際、選択メモリセルC1が配置された選択行3aでは、第1インバータ回路24によって、第2PMOS電源線VL4における8[V]の第2PMOS制御電圧が、共通PMOS制御線PGaに印加されている。

[0222] これにより、選択ユニット列32aの選択行3aに配置されたPMOSスイッチ8aは、共通PMOS制御線PGaからゲートに8[V]の第2PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、当該12[V]の書き込みゲート電圧をドレインから選択ワード線15aへ印加し得るようになされている。かくして、第1領域AR1において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリセルC1は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され、かつPMOSスイッチ8aを介して選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生し、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0223] このように、第6の実施の形態による不揮発性半導体記憶装置55では、選択ユニット列32aの選択行3aにてPMOSスイッチ8aをオン動作させる際、当該PMOSスイッチ8aにおいて、ゲートに印加される第2PMOS制御電圧（8[V]）と、ソースに印加される書き込みゲート電圧（12[V]）との電圧差を、第5の実施の形態よりも一段と低い4[V]に設定し得るようになされている。

[0224] なお、第1領域AR1において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、上述した第5の実施の形態と

同様に、非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加されることから、選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されても、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0225] なお、この際、選択行3aでは、第2インバータ回路25によって、第2NMOS電源線VL6における0[V]の第2NMOS制御電圧が、共通NMOS制御線NGaに印加されている。これにより、選択ユニット列32aの選択行3aに配置されたNMOSスイッチ9aは、共通NMOS制御線NGaからゲートに0[V]の第2NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0226] また、選択ユニット列32aの選択行3aに配置された補助NMOSスイッチ36aは、上述した第5の実施の形態と同様に、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されることからオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、第1領域AR1の選択ワード線15aには、PMOSスイッチ8aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0227] (6-1-2) 第2領域について

次に、選択ユニット列32aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択メモリセルC2だけが配置された非選択行3bでは、第1インバータ回路24によって、第1PMOS電源線VL3における12[V]の第1PMOS制御電圧が共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、選択ユニット列32aの非選択行3bに配置されたPMOSスイッチ8cは、共通PMOS制御線PGbからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、この書き込みゲート電圧を遮断し得るようになされている。

る。

[0228] また、この際、非選択行3bでは、第2インバータ回路25によって、第1 NMOS電源線VL5における4[V]の第1 NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、選択ユニット列32aの非選択行3bに配置されたNMOSスイッチ9cは、共通NMOS制御線NGbからゲートに4[V]の第1 NMOS制御電圧が印加され、かつ第2電源線6aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15cへ印加し得るようになされている。

[0229] このように、第6の実施の形態による不揮発性半導体記憶装置55は、選択ユニット列32aの非選択行3bにてNMOSスイッチ9cをオン動作させる際、当該NMOSスイッチ9cにおいて、ゲートに印加される第1 NMOS制御電圧（4[V]）と、ソースに印加される書き込み禁止ゲート電圧（0[V]）との電圧差を、第5の実施の形態より一段と低い4[V]に設定し得るようになされている。

[0230] かくして、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、NMOSスイッチ9cを介して非選択ワード線15cから制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0231] また、この第2領域AR2において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2も、これら非選択第1ビット線L1b及び非選択第2ビット線L1bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ非選択ワード線15cから制御ゲートに0[V]の書き込み禁止ゲート電圧が印加されることから、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0232] 因みに、選択ユニット列32aの非選択行3bに配置された補助N M O S スイッチ36cは、補助M O S 電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第2 電源線6aからソースに0[V]の書き込みゲート電圧が印加されていることからオフ状態となり、この書き込み電圧を遮断し得るようになされている。かくして、第2 領域AR2の非選択ワード線15cには、N M O S スイッチ9cを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0233] (6-1-3) 第3 領域について

次に、非選択ユニット列32bにおける第3 領域AR3について着目する。この場合、非選択ユニット列32bの非選択電源ユニット34bには、第1 電源線5bに8[V]のオフ電圧が印加され、他方の第2 電源線6bに4[V]の書き込み禁止ゲート電圧が印加されている。この際、選択行3aでは、第1 インバータ回路24によって、第2 P M O S 電源線VL4における8[V]の第2 P M O S 制御電圧が共通P M O S 制御線PGaに印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたP M O S スイッチ8bは、共通P M O S 制御線PGaからゲートに8[V]の第2 P M O S 制御電圧が印加され、かつ第1 電源線5bからソースに8[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。

[0234] また、この際、選択行3aでは、第2 インバータ回路25によって、第2 N M O S 電源線VL6における0[V]の第2 N M O S 制御電圧が、共通N M O S 制御線NGaに印加されている。これにより、非選択ユニット列32bの選択行3aに配置されたN M O S スイッチ9bは、共通N M O S 制御線NGaからゲートに0[V]の第2 N M O S 制御電圧が印加され、かつ第2 電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。

[0235] ここで、このような非選択ユニット列32bでは、P 型ウェルPW1に4[V]が印加され、補助M O S 電源線7bに6[V]の補助制御電圧が印加されている。これにより、非選択ユニット列32bの選択行3aに配置された補助N M O S スイッチ

36bは、補助MOS電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。かくして、第3領域AR3の選択行3aに配置された非選択ワード線15bには、補助NMOSスイッチ36bを介して4[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0236] ここで、この実施の形態の場合、非選択ユニット列32bには、非選択第1ビット線L1c及び非選択第2ビット線L2cに6[V]の書き込み禁止電圧が印加され、P型メモリウェルPW2に4[V]が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ補助NMOSスイッチ36bから非選択ワード線15bを介して制御ゲートに4[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0237] 一方、非選択行3bでは、第1インバータ回路24によって、第1PMOS電源線VL3における12[V]の第1PMOS制御電圧が、共通PMOS制御線PGb, PGc, PGdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置されたPMOSスイッチ8dは、共通PMOS制御線PGbからゲートに12[V]の第1PMOS制御電圧が印加され、かつ第1電源線5bからソースに8[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。

[0238] また、この際、非選択行3bでは、第2インバータ回路25によって、第1NMOS電源線VL5における4[V]の第1NMOS制御電圧が、共通NMOS制御線NGb, NGc, NGdに印加されている。これにより、非選択ユニット列32bの非選択行3bに配置されたNMOSスイッチ9dは、共通NMOS制御線NGbからゲートに4[V]の第1NMOS制御電圧が印加され、かつ第2電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込

み禁止ゲート電圧を遮断し得るようになされている。

[0239] これに対して、非選択ユニット列32bの非選択行3bに配置された補助NMO Sスイッチ36dは、補助MOS電源線7bからゲートに6[V]の補助制御電圧が印加され、かつ第2電源線6bからソースに4[V]の書き込み禁止ゲート電圧が印加されていることからオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、第3領域AR3の非選択行3bに配置された非選択ワード線15dには、補助NMO Sスイッチ36dを介して4[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0240] これにより、第3領域AR3の非選択行3bにおいて、非選択第1ビット線L1c及び非選択第2ビット線L2cに接続された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、補助NMO Sスイッチ36dから非選択ワード線15dを介して制御ゲートに4[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0241] そして、このように、第6の実施の形態による不揮発性半導体記憶装置55は、非選択ユニット列32bの選択行3a及び非選択行3bにて補助NMO Sスイッチ36b, 36dをオン動作させる際、当該補助NMO Sスイッチ36b, 36dにおいて、ゲートに印加される補助制御電圧（6[V]）と、ソースに印加される書き込み禁止ゲート電圧（4[V]）との電圧差を、第5の実施の形態より一段と低い4[V]以下に設定し得るようになされている。

[0242] （6－2）動作及び効果

以上の構成において、この不揮発性半導体記憶装置55でも、上述した第3の実施の形態と同様の効果を得ることができる。また、この第6の実施の形態による不揮発性半導体記憶装置55では、非選択ユニット列32bにて、PMOSスイッチ8b, 8d, …及びNMO Sスイッチ9b, 9d, …を必ずしもオン動作させ

る必要がないため、選択ユニット列32aにて、PMOSスイッチ8a, 8c, …及びNMOSスイッチ9a, 9c, …をオンオフ動作させる制御電圧値を自由に設定することができる、かくして、PMOSスイッチ8a, 8c, …や、NMOSスイッチ9a, 9c, …、さらには補助NMOSスイッチ36a, 36c, …(36b, 36d, …)をオンオフ動作させる最大電圧差を、例えば第3の実施の形態よりも一段と低い4[V]以下に設定できる。

[0243] このように、不揮発性半導体記憶装置55では、データ書き込み時、PMOSスイッチ8a, 8c, …(8b, 8d, …)や、NMOSスイッチ9a, 9c, …(9b, 9d, …)、補助NMOSスイッチ36a, 36c, …(36b, 36d, …)がオンオフ動作する際の電圧差を4[V]以下に設定できることから、その分、ゲート絶縁膜の膜厚を8[m]に薄膜化させたPMOSスイッチ8a, 8c, …(8b, 8d, …)や、NMOSスイッチ9a, 9c, …(9b, 9d, …)、補助NMOSスイッチ36a, 36c, …(36b, 36d, …)を用いることができる。

[0244] また、この非選択ユニット列32bでも、データ書き込み時、PMOSスイッチ8b, 8d, …が形成されるN型ウエルNW1に12[V]が印加されているものの、このPMOSスイッチ8b, 8d, …のドレインに接続される各非選択ワード線15b, 15d, …に僅かに電圧値が高い4[V]の書き込み禁止ゲート電圧を印加して、これらPMOSスイッチ8b, 8d, …のドレインと、N型ウエルNW1との間の電圧差を8[V]と比較的小さくするようにしたことから、その分、PMOSスイッチ8b, 8d, …に対する電圧負担が軽減され、PMOSスイッチ8b, 8d, …の信頼性を向上できる。

[0245] なお、この実施の形態の切替機構の動作については、上述した「(3) 第3の実施の形態」とほぼ同一であるが、電源ユニット34のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット34bでは、他の列の電源ユニット34で非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加するNMOSスイッチ9cと共通NMOS制御線Nbを共有しているNMOSスイッチ9dがあるとき、当該NMOSスイッチ9dおよびPMOSスイッチ8dがオフ状態になり、当該NMOSスイッチ

チ9dと対をなす補助NMOSスイッチ36dがオン状態になることで、第2電源線6bから補助NMOSスイッチ36dのソースに印加されている書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を、当該補助NMOSスイッチ36dのドレインから非選択ワード線15dに印加する。これにより、不揮発性半導体記憶装置55では、所定位置のメモリセルCにだけ電荷を蓄積させることができる。

[0246] (7) 第7の実施の形態

(7-1) データの書き込み動作

図4との対応部分に同一符号を付して示す図9において、61は第7の実施の形態による不揮発性半導体記憶装置を示し、この不揮発性半導体記憶装置61は、PMOSスイッチ69a, 69c, … (69b, 69d, …) 及びNMOSスイッチ70a, 70c, … (70b, 70d, …) に加えて、補助NMOSスイッチ71a, 71c, … (71b, 71d, …) が設けられている他、列方向に延びるPMOS電源線VPa (VPb) 及びNMOS電源線VNa (VNb) がユニット配線としてユニット列62毎に設けられている点と、行方向に延びる複数の共通電源線67a, 67b, 67c, 67dが共通配線として設けられ、各電源ユニット64間が共通電源線67a~67dにより接続されている点とに特徴がある。ここで、図9は、上述した第3の実施の形態と同様に、複数のメモリセルCのうち、第1列目のユニット列62における第1行1列目のメモリセルCを、データが書き込まれる選択メモリセルC1とし、それ以外の全てのメモリセルCを非選択メモリセルC2としたときの各箇所の電圧値を示している。

[0247] この不揮発性半導体記憶装置61は、第1電源線65及び第2電源線66が列方向に並走するように配置されており、第1電源線65及び第2電源線66を複数の電源ユニット64にて共通するように構成されている。實際上、これら第1電源線65及び第2電源線66には、複数のインバータ回路63が共通接続されており、各インバータ回路63の出力部にそれぞれ共通電源線67a~67dが接続されている。各インバータ回路63は、第1電源線65に印加されている12[V]の書き込みゲート電圧と、第2電源線66に印加されている0[V]の書き込み禁止ゲート電圧のうちいずれか一方を各行毎に選択し、これを共通電源線67a~67d

にそれぞれ印加し得るようになされている。

[0248] 電源ユニット64のN型ウェルNW1には、列方向に延びるPMOS電源線VPa (VPb) が形成されており、当該PMOS電源線VPa (VPb) に沿って複数のPMOSスイッチ69a, 69c, … (69b, 69d, …) が形成されている。實際上、PMOSスイッチ69aは、ゲートがPMOS電源線VPaに接続され、ソースが共通電源線67aに接続されている。また、例えばPMOSスイッチ69aは、ドレインがワード線15に接続されており、オン動作することにより、共通電源線67aに印加された書き込みゲート電圧をドレインからワード線15に印加し得るようになされている。

[0249] 一方、電源ユニット64のP型ウェルPW1には、列方向に延びるNMOS電源線VNa (VNb) が形成されており、当該NMOS電源線VNa (VNb) に沿って複数のNMOSスイッチ70a, 70c, … (70b, 70d, …) が形成されている。實際上、NMOSスイッチ70aは、ゲートがNMOS電源線VNaに接続されているとともに、ソースが共通電源線67aに接続されている。また、例えばNMOSスイッチ70cは、ドレインがワード線15に接続されており、オン動作することにより、共通電源線67bに印加された書き込み禁止ゲート電圧をドレインから非選択ワード線15cに印加し得るようになされている。なお、データ書き込み時には、選択ユニット列62a及び非選択ユニット列62bともに、このN型ウェルNW1に12[V]が印加され得る。

[0250] また、電源ユニット64のP型ウェルPW1には、NMOS電源線VNa (VNb) と並走するように第3電源線68a (68b) 及び補助MOS電源線7a (7b) が形成されており、これら第3電源線68a (68b) 及び補助MOS電源線7a (7b) に沿って複数の補助NMOSスイッチ71a, 71c, … (71b, 71d, …) が形成されている。ここで、補助NMOSスイッチ71a, 71c, … (71b, 71d, …) は、ゲートが補助MOS電源線7a (7b) に接続され、ソースが第3電源線68a (68b) に接続されている。また、各補助NMOSスイッチ71a, 71c, … (71b, 71d, …) は、ドレインがワード線15に接続されており、例えば、補助NMOSスイッチ71b, 71dは、オン動作することにより、第3電源線68bに印加された書き込

み禁止ゲート電圧をドレインから非選択ワード線15b, 15dに印加し得るようになされている。なお、データ書き込み時には、選択ユニット列62a及び非選択ユニット列62bともに、このP型ウェルPW1に0[V]が印加され得る。

[0251] 因みに、P型メモリウェルPW2には、上述したように、行方向に延設された複数のワード線15が列方向に所定間隔を空けて配置され、同一行のメモリセルCの制御ゲートが、各ワード線15に接続されている。また、P型メモリウェルPW2は、列方向に延びる第1ビット線L1と第2ビット線L2とを備えており、一の第1ビット線L1と、当該第1ビット線L1に隣接した第2ビット線L2とを一对とし、並走するこれら第1ビット線L1及び第2ビット線L2間に複数のメモリセルCが並列に配置された構成を有している。各メモリセルCには、一端に第1ビット線L1が接続されているとともに、他端に第2ビット線L2が接続されており、これら第1ビット線L1及び第2ビット線L2から一端及び他端に、例えば書き込み電圧又は書き込み禁止電圧が印加され得るようになされている。

[0252] (7-1-1) 第1領域について

ここでは、先ず初めに第1領域AR1に着目して説明した後、第2領域AR2、第3領域AR3の順に説明する。この場合、選択メモリセルC1が配置された選択行3aでは、第1電源線65及び第2電源線66に接続されたインバータ回路63によって、第1電源線65における12[V]の書き込みゲート電圧が、共通電圧として共通電源線67aに印加されている。この際、選択ユニット列62aでは、PMOS電源線VPaに6[V]の第1PMOS制御電圧がユニット電圧として印加されており、各PMOSスイッチ69a, 69c, …のゲートに、当該第1PMOS制御電圧をそれぞれ印加し得るようになされている。

[0253] これにより、選択ユニット列62aの選択行3aに配置されたPMOSスイッチ69aは、PMOS電源線VPaからゲートに6[V]の第1PMOS制御電圧が印加され、かつ共通電源線67aからソースに12[V]の書き込みゲート電圧が印加されてオン状態となり、当該12[V]の書き込みゲート電圧をドレインから選択ワード線15aへ印加し得るようになされている。

- [0254] ここで、選択ユニット列62aでは、選択第1ビット線L1a及び選択第2ビット線L2aに0[V]の書き込み電圧が印加されている。これにより、第1領域AR1において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された選択メモリセルC1では、選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加され、かつPMOSスイッチ69aから選択ワード線15aを介して制御ゲートに12[V]の書き込みゲート電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生し、チャネル領域から電荷蓄積層に電荷が注入され得る。
- [0255] なお、第1領域AR1において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2では、非選択第1ビット線L1b及び非選択第2ビット線L2bから6[V]の書き込み禁止電圧が印加されることから、選択ワード線15aから制御ゲートに12[V]の書き込みゲート電圧が印加されても、制御ゲート及びチャネル領域間の電圧差が小さくなり、その結果、量子トンネル効果が発生するとなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。
- [0256] 因みに、この際、選択ユニット列62aでは、NMOS電源線VNaに6[V]の第1NMOS制御電圧がユニット電圧として印加されている。これにより選択ユニット列62aの選択行3aに配置されたNMOSスイッチ70aは、NMOS電源線VNaからゲートに6[V]の第1NMOS制御電圧が印加され、かつ共通電源線67aからソースに12[V]の書き込みゲート電圧が印加されてオフ状態となり、当該書き込みゲート電圧を遮断し得るようになされている。
- [0257] また、この際、選択ユニット列62aでは、補助MOS電源線7aに0[V]の補助制御電圧がユニット電圧として印加されている。これにより、選択ユニット列62aの選択行3aに配置された補助NMOSスイッチ71aは、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第3電源線68aからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、当該書き込み禁止ゲート電圧を遮断し得るようになされている。かくして、第1領

域AR1の選択ワード線15aには、PMOSスイッチ69aを介して12[V]の書き込みゲート電圧が印加され得るようになされている。

[0258] (7-1-2) 第2領域について

次に、選択ユニット列62aにおける非選択行3bの第2領域AR2について着目する。この場合、非選択メモリセルC2だけが配置された非選択行3bでは、インバータ回路63によって、第2電源線66における0[V]の書き込み禁止ゲート電圧が、共通電圧として共通電源線67b, 67c, 67dに印加されている。これにより、選択ユニット列62aの非選択行3bに配置されたPMOSスイッチ69cは、PMOS電源線VPaからゲートに6[V]の第1PMOS制御電圧が印加され、かつ共通電源線67bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオフ状態となり、この書き込み禁止ゲート電圧を遮断し得るようになされている。

[0259] 一方、選択ユニット列62aの非選択行3bに配置されたNMOSスイッチ70cは、NMOS電源線VNaからゲートに6[V]の第1NMOS制御電圧が印加され、かつ共通電源線67bからソースに0[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該0[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15cへ印加し得る。

[0260] これにより、第2領域AR2において、選択第1ビット線L1a及び選択第2ビット線L2aに接続された非選択メモリセルC2は、これら選択第1ビット線L1a及び選択第2ビット線L2aから一端及び他端に0[V]の書き込み電圧が印加されるものの、NMOSスイッチ70cから非選択ワード線15cを介して制御ゲートに同じく0[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0261] また、同じく第2領域AR2において、非選択第1ビット線L1b及び非選択第2ビット線L2bに接続された非選択メモリセルC2は、これら非選択第1ビット線L1b及び非選択第2ビット線L2bから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつNMOSスイッチ70cから非選択ワード線15cを介して制

御ゲートに0[V]の書き込み禁止ゲート電圧が印加されていることから、量子トンネル効果が発生することなく、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0262] なお、選択ユニット列62aの非選択行3bに配置された補助NMOSスイッチ71cは、補助MOS電源線7aからゲートに0[V]の補助制御電圧が印加され、かつ第3電源線68aからソースに0[V]のオフ電圧が印加されてオフ状態となり、当該オフ電圧を遮断し得るようになされている。かくして、第2領域AR2の非選択ワード線15cには、NMOSスイッチ70cを介して0[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0263] (7-1-3) 第3領域について

次に、非選択ユニット列62bにおける第3領域AR3について着目する。この場合、非選択ユニット列62bの非選択電源ユニット64bには、PMOS電源線VPbに12[V]の第2PMOS制御電圧が印加されている。また、この際、選択行3aでは、インバータ回路63によって、第1電源線65における12[V]の書き込みゲート電圧が共通電源線67aに印加されている。これにより、非選択ユニット列62bの選択行3aに配置されたPMOSスイッチ69bは、共通電源線67aからソースに12[V]の書き込みゲート電圧が印加されるものの、PMOS電源線VPbからゲートに12[V]の第2PMOS制御電圧が印加されてオフ状態となり、当該書き込みゲート電圧を遮断し得るようになされている。

[0264] また、この際、非選択ユニット列62bでは、NMOS電源線VNbに0[V]の第2NMOS制御電圧が印加されている。これにより、非選択ユニット列62bの選択行3aに配置されたNMOSスイッチ70bは、共通電源線67aから一端に12[V]の書き込みゲート電圧が印加されるものの、NMOS電源線VNbからゲートに0[V]の第2PMOS制御電圧が印加されてオフ状態となり、当該書き込みゲート電圧を遮断し得るようになされている。

[0265] ここで、非選択ユニット列62bでは、補助MOS電源線7bに8[V]の補助制御電圧が印加され、第3電源線68bに6[V]の書き込み禁止ゲート電圧が印加されている。これにより非選択ユニット列62bの選択行3aに配置された補助NMOS

Sスイッチ71bは、補助MOS電源線7bからゲートに8[V]の補助制御電圧が印加され、かつ第3電源線68bからソースに6[V]の書き込み禁止ゲート電圧が印加されてオン状態となり、当該書き込み禁止ゲート電圧をドレインから非選択ワード線15bに印加し得るようになされている。かくして、第3領域AR3の選択行3aに配置された非選択ワード線15bには、補助NMOSスイッチ71bを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0266] ここで、この実施の形態の場合、非選択ユニット列62bには、非選択第1ビット線L1c及び非選択第2ビット線L2cに6[V]の書き込み禁止電圧が印加され、これに合わせてP型メモリウェルPW2にも6[V]が印加されている。これにより、第3領域AR3の選択行3aに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ補助NMOSスイッチ71bから非選択ワード線15bを介して制御ゲートに6[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0267] 一方、非選択ユニット列62bの下段にある非選択行3bに配置されたPMOSスイッチ69dでは、PMOS電源線VPbからゲートに12[V]の第2PMOS制御電圧が印加され、かつ共通電源線67bからソースに0[V]の書き込み禁止ゲート電圧が印加されることからオフ状態となり、当該0[V]の書き込み禁止ゲート電圧を遮断し得るようになされている。

[0268] また、この際、非選択ユニット列62bの非選択行3bに配置されたNMOSスイッチ70dでは、NMOS電源線VNBからゲートに0[V]の第2NMOS制御電圧が印加され、かつ共通電源線67bからソースに0[V]の書き込み禁止ゲート電圧が印加されることからオフ状態となり、当該0[V]の書き込み禁止ゲート電圧を遮断し得るようになされている。

[0269] これに対して、非選択ユニット列62bの非選択行3bに配置された補助NMOSスイッチ71dは、補助MOS電源線7bからゲートに8[V]の補助制御電圧が印加され、かつ第3電源線68bからソースに6[V]の書き込み禁止ゲート電圧が印

加されることからオン状態となり、当該6[V]の書き込み禁止ゲート電圧をドレインから非選択ワード線15dに印加し得るようになされている。かくして、第3領域AR3の非選択行3bに配置された非選択ワード線15dにも、補助NMOSスイッチ71dを介して6[V]の書き込み禁止ゲート電圧が印加され得るようになされている。

[0270] これにより、第3領域AR3の非選択行3bに配置された非選択メモリセルC2では、非選択第1ビット線L1c及び非選択第2ビット線L2cから一端及び他端に6[V]の書き込み禁止電圧が印加され、かつ補助NMOSスイッチ71dから非選択ワード線15dを介して制御ゲートに6[V]の書き込み禁止ゲート電圧が印加されることから、制御ゲート及びチャネル領域間が同電圧となり、その結果、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0271] (7-2) 動作及び効果

以上の構成において、この不揮発性半導体記憶装置61では、行列状に形成された複数のワード線15と、各ワード線15に連結された複数のメモリセルCと、複数のメモリセルCに選択的な電圧を印加し得る第1ビット線L1及び第2ビット線L2と、ワード線列にそれぞれ対応して設けられた複数の電源ユニット64とを備え、各ワード線15に対応させてPMOSスイッチ69a, 69c, … (69b, 69d, …) とNMOSスイッチ70a, 70c, … (70b, 70d, …) と補助NMOSスイッチ71a, 71c, … (71b, 71d, …) とを各電源ユニット64に設け、電源ユニット64の同一行のPMOSスイッチ69a, 69c, … (69b, 69d, …) 及びNMOSスイッチ70a, 70c, … (70b, 70d, …) の各ソース間を共通電源線67a~67dにて接続するようにした。

[0272] また、電源ユニット64では、同一列のPMOSスイッチ69a, 69c, … (69b, 69d, …) の各ゲートに接続させたPMOS電源線VPa (VPb) と、同一列のNMOSスイッチ70a, 70c, … (70b, 70d, …) の各ゲートに接続させたNMOS電源線VNa (VNb) とを備え、PMOSスイッチ69a, 69c, … (69b, 69d, …) とNMOSスイッチ70a, 70c, … (70b, 70d, …) の各ドレインをワード線15に接続

させるようにした。さらに、各電源ユニット64は、列方向に延びた補助MOS電源線7a (7b) 及び第3電源線68a (68b) を備えており、第3電源線68a (68b) が補助NMOSスイッチ71a, 71c, … (71b, 71d, …) を介してワード線15に接続されている。

[0273] そして、データ書き込み時、選択電源ユニット64aでは、選択行3aにてPMOS電源線VPa及び共通電源線67aの電圧差によりPMOSスイッチ69aをオン動作させることにより、選択ワード線15aに書き込みゲート電圧を印加し、一方、非選択行3bにてNMOS電源線VNa及び共通電源線67aの電圧差によりNMOSスイッチ70cをオン動作させることにより、非選択ワード線15cに書き込み禁止ゲート電圧を印加する。これに対して、データ書き込み時、非選択電源ユニット64bでは、選択行3a及び非選択行3bにて、補助MOS電源線7b及び第3電源線68bの電圧差により各補助NMOSスイッチ71b, 71d, …をオン動作させることにより、全ての非選択ワード線15b, 15d, …に書き込み禁止ゲート電圧を印加する。

[0274] これにより、非選択電源ユニット64bでは、選択電源ユニット64aに拘束されることなく、独立して補助NMOSスイッチ71b, 71d, …をオン動作させ、選択電源ユニット64aとは別に、第3電源線68bの書き込み禁止ゲート電圧を非選択ワード線15b, 15d, …全てに印加できる。かくして、不揮発性半導体記憶装置61では、一のワード線列の選択電源ユニット64aに拘束されることなく、他のワード線列の非選択電源ユニット64bにて、書き込み禁止ゲート電圧の電圧値や、そのときのP型メモリウエルPW2に印加される電圧値、非選択第1ビット線L1c及び非選択第2ビット線L2cの電圧値を、例えば非選択メモリセルC2にてディスタープの発生を抑制し得る電圧値にそれぞれ自由に設定できる。

[0275] この実施の形態の場合、非選択電源ユニット64bでは、非選択ワード線15b, 15d, …に印加する書き込み禁止ゲート電圧を6[V]の低電圧に設定し得、さらにP型メモリウエルPW2の電圧値や、非選択第1ビット線L1c、非選択第2ビット線L2cの電圧値を全て同電圧の6[V]に設定できるので、仮に選択ユニット

列62aにて選択メモリセルC1に対するデータの書き込み動作が繰り返されたとしても、非選択ユニット列62bの各非選択メモリセルC2に影響がなく、ライスタージの発生を抑制し得る。

[0276] また、この不揮発性半導体記憶装置61では、PMOS電源線VPa (VPb) 及びNMOS電源線VNa (VNb) に印加する制御電圧を、選択電源ユニット64aにてPMOSスイツチ69a, 69c, ...及びNMOSスイツチ70a, 70c, ...が適宜オン動作し得る範囲で自由に設定できる。かくして、この不揮発性半導体記憶装置31では、選択電源ユニット64a及び非選択電源ユニット64bのときにPMOS電源線VPa (VPb) 及びNMOS電源線VNa (VNb) に印加する制御電圧の電圧差を、比較的低い6[V]に設定できることから、PMOSスイツチ69a, 69c, ...及びNMOSスイツチ70a, 70c, ...の各ゲートに加わる電圧負担を軽減し、その分、ゲート酸化膜の薄膜化を図ることができる。

[0277] また、不揮発性半導体記憶装置61では、PMOS電源線VPa (VPb) 及びNMOS電源線VNa (VNb) が電源ユニット64毎にそれぞれ個別に設けられているものの、各電源ユニット64間が複数の共通電源線67a~67dにより接続されており、行毎に共通電源線67a~67dに印加する電圧値を調整することで、PMOSスイツチ69a, 69c, ... (69b, 69d, ...)、NMOSスイツチ70a, 70c, ... (70b, 70d, ...) 及び補助NMOSスイツチ71a, 71c, ... (71b, 71d, ...) を適宜オン動作させ、全てのワード線15の中から選択ワード線15aを選択的に決定できる。かくして、この不揮発性半導体記憶装置61でも、ワード線列 (P型メモリウエルPW2) 毎にそれぞれ独立した行方向アドレスデコーダを設ける必要がなく、従来同様に小型化を図ることができる。

[0278] なお、以下、切替機構の動作についてまとめると、電源ユニット64のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット64aでは、共通電源線67aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているNMOSスイツチ70aと、第3電源線68aに接続された補助NMOSスイツチ71aとがオフ状態になり、共通電源線67aからソースに書き込みゲート電圧(電荷蓄積ゲート電圧)が印加されているPMOSスイツチ69a

がオン状態になることで、当該PMOSスイッチ69aのドレインから選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加する。

[0279] また、電源ユニット64のうち、選択メモリセルC1がある選択ワード線15aが接続された選択電源ユニット64aでは、非選択メモリセルC2のみが配置された非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加する場合、共通電源線67bからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているPMOSスイッチ69cと、第3電源線68aに接続された補助NMOSスイッチ71cとがオフ状態になり、共通電源線67bからソースに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)が印加されているNMOSスイッチ70cがオン状態になることで、当該NMOSスイッチ70cのドレインから非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加する。

[0280] また、電源ユニット64のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット64bでは、他の列の電源ユニット64で選択ワード線15aに書き込みゲート電圧(電荷蓄積ゲート電圧)を印加するPMOSスイッチ69aと共通電源線67aを共有しているPMOSスイッチ69bがあるとき、当該PMOSスイッチ69bおよびNMOSスイッチ70bがオフ状態になり、これと対をなす補助NMOSスイッチ71bがオン状態になることで、第3電源線68bから補助NMOSスイッチ71bのソースに印加されている書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を、当該補助NMOSスイッチ71bのドレインから非選択ワード線15bに印加する。

[0281] また、電源ユニット64のうち、非選択メモリセルC2だけが配置された非選択ワード線のみを有する非選択電源ユニット64bでは、他の列の電源ユニット64で非選択ワード線15cに書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を印加するNMOSスイッチ70cと共通電源線67bを共有しているNMOSスイッチ70dがあるとき、当該NMOSスイッチ70dおよびPMOSスイッチ69dがオフ状態になり、これと対をなす補助NMOSスイッチ71dがオン状態になることで、第3電源線68bから補助NMOSスイッチ71dのソースに印加され

ている書き込み禁止ゲート電圧(電荷蓄積禁止ゲート電圧)を、当該補助NMOSスイッチ71dのドレインから非選択ワード線15dに印加する。これにより、不揮発性半導体記憶装置61では、所定位置のメモリセルCにだけ電荷を蓄積させることができる。

[0282] (11) NMOSスイッチの耐压構造について

ここでは、一例として、上述した第1～第7の実施の形態のうち、図2に示す第2の実施の形態による不揮発性半導体記憶装置21に着目し、この不揮発性半導体記憶装置21のNMOSスイッチ9a, 9c, … (9b, 9d, …) の耐压構造について説明する。この場合、各電源ユニット4のNMOSスイッチ9a, 9c, … (9b, 9d, …) には、一端に第2電源線6a (6b) が接続され、他端にワード線15が接続され、さらにゲートに共通NMOS制御線NGa～NGdが接続されている。

[0283] このようなNMOSスイッチ9a, 9c, … (9b, 9d, …) は、データ書き込み時及びデータの消去時、0[V]又は8[V]のいずれか一方の制御電圧が、共通NMOS制御線NGa～NGdを介してゲートに印加され、かつ0[V]がP型ウェルPW1に印加されていることから、ゲートでのP型ウェルPW1との最大電圧差を、比較的低い8[V]に設定できる。また、このNMOSスイッチ9a, 9c, … (9b, 9d, …) では、データ書き込み時及びデータの消去時、0[V]又は6[V]のいずれか一方の電圧が、第2電源線6a (6b) を介してソースに印加され、かつ0[V]がP型ウェルPW1に印加されていることから、ソース側でのP型ウェルPW1との最大電圧差を比較的低い6[V]に設定できる。

[0284] 以上より、このNMOSスイッチ9a, 9c, … (9b, 9d, …) では、ゲートにおけるP型ウェルPW1との最大電圧差が8[V]となり、ソース側におけるP型ウェルPW1との最大電圧差が6[V]となることから、最大電圧差である8[V]の耐压構造を備えればよく、その分、ゲート絶縁膜を薄膜化し得る。また、不揮発性半導体記憶装置21では、これと同時に、共通NMOS制御線NGa～NGdや共通PMOS制御線PGa～PGdにかかる最大電圧差も8[V]であることから、それら周辺回路に用いる周辺NMOSトランジスタについても、同じく8[V]の最大

電圧差に合わせてゲート絶縁膜を薄膜化したトランジスタ構成とすることができる。

[0285] しかしながら、NMOSスイッチ9a, 9c, … (9b, 9d, …) は、ゲート及びP型ウェルPW1間の最大電圧差と、ソース及びP型ウェルPW1間の最大電圧差とが8[V]であるものの、ドレイン側でのP型ウェルPW1との最大電圧差が12[V]となってしまう。すなわち、NMOSスイッチ9a, 9c, … (9b, 9d, …) は、選択ユニット列2aにて選択行3aとなったとき、ドレインに接続された選択ワード線15aに、12[V]の書き込みゲート電圧が印加されることから、この12[V]の高電圧の書き込みゲート電圧に合わせて、ドレイン側を高耐压構造にする必要がある。そこで、本発明による不揮発性半導体記憶装置21では、図10及び図11に示すように、ワード線15に接続されたドレイン側が、ソース側よりも高耐压構造を備えたNMOSスイッチ100, 115, 117, 120, 123, 131, 135を用いることが望ましい。

[0286] ここで、図10及び図11は、周辺回路を構成する周辺NMOSトランジスタ101と、不揮発性半導体記憶装置21に設けるNMOSスイッチ100, 115, 117, 120, 123, 131, 135 (図2に示すNMOSスイッチ9a, 9c (9b, 9d) に相当) との側断面構成を示す断面図である。ここでは、ワード線15に接続されたドレイン側がソース側よりも高耐压構造でなり、ドレイン側とソース側とで左右非対称の耐压構造を備えたNMOSスイッチ100, 115, 117, 120, 123と、ウェル濃度を低濃度にしたNMOSスイッチ131と、ゲート絶縁膜全体を厚くしたNMOSスイッチ135を示している。この場合、図10及び図11に示すように、周辺NMOSトランジスタ101は、不揮発性半導体記憶装置21の共通NMOS制御線NGa~NGdにおける電圧差が8[V]以下に設定されていることから、これに合わせて印加される電圧の電圧差が8[V]になり、電圧負担が軽減されている分、ゲート絶縁膜105aを薄膜化し得るようになされている。

[0287] 実際上、この周辺NMOSトランジスタ101には、ソース103a及びドレイン103b間のP型ウェル102上にゲート絶縁膜105aが設けられ、ソース103a端部のソース側イクステンション部104aと、ドレイン103b端部のドレイン側イクス

テンション部104bとの間にチャネル領域が形成されている。また、周辺NMOSトランジスタ101は、半導体基板としてのP型ウェル102のチャネル領域上に、ゲート絶縁膜105aを介してゲート106aが形成された構成を有し、共通NMOS制御線NGa, NGb, NGc, NGdにおける8[V]以下の最大電圧差に合わせて、P型ウェル102及びゲート106a間のゲート絶縁膜105aの膜厚を12[nm]に形成し得、ゲート絶縁膜105aを薄膜化し得るようになされている。

[0288] 一方、図10Aに示すように、NMOSスイッチ100は、ワード線15に接続されたドレイン側がソース側よりも高耐圧構造を有した左右非対称の耐圧構造を備えており、ドレイン103dの端部に形成されたドレイン側イクステンション部110の不純物濃度を、ソース側イクステンション部104cの不純物濃度に比べて低くした点で、周辺NMOSトランジスタ101とは相違している。實際上、NMOSスイッチ100には、P型ウェル102に所定間隔を空けてソース103c及びドレイン103dが形成されており、これらソース103c及びドレイン103d間のP型ウェル102上にゲート絶縁膜105bが設けられている。また、このP型ウェル102には、ソース103cの端部にソース側イクステンション部104cが形成されているとともに、ドレイン103dの端部にドレイン側イクステンション部110が形成されており、これらソース側イクステンション部104c及びドレイン側イクステンション部110間にチャネル領域が形成され、チャネル領域上にゲート絶縁膜105bを介してゲート106bが設けられている。

[0289] ここで、NMOSスイッチ100は、図2のNMOSスイッチ9a, (9b, 9c, 9d, …)に相当することから、データ書き込み時、例えばゲート106bに0[V]又は8[V]が印加され、ソースに0[V]又は6[V]が印加され、さらにP型ウェル102に0[V]が印加され得る。これにより、NMOSスイッチ100は、ゲート及びP型ウェル102間での最大電圧差と、ソース及びP型ウェル102間での最大電圧差とが8[V]以下に抑えられていることから、ゲート及びP型ウェル102間のゲート絶縁膜105bの膜厚を12[nm]に形成し得、ゲート絶縁膜105bを薄膜化し得るようになされている。

[0290] 一方、このNMOSスイッチ100には、上述したように、ドレインにワード

線15が接続されることになるため、データ書き込み時、12[V]の書き込みゲート電圧と0[V]の書き込み禁止ゲート電圧とが印加されることがあり、その結果、ドレイン側にてこの12[V]の最大電圧差に対する耐压構造を備えている必要がある。そこで、NMOSスイッチ100では、不純物濃度が低濃度のドレイン側イクステンション部110を設けることにより、当該ドレイン側イクステンション部110にて電圧を降下し得るようにした。これにより、NMOSスイッチ100では、ドレイン側に12[V]の電圧差に対する耐压構造を備えつつ、周辺NMOSトランジスタ101と同様に、ゲート絶縁膜105bの膜厚を12[nm]に形成してゲート絶縁膜105bを薄膜化し得るようになされている。

[0291] 次に、図10Bに示すNMOSスイッチ115は、同じく、ワード線15に接続されたドレイン側がソース側よりも高耐压構造を有した左右非対称の耐压構造を備えており、ドレイン103dをゲート106bから遠ざけて形成したオフセット構造を有する。實際上、このNMOSスイッチ115は、上述したNMOSスイッチ100よりも、ソース103c及びドレイン103d間の間隔が広く形成されており、ドレイン側イクステンション部104dが、ソース側イクステンション部104cに比して2～3倍広域に亘って形成され、その分、ドレイン103dからゲート106bが遠ざけられ、ドレイン103d側に生じる12[V]の最大電圧差による影響を緩和させつつ、周辺NMOSトランジスタ101と同様に、ゲート絶縁膜105bの膜厚を12[nm]に形成して薄膜化し得るようになされている。

[0292] 次に、図10Cに示すNMOSスイッチ117は、上述と同様に左右非対称の耐压構造を備えており、ドレイン103dをゲート106bから遠ざけて形成したオフセット構造を有するとともに、ゲート絶縁膜105b側部のサイドウォールが、広域に広がるドレイン側イクステンション部104d全てを覆うように形成されている点で、上述したNMOSスイッチ115と相違している。このような構成を有するNMOSスイッチ117も、ドレイン103dがゲート106bから遠ざけられている分、ドレイン103d側に生じる12[V]の最大電圧差による影響を緩和させつつ、周辺NMOSトランジスタ101と同様に、ゲート絶縁膜105bの膜厚を12[nm]に形成して薄膜化し得るようになされている。

[0293] 次に、図 1 1 A に示す NMOS スイッチ 120 は、上述と同様に左右非対称の耐圧構造を備えており、例えば膜厚が 12[nm] のゲート絶縁膜 105b を備えるとともに、当該ゲート絶縁膜 105b よりも膜厚の厚いゲート絶縁膜（以下、厚膜ゲート酸化膜と呼ぶ）105f が形成された構成を有している。實際上、この NMOS スイッチ 120 は、ゲート 106c のうちドレイン 103d 側に位置する底端部に上部側へ凹んだ段差部が形成されており、ゲート 106c の底部が P 型ウェル 102 から遠ざかるように凹んでいる分、当該ゲート 106c 及び P 型ウェル 102 間が離れ、ドレイン 103d 側に生じる 12[V] の最大電圧差による影響を緩和させることができ、一方のソース 103c 側のゲート絶縁膜 105b の膜厚を 12[nm] に形成して薄膜化し得るようになされている。

[0294] 次に、図 1 1 B に示す NMOS スイッチ 123 には、ウェル濃度が周辺 NMOS トランジスタ 101 の P 型ウェル 102 のウェル濃度に比して低濃度の P 型ウェル 124 にソース 103c 及びドレイン 103e が所定間隔を空けて形成されている。P 型ウェル 124 内部には、ソースの端部にソース側イクステンション部 104c が形成され、これらソース 103c 及びソース側イクステンション部 104c を覆うように不純物濃度が異なる他のイクステンション部 125 が形成されている。

[0295] また、P 型ウェル 124 内部には、ドレイン 103e の端部に埋め込み酸化膜 105g が形成されており、これらドレイン 103e 及び埋め込み酸化膜 105g の底部にドレイン側イクステンション部 126 が形成され、ソース側のイクステンション部 125 と、埋め込み酸化膜 105g との間にチャネル領域が形成されている。ここで、P 型ウェル 124 は、ゲート 106d のドレイン 103e 側に位置する低端部と対向する位置に、埋め込み酸化膜 105g が形成されており、当該埋め込み酸化膜 105g を設けた分だけ、ゲート 106d がドレイン 103e 及びドレイン側イクステンション部 126 から遠ざかり、ドレイン 103e 側に生じる 12[V] の最大電圧差による影響を緩和させつつ、ゲート絶縁膜 105b の膜厚を 12[nm] に形成して薄膜化し得るようになされている。

[0296] また、その他、ドレイン 103d 側に生じる 12[V] の最大電圧差に対する耐圧構造としては、図 1 1 C に示す NMOS スイッチ 131 のように、P 型ウェル 132

のウェル濃度を、例えば周辺NMOSトランジスタ101のP型ウェル102のウェル濃度に比して低濃度に選定して、ソース103c及びドレイン103d間の降伏電圧そのものを上げた構成としたり、或いは、図11Dに示すNMOSスイッチ135のように、ゲート絶縁膜105hの膜厚を厚く選定した構成としてもよい。

[0297] (12) 不揮発性半導体記憶装置を用いた混載チップ

ここで、図12は、従来の不揮発性半導体記憶装置212（EEPRM又はFlashであり、図中、「EEPRM／Flash」と表記）を用いた混載チップ201と、本発明による不揮発性半導体記憶装置255（上述した不揮発性半導体記憶装置1, 21, 27, 31, 38, 41, 51, 55, 61に相当し、図中、「EEPRM／Flash」と表記）を用いた混載チップ251とを示している。この場合、従来の混載チップに201は、基板202の周縁に多数のボンディングパッド等の外部接続電極203が配置され、それら外部接続電極203で囲まれた内側領域に、ロジック回路電源207と、CPU208と、アナログ回路209と、不揮発性半導体記憶装置212と、RAM210とが設けられている。

[0298] 実際上、従来の混載チップ201では、ロジック回路電源207と、CPU208と、RAM210と、不揮発性半導体記憶装置212の周辺回路211とが、ロジック回路電源207により印加される例えば1.2[V]のロジック回路電圧に対する耐圧を持つ薄膜トランジスタで構成される領域AR10となり得る。また、この従来の混載チップ201では、アナログ回路209が、例えば5.0[V]や3.3[V]のインターフェース電圧に対する耐圧を持つトランジスタで構成される領域AR11となり得る。さらに、この従来の混載チップ201では、不揮発性半導体記憶装置212が、例えば12[V]や10[V]の書き換えゲート電圧に対する耐圧を持つ厚膜トランジスタで構成される領域AR12となり得る。

[0299] このように、従来の混載チップ201では、一般的に、1.2[V]のロジック回路電圧に対する耐圧構造として、例えばゲート絶縁膜が3[nm]の低圧トランジスタで構成される領域AR10と、5.0[V]や3.3[V]のインターフェース電圧に対する耐圧構造として、例えばゲート絶縁膜が12[nm]の5[V]トランジスタで構成

される領域AR11とを備えている。この場合、従来の混載チップ201では、領域AR10や領域AR11にて、低電圧のトランジスタ構成によりゲート絶縁膜を12[nm]程度に薄膜化できるにもかかわらず、不揮発性半導体記憶装置212を内蔵させることで、この不揮発性半導体記憶装置212の耐压構造に合わせて、例えば18[nm]の高耐压トランジスタを新たに追加することが必要となり、これに応じて製造マスク数も増加し、その分、プロセスコストも高くなるという問題があった。

[0300] 一方、本発明による不揮発性半導体記憶装置255は、データ書き込み時、例えば12[V]や10[V]の書き込みゲート電圧がワード線15に印加されるものの、PMOSスイッチ8a, 8c, … (8b, 8d, …) やNMOSスイッチ9a, 9c, … (9b, 9d, …) での電圧振幅を8[V]以下に設定し得ることから、PMOSスイッチ8a, 8c, … (8b, 8d, …) や、NMOSスイッチ9a, 9c, … (9b, 9d, …)、第1及び第2PMOS制御電圧発生回路、第1及び第2NMOS制御電圧発生回路にかかる電界を小さくすることができる。

[0301] その結果、本発明の不揮発性半導体記憶装置255を用いた混載チップ251では、書き込みゲート電圧や書き込み禁止ゲート電圧はそのままに、この書き換えゲート電圧等を扱う回路に標準的な5[V]トランジスタを使用することができ、専用の高耐压トランジスタを付加することなく、FlashメモリやEEPROMとなる不揮発性半導体記憶装置255を搭載できる。

[0302] (13) 他の実施の形態

なお、上述した実施の形態では、図1～図12において、データ書き込み時や、データ消去時における電圧値をそれぞれ明記しているが、本発明はこれに限らず、種々の電圧値を適用してもよく、例えば10[V]の書き込みゲート電圧等、必要に応じて電圧値を適宜変更してもよい。また、例えば、第2の実施の形態や第3の実施の形態等では、切替機構として、PMOSスイッチ8a, 8c, … (8b, 8d, …) とNMOSスイッチ9a, 9c, … (9b, 9d, …) の2種類のMOSスイッチで切替機構を構成した場合について述べたが、本発明はこれに限らず、PMOSスイッチだけで切替機構を構成したり、NMOSスイッチ

だけで切替機構を構成するようにしてもよい。

[0303] さらに、上述した実施の形態においては、電荷蓄積層に電荷を蓄積可能なメモリセルとして、シリコンチツ化膜層に電荷を蓄積可能なSONOS型のメモリセルCを適用した場合について述べたが、本発明はこれに限らず、トンネル酸化膜上に導電性のポリシリコンを形成し、その浮遊ゲートに電荷を蓄積するスタック型のメモリセル等その他種々のメモリセルを適用してもよい。

[0304] さらに、例えば第1の実施の形態等においては、非選択ユニット列2bにて、非選択ワード線15b, 15d, …や、P型メモリウエルPW2、非選択第1ビット線L1c、非選択第2ビット線L2cの各電圧値を全て同一電圧とし、一方、第5の実施の形態においては、非選択ユニット列32bにて、非選択ワード線15b, 15d, …及びP型メモリウエルPW2の電圧値と、非選択第1ビット線L1c及び非選択第2ビット線L2cの電圧値と電圧差を2[V]に設定した場合について述べたが、本発明はこれに限らず、非選択ユニット列2b, 32b, …にて、非選択ワード線15b, 15d, …及びP型メモリウエルPW2の電圧値の電圧差を1[V]以下に設定したり、或いは、非選択ワード線15b, 15d, …及びP型メモリウエルPW2の電圧値と、非選択第1ビット線L1c及び非選択第2ビット線L2cの電圧値と電圧差を1[V]以下に設定する等、要は、非選択ユニット列2b, 32b, …にて非選択メモリセルC2に電荷が蓄積されなければ、その他種々の電圧差に設定してもよい。

[0305] さらに、上述した第2の実施の形態においては、共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdに印加される制御電圧の電圧振幅を8[V]以下とし、第3の実施の形態においては、共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdに印加される制御電圧の電圧振幅を6[V]以下とし、第5の実施の形態においては、共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdに印加される制御電圧の電圧振幅を6[V]以下とし、第6の実施の形態においては、共通PMOS制御線PGa~PGd及び共通NMOS制御線NGa~NGdに印加される制御電圧の電圧振幅を4[V]以下にそれぞれ設定してもよく、その他、選択メモリセルC1に印加される書き込みゲート電圧（例えば12[V]）と、非選択メモリセルC2に印加される最小の書き込み禁止ゲー

ト電圧（例えば0[V]）との間に、共通PMOS制御線PGa～PGd及び共通NMOS制御線NGa～NGdに印加される制御電圧の電圧振幅が選定していれば、種々に電圧振幅を選定してもよい。

[0306] さらに、上述した第1～第7の実施の形態において、各実施の形態毎にそれぞれ発明の動作及び効果を記載したが、一の実施の形態と同一の構成を備える他の実施の形態では、仮に、他の実施の形態に記載されていない動作及び効果であったとしても、当然に一の実施の形態に記載した動作及び効果を奏するものである。

符号の説明

[0307] 1、21、27、31、38、41、51、55、61 不揮発性半導体記憶装置
2 ユニット列
4、34、44、64、78 電源ユニット
5a、5b 第1電源線（ユニット配線）
6a、6b 第2電源線（ユニット配線）
7a、7b、45a、45b 補助MOS電源線（補助切替電源線）
8a、8b、8c、8d、69a、69b、69c、69d PMOSスイッチ（切替機構）
9a、9b、9c、9d、70a、70b、70c、70d NMOSスイッチ（切替機構）
15 ワード線
36a、36b、36c、36d、71a、71b、71c、71d 補助NMOSスイッチ（補助スイッチ）
46a、46b、46c、46d 補助PMOSスイッチ（補助スイッチ）
C メモリセル
C1、C3 選択メモリセル
C2、C4 非選択メモリセル
L1 第1ビット線（ビット線）
L2 第2ビット線（ビット線）
PGa、PGb、PGc、PGd 共通PMOS制御線（共通配線）
NGa、NGb、NGc、NGd 共通NMOS制御線（共通配線）

67a、67b、67c、67d 共通電源線（共通配線）

VPa、VPb PMOS電源線（ユニット配線）

VNa、VNb NMOS電源線（ユニット配線）

PW2 P型メモリウエル（メモリセル）

NW2 N型メモリウエル（メモリウエル）

請求の範囲

[請求項1]

電荷蓄積ゲート電圧又は電荷蓄積禁止ゲート電圧のいずれか一方が印加される行列状に形成された複数のワード線と、前記各ワード線に連結された複数のメモリセルと、前記複数のメモリセルに選択的な電圧を印加するビット線とを備え、前記ワード線に印加された前記電荷蓄積ゲート電圧と、前記ビット線に印加された電圧との電圧差により、前記複数のメモリセルのうち選択メモリセルに電荷を蓄積させる不揮発性半導体記憶装置であって、

ワード線列毎に設けられた電源ユニットと、ワード線行毎に設けられた共通配線とを備え、各前記共通配線は、所定の共通電圧を前記ワード線行単位で各前記電源ユニットに印加し、

各前記電源ユニットには、

前記ワード線毎に設けられ、前記ワード線を前記共通配線に接続する切替機構と、

前記ワード線列に前記選択メモリセルがあるか否かに応じて、異なるユニット電圧を前記電源ユニット内の各前記切替機構に一律に印加するユニット配線とが設けられており、

各前記電源ユニット毎に印加される前記ユニット電圧と、前記共通電圧との電圧差を基に、各前記電源ユニットの前記切替機構をオンオフ動作させることで、前記電源ユニットを介して各前記ワード線に前記電荷蓄積ゲート電圧又は前記電荷蓄積禁止ゲート電圧を個別に印加する

ことを特徴とする不揮発性半導体記憶装置。

[請求項2]

前記切替機構は、少なくともPMOSスイッチとNMOSスイッチとを備えており、

前記PMOSスイッチ及び前記NMOSスイッチは、前記共通電圧と前記ユニット電圧とがそれぞれ印加されることにより生じる前記共通電圧と前記ユニット電圧との電圧差を基に個別にオンオフ動作する

ことを特徴する請求項 1 記載の不揮発性半導体記憶装置。

[請求項3]

前記共通配線は、

前記PMOSスイッチの制御ゲートに接続された共通PMOS制御線と、前記NMOSスイッチの制御ゲートに接続された共通NMOS制御線とであり、

前記ユニット配線は、

前記PMOSスイッチのソースに接続された第1電源線と、前記NMOSスイッチのソースに接続された第2電源線とであり、

前記PMOSスイッチ及び前記NMOSスイッチの各ドレインには前記ワード線が接続されている

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

[請求項4]

前記電源ユニットのうち、前記選択メモリセルがある選択ワード線が接続された選択電源ユニットでは、

前記NMOSスイッチがオフ状態になり、ソースに前記電荷蓄積ゲート電圧が印加されている前記PMOSスイッチがオン状態になることで、該PMOSスイッチのドレインから前記選択ワード線に前記電荷蓄積ゲート電圧を印加する

ことを特徴とする請求項 2 または 3 記載の不揮発性半導体記憶装置。

[請求項5]

前記共通PMOS制御線には、第1PMOS電源線及び第2PMOS電源線が第1選択手段を介して接続されており、

前記共通PMOS制御線は、前記第1選択手段によって、前記第1PMOS電源線又は前記第2PMOS電源線のいずれか一方の制御電圧を、各電源ユニットの前記PMOSスイッチに印加し、

前記共通NMOS制御線には、第1NMOS電源線及び第2NMOS電源線が第2選択手段を介して接続されており、

前記共通NMOS制御線は、前記第2選択手段によって、前記第1NMOS電源線又は前記第2NMOS電源線のいずれか一方の制御電

圧を、各前記電源ユニットの前記NMOSスイッチに印加することを特徴とする請求項3記載の不揮発性半導体記憶装置。

[請求項6]

前記共通配線は、
前記PMOSスイッチ及び前記NMOSスイッチの各ソースに接続された共通電源線であり、
前記ユニット配線は、
前記PMOSスイッチの制御ゲートに接続されたPMOS電源線と、前記NMOSスイッチの制御ゲートに接続されたNMOS電源線とであり、
前記PMOSスイッチ及びNMOSスイッチの各ドレインには前記ワード線が接続されている
ことを特徴とする請求項2記載の不揮発性半導体記憶装置。

[請求項7]

前記電源ユニットには、
前記切替機構毎に設けられ、前記ユニット配線と接続された補助スイッチと、
前記ワード線列に前記選択メモリセルがあるか否かに応じて、異なる補助制御電圧を前記電源ユニット内の各前記補助スイッチに一律に印加する補助切替電源線とが設けられており、
前記ワード線列内に前記非選択メモリセルだけを有するとき、前記ユニット電圧と前記補助制御電圧との電圧差を基に前記補助スイッチをオン動作させ、前記ユニット電圧を前記電荷蓄積禁止ゲート電圧として、前記選択メモリセル以外の非選択メモリセルだけが接続された非選択ワード線に印加する
ことを特徴とする請求項1～6のうちいずれか1項記載の不揮発性半導体記憶装置。

[請求項8]

前記選択メモリセルが接続された選択ワード線の行の前記共通配線に前記共通電圧として印加される一の制御電圧と、前記選択メモリセル以外の非選択メモリセルだけが接続された非選択ワード線の行の前

記共通配線に前記共通電圧として印加される他の制御電圧との制御電圧差が、

前記電荷蓄積ゲート電圧と、前記電荷蓄積禁止ゲート電圧との間の電圧値に選定されている

ことを特徴とする請求項 1～7 のうちのいずれか 1 項記載の不揮発性半導体記憶装置。

[請求項9]

前記制御電圧差が6[V]以下である

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

[請求項10]

前記制御電圧差が4[V]以下である

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

[請求項11]

前記切替機構の形成されるウエルが、各電源ユニット毎に電氣的に

分離して形成されている

ことを特徴とする請求項 1～10 のうちのいずれか 1 項記載の不揮発性半導体記憶装置。

[請求項12]

各前記ワード線列は各々電氣的に離間したP型メモリウエルで構成

され、前記メモリセルがNチャネル型の構成を有しており、

前記切替機構は、前記選択メモリセルが接続された選択ワード線に

対して、前記ビット線に印加される電圧よりも高い電圧値の前記ユニ

ット電圧を、前記電荷蓄積ゲート電圧として印加する

ことを特徴とする請求項 1～11 のうちのいずれか 1 項記載の不揮発性半導体記憶装置。