

数据纠错电路和数据传输方法

交叉引用

本公开要求于 2022 年 03 月 04 日提交的申请号为 202210209652.0、名称为“数据纠错电路和数据传输方法”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，具体而言，涉及一种数据纠错电路以及应用于该数据纠错电路的数据传输方法。

背景技术

由于存储器和系统（控制器/处理器）之间的信道速度越来越高，对信号的传输准确性提出了巨大的挑战，在此背景下，相关技术在数据接收终端（控制器/处理器）中设置链路纠错电路（Link ECC，Link Error Correcting Code）来对接收到的数据进行纠错，以纠正信道传输可能产生的错误。

为了准确提高纠错准确度，相关技术通常需要在数据接收终端根据接收到的数据和该数据对应的第一校验码，生成包括该数据的全校验值的第二校验码，再根据该第二校验码对该数据进行纠错。其中，全校验值是根据该数据和该第一校验码的每一位生成的。这对数据接收终端的电路功能设置了门槛，也增加了数据接收终端的元件数量和布局面积。

因此，如何降低在保持纠错准确性不变的情况下降低对数据接收终端的要求，成为具有数据传输功能的集成电路可以改进的一个技术点。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种数据纠错电路以及应用于该数据纠错电路的数据传输方法，用于至少在一定程度上克服相关技术中数据纠错功能所需电路元件较多、占用布局面积较大的问题。

根据本公开的第一方面，提供一种数据纠错电路，设置在存储器中，包括：数据纠错模块，接收第一数据和所述第一数据对应的第一校验码，所述数据纠错模块用于根据所述第一校验码对所述第一数据进行纠错以生成第二数据，并输出所述第二数据；校验码生成模块，接收所述第一数据和所述第一校验码，用于根据所述第一数据和所述第一校验码生成并输出第二校验码。

在本公开的一个示例性实施例中，所述数据纠错模块包括：纠错码生成单元，接收所

述第一数据和所述第一校验码,用于根据所述第一数据和所述第一校验码生成数据纠错码和校验纠错码;数据纠错单元,连接所述纠错码生成单元,用于接收所述第一数据和所述数据纠错码,并根据所述数据纠错码对所述第一数据进行纠错以生成并输出第二数据。

在本公开的一个示例性实施例中,所述校验码生成模块连接所述纠错码生成单元并接收所述数据纠错码和所述校验纠错码,所述校验码生成模块根据所述数据纠错码或所述校验纠错码纠正所述第二校验码。

在本公开的一个示例性实施例中,所述校验码生成模块包括:全校验值生成单元,连接所述纠错码生成单元,用于接收所述第一数据和所述第一校验码,并根据所述第一数据、所述第一校验码和所述数据纠错码生成全校验值,或者,根据所述第一数据、所述第一校验码和所述校验纠错码生成所述全校验值,所述第二校验码包括所述全校验值。

在本公开的一个示例性实施例中,所述全校验值生成单元包括:全校验值计算单元,接收所述第一数据和所述第一校验码,用于根据所述第一数据和所述第一校验码生成初始全校验值;全校验值纠错单元,连接所述全校验值计算单元和所述纠错码生成单元,用于根据所述数据纠错码或所述校验码纠错码对所述初始全校验值进行纠错并输出所述全校验值。

在本公开的一个示例性实施例中,所述全校验值纠错单元用于在接收到所述数据纠错码或所述校验纠错码后,对所述初始全校验值取反以生成所述全校验值。

在本公开的一个示例性实施例中,所述初始全校验值通过对所述第一数据中的每一位以及所述第一校验码中的每一位进行异或计算后得到。

在本公开的一个示例性实施例中,所述校验码生成模块包括:校验码纠错单元,连接所述纠错码生成单元,接收所述第一校验码,用于根据所述校验纠错码对所述第一校验码进行纠错,所述第二校验码包括纠错后的所述第一校验码。

在本公开的一个示例性实施例中,所述第二校验码的最高位为所述全校验值,纠错后的所述第一校验码构成所述第二校验码的其余位。

在本公开的一个示例性实施例中,所述第一校验码包括8位数据。

根据本公开的第二方面,提供一种存储器,包括:如上任一项所述的数据纠错电路;第一输出端,用于输出第二数据;第二输出端,用于输出所述第二数据对应的第二校验码。

根据本公开的第三方面,提供一种集成存储装置,包括:如上所述的存储器;控制器,连接所述存储器,用于接收第二数据和第二校验码,根据所述第二校验码对所述第二数据进行校验和纠错。

在本公开的一个示例性实施例中,所述控制器根据所述第二校验码确定所述第二数据中是否存在多位错误。

根据本公开的第四方面,提供一种数据传输方法,由如上任一项所述的存储器执行,包括:获取待传输的第一数据和与所述第一数据对应的第一校验码;根据所述第一校验码和所述第一数据对所述第一数据进行纠错以生成第二数据;根据所述第一数据和所述

第一校验码生成第二校验码；同时输出所述第二数据和所述第二校验码至控制器，以使控制器根据所述第二校验码对所述第二数据进行校验和纠错。

在本公开的一个示例性实施例中，所述根据所述第一数据和所述第一校验码生成第二校验码包括：对所述第一数据的每一位和所述第一校验码的每一位的进行异或运算生成初始全校验值；获取所述第一数据和所述第一校验码的校验结果；根据所述校验结果、所述
5 第一校验码和所述全校验值生成所述第二校验码。

在本公开的一个示例性实施例中，所述根据所述校验结果、所述第一校验码和所述全校验值生成所述第二校验码包括：在根据所述校验结果确定所述第一校验码发生错误、所述第一数据未发生错误时，对所述初始全校验值纠错以生成全校验值，对所述第一校验码
10 纠错；根据纠错后的所述第一校验码、所述全校验值生成所述第二校验码。

在本公开的一个示例性实施例中，所述根据所述校验结果、所述第一校验码和所述全校验值生成所述第二校验码包括：在根据所述校验结果确定所述第一校验码未发生错误，所述第一数据发生错误时，对所述初始全校验值纠错以生成全校验值；根据所述第一校验码和所述全校验值生成所述第二校验码。

在本公开的一个示例性实施例中，所述根据所述校验结果、所述第一校验码和所述全校验值生成所述第二校验码包括：在根据所述校验结果确定所述第一数据和所述第一校验码均未发生错误时，根据所述第一校验码和所述初始全校验值生成所述第二校验码。

在本公开的一个示例性实施例中，所述对所述初始全校验值纠错以生成全校验值包括：对所述初始全校验值取反以生成所述全校验值。

在本公开的一个示例性实施例中，所述根据所述第一数据和所述第一校验码生成第二校验码包括：获取所述第一数据和所述第一校验码的校验结果；在根据所述校验结果确定所述第一数据和所述第一校验码均未出现错误时，对所述第一数据的每一位和所述第一校验码的每一位进行异或运算后确定全校验值，根据所述全校验值和所述第一校验码生成所述
20 第二校验码；在根据所述校验结果确定仅所述第一数据出现错误时，对所述第二数据的每一位和所述第一校验码的每一位进行异或运算后确定全校验值；根据所述全校验值和所述第一校验码生成所述第二校验码；在根据所述校验结果确定仅所述第一校验码出现错误时，对所述第一数据的每一位和纠错后的所述第一校验码的每一位进行异或运算后确定全校验值，根据所述全校验值和纠错后的所述第一校验码生成所述第二校验码。

本公开实施例通过在存储器的数据纠错电路中完成第二校验码的生成，并直接输出纠错后的第二数据以及该第二数据对应的第二校验码，可以使数据接收终端直接根据该第二校验码对该第二数据进行校验和纠错，减少了相关技术中在数据接收终端根据接收到的数据和校验码再次生成校验码的繁琐程序，降低了对数据接收终端的功能要求，进而减少了数据接收终端的元件数量和布局面积，提高了存储器的兼容能力。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。
35

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本公开示例性实施例中数据纠错电路的结构示意图。

图 2 是本公开一个实施例中数据纠错电路的示意图。

图 3 是本公开一个实施例中图 2 所示全校验值生成单元 121 的示意图。

图 4 是本公开实施例提供的存储器的示意图。

图 5 是应用图 4 所示存储器的集成存储装置的示意图。

图 6 是本公开实施例提供的数据传输方法的流程图。

图 7 是本公开一个实施例中步骤 S3 的子流程图。

图 8 是本公开一个实施例中图 7 所示步骤 S33 的子流程图。

图 9 是本公开另一个实施例中步骤 S3 的子流程图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 1 是本公开示例性实施例中数据纠错电路的结构示意图。

参考图 1，数据纠错电路 100 设置在存储器中，可以包括：

数据纠错模块 11，接收第一数据 Data1 和第一数据对应的第一校验码 Parity1，数据纠错模块 11 用于根据第一校验码 Parity1 对第一数据 Data1 进行纠错以生成第二数据 Data2，并输出第二数据 Data2；

校验码生成模块 12，接收第一数据 Data1 和第一校验码 Parity1，用于根据第一数据 Data1 和第一校验码 Parity1 生成并输出第二校验码 Parity2。

存储器作为数据发送终端对数据接收终端发送数据时，会在输出数据前，对待发送的数据中可能由存储阵列导致的错误进行纠错，即设置片上纠错电路（On Die ECC，On Die Error Correcting Code），用来对存储阵列的错误进行纠错。

本公开实施例通过对存储器的片上纠错电路进行改进，可以在实现对第一数据 Data1 纠错的同时，直接根据第一数据 Data1 和第一校验码 Parity1 生成并输出第二校验码 Parity2，使数据接收终端能够直接根据该第二校验码对存储器最终输出的第二数据 Data2 进行校验和纠错，减少了相关技术中在数据接收终端根据接收到的数据和校验码再次生成校验码的繁琐程序，节省了对数据接收终端的功能要求，进而减少了数据接收终端的元件数量和布局面积，提高了存储器的兼容能力。

图 2 是本公开一个实施例中数据纠错电路的示意图。在图 2 所示实施例中，假设第一数据 Data1 是 128 位，表示为 Data<127:0>，对应的，第一校验码（第一数据的 ECC 校验码）Parity1 为 8 位，表示为 Parity<7:0>，第二数据 Data2 为 128 位，表示为 ABus<127:0>，第二校验码 Parity2 包括第二数据 Data2 的全校验值，为 9 位，表示为 ABusParity<8:0>。

参考图 2，在一个实施例中，数据纠错模块 11 包括：

纠错码生成单元 111，接收第一数据 Data<127:0>和第一校验码 Parity<7:0>，用于根据第一数据 Data<127:0>和第一校验码 Parity<7:0>生成数据纠错码 Code1 或校验纠错码 Code2。

数据纠错单元 112，连接纠错码生成单元 111，用于接收第一数据 Data<127:0>和数据纠错码 Code1，并根据数据纠错码 Code1 对第一数据 Data<127:0>进行纠错以生成并输出第二数据 ABus<127:0>。

校验码生成模块 12 连接纠错码生成单元 111 并接收数据纠错码 Code1 和校验纠错码 Code2，校验码生成模块 12 根据数据纠错码 Code1 或校验纠错码 Code2 纠正第二校验码 ABusParity<8:0>。

示例性的，在一个实施例中，校验码生成模块 12 包括：

全校验值生成单元 121，连接纠错码生成单元 111，用于接收第一数据 Data<127:0>和第一校验码 Parity<7:0>，并根据第一数据 Data<127:0>、第一校验码 Parity<7:0>和数据纠错码 Code1 生成全校验值 Parity<8>，或者，根据第一数据 Data<127:0>、第一校验码 Parity<7:0>和校验纠错码 Code2 生成全校验值 Parity<8>，第二校验码 ABusParity<8:0>包括全校验值 Parity<8>。

校验码纠错单元 122，连接纠错码生成单元 111，接收第一校验码 Parity<7:0>，用于根据校验纠错码 Code2 对第一校验码 Parity<7:0>进行纠错输出纠错后的第一校验码 ABusParity<7:0>，第二校验码 ABusParity<8:0>包括纠错后的第一校验码 ABusParity<7:0>。

全校验值 Parity<8>和纠错后的第一校验码 ABusParity<7:0>配合输出，以形成第二校

验码 ABusParity<8:0>。在一个实施例中，第二校验码 ABusParity<8:0>的最高位为全校验值 Parity<8>，纠错后的第一校验码 Parity<7:0>构成第二校验码 ABusParity<8:0>的其余位。通过设置全校验值生成单元 121 和校验码纠错单元 122 的输出时序，可以通过全校验值生成单元 121 和校验码纠错单元 122 配合输出 9 位的第二校验码 ABusParity<8:0>。

5 在本公开实施例中，第一校验码为存储器输出的第一数据的 ECC 校验码。ECC 校验码的生成，是根据设定规则对第一数据中的不同位（bit）进行异或运算，将多组不同位的异或结果设置为 ECC 校验码的一位（bit）。根据 ECC 校验码的生成规则，可以根据数据的 ECC 校验码检测该数据是否存在错误，并对该错误的的数据位通过 ECC 校验码进行纠错。通过使用数据的 ECC 校验码对该数据进行校验，可以检测出数据的奇数个 bit 的错误。

10 数据的第二校验码是根据该数据和该数据的第一校验码生成的。数据的第二校验码的低若干位是该数据的第一校验码，最高位是该数据的全校验值。全校验值根据该数据和该数据的第一校验码生成，在一个实施例中，全校验值例如可以为该数据的每一位以及该第一校验码的每一位的异或结果。根据上述规则，通过使用数据的第二校验码对该数据进行校验，可以检测出该数据是否存在偶数个 bit 的错误数据。

15 结合数据的第一校验码和第二校验码，即可以对数据进行全面的校验和纠错。

 在图 2 所示实施例中，纠错码生成单元 111 接收第一数据和第一校验码，由于第一校验码根据第一数据生成，纠错码生成单元 111 可以对第一数据和第一校验码进行校验，并根据校验结果判断第一数据和第一校验码是否存在错误。纠错码生成单元 111 通过输出的两种纠错码的值来指示校验结果。一种纠错码是用于指示第一数据存在错误的的数据纠错码 Code1，另一种纠错码是用于指示第一校验码存在错误的的校验纠错码 Code2。可以假设，当数据纠错码 Code1 为第一值时，指示第一数据存在错误，当数据纠错码 Code1 为第二值时，指示第一数据正确，第一值与第二值例如分别为逻辑电平 1 和逻辑电平 0，或者第一值与第二值分别为其他值，本公开对此不作特殊限制。同理，可以假设当校验纠错码 Code2 为第一值时，指示第一校验码存在错误，当校验纠错码 Code2 为第二值时，指示第一校验码正确。

25 数据纠错单元 112 用于对第一数据进行纠错，当数据纠错单元 112 接收到代表数据错误的的数据纠错码 Code1 时，数据纠错单元 112 会根据数据纠错码 Code1 对第一数据纠错，以输出第二数据，当数据纠错单元 112 接收到代表数据正确的的数据纠错码 Code1 时，数据纠错单元 112 会根据数据纠错码 Code1 不对第一数据进行纠错，直接将第一数据作为第二数据输出。

30 同理，校验纠错单元 122 用于对第一校验码进行纠错，当校验纠错单元 122 接收到代表第一校验码错误的的校验纠错码 Code2 时，校验纠错单元 122 会根据校验纠错码 Code2 对第一校验码纠错，以输出纠错后的第一校验码，当校验纠错单元 122 接收到代表第一校验码正确的的校验纠错码 Code2 时，校验纠错单元 122 会根据校验纠错码 Code2 不对第一校验码进行纠错，直接将第一校验码作为纠错后的第一校验码输出。

校验码生成模块 12 需要生成涉及第一数据和第一校验码的第二校验码，无论是第一数据还是第一校验码出现错误，均会影响全校验值的正确性，校验码生成模块 12 接收数据纠错码 Code1 和校验纠错码 Code2。

其中，全校验值生成单元 121 用于生成第一数据的全校验值，无论是第一数据还是第一校验码出现错误，均会影响全校验值的正确性，全校验值生成单元 121 同时接收数据纠错码 Code1 和校验纠错码 Code2。

校验码纠错单元 122 仅对第一校验码进行纠错，因此，接收校验纠错码 Code2，并根据校验纠错码 Code2 的指示对第一校验码进行纠错，输出纠错后的第一校验码 ABusParity<7:0>（同样为 8 位）。

在本公开实施例中，不但对第一数据进行纠错以生成第二数据，还根据第一数据是否正确来修正全校验值，进而修正第二校验码，由此可以生成保证第二校验码的准确性。此外，本公开实施例还对第一校验码进行检验，并在第一校验码发生错误时，对第一校验码和全校验值进行纠错，可以进一步保证第二校验码的准确性。

因此，本公开实施例可以提高第二校验码的准确性，并且，由于利用了已有的存储器片上纠错电路，电路结构和信号连接也并未增加较大负担，相比于相关技术中在存储器连接的每个数据接收终端中均需要设置的第二校验码的生成电路而言，本公开实施例可以极大节省存储器与各数据接收终端的总和电路元件数量以及布局面积。

图 3 是本公开一个实施例中图 2 所示全校验值生成单元 121 的示意图。

参考图 3，在一个实施例中，全校验值生成单元 121 可以包括：

全校验值计算单元 1211，接收第一数据 Data<127:0>和第一校验码 Parity<7:0>，用于根据第一数据 Data<127:0>和第一校验码 Parity<7:0>生成初始全校验值 NParity<8>；

全校验值纠错单元 1212，连接全校验值 Parity<8>计算单元和纠错码生成单元 111，用于根据数据纠错码 Code1 或校验码纠错码 Code2 对初始全校验值 NParity<8>进行纠错并输出全校验值 Parity<8>。

其中，初始全校验值 NParity<8>例如可以通过对第一数据 Data<127:0>中的每一位以及第一校验码 Parity<7:0>中的每一位进行异或计算后得到。

在一个实施例中，全校验值纠错单元 1212 用于在接收到数据纠错码 Code1 和校验纠错码 Code2 后，对初始全校验值 NParity<8>取反以生成全校验值 Parity<8>。

图 3 所示实施例对应的数据纠错电路的工作逻辑整体例如为以下逻辑：

纠错码生成单元 111 判断如果第一数据 Data<127:0>和第一校验码 Parity<7:0>均无错，则纠错码生成单元 111 会输出代表数据和校验码正确的 Code1 和 Code2 值，则校验码纠错单元 122 将不会对第一校验码 Parity<7:0>进行纠错而直接输出作为纠错后的第一校验码 ABusParity<7:0>（即第二校验码的低 8 位），全校验值纠错单元 1212 在接收到代表数据和校验码正确的数据纠错码 Code1 和校验纠错码 Code2 值后不会对全校验值进行纠错，会将全校验值计算单元 1211 运算得到的初始全校验值 NParity<8>直接作为全校验

码 Parity<8>输出，纠错后的第一校验码 ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>。数据纠错单元 112 将第一数据 Data<127:0>直接作为第二数据 ABUS<127:0>输出，控制数据纠错模块 11 和校验码生成模块 12 的发送时序，以同时将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。

5 如果纠错码生成单元 111 判断第一数据 Data<127:0>有错，则校验码纠错单元 122 接收代表第一校验码正确的校验纠错码 Code2，将不会对第一校验码 Parity<7:0>纠错而将第一校验码 Parity<7:0>直接输出作为纠错后的第一校验码 ABUSParity<7:0>（即第二校验码的低 8 位），全校验值纠错单元 1212 会根据代表数据错误的的数据纠错码 Code1 将全校验值计算单元 1211 运算得到的初始全校验值 NParity<8>取反后作为 Parity<8>（即第二校验码的最高位）输出，纠错后的第一校验码 ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>，数据纠错单元 112 会根据代表数据错误的的数据纠错码 Code1 对第一数据 Data<127:0>纠错后输出第二数据 ABUS<127:0>，控制数据纠错模块 11 和校验码生成模块 12 的发送时序，以同时将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。

15 如果纠错码生成单元 111 判断第一校验码 Parity<7:0>有错，则校验码纠错单元 122 接收代表第一校验码正确的校验纠错码 Code2，对第一校验码 Parity<7:0>纠错后输出纠错后的第一校验码 ABUSParity<7:0>（即第二校验码的低 8 位），全校验值纠错单元 1212 会根据代表第一校验码正确的校验纠错码 Code2，将全校验值计算单元 1211 运算得到的初始全校验值 NParity<8>取反后作为 Parity<8>（即第二校验码的最高位）输出，纠错后的第一校验码 ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>，和数据纠错单元 112 会根据代表数据正确的的数据纠错码 Code1 不对第一数据 Data<127:0>纠错直接作为第二数据 ABUS<127:0>输出，控制数据纠错模块 11 和校验码生成模块 12 的发送时序，以同时将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。

图 4 是本公开实施例提供的存储器的示意图。

25 参考图 4，一种存储器 400 可以包括：

如上述实施例所述的数据纠错电路；

第一输出端 OUT1，用于输出第二数据 Data2；

第二输出端 OUT2，用于输出第二数据 Data2 对应的第二校验码 Parity2。

图 4 所示的存储器具有直接输出包含第二数据的全校验码的第二校验码的功能，无需数据接收终端另外设置全校验码生成模块，允许数据接收终端直接根据第二校验码对第二数据进行校验和纠错，可以极大降低对数据接收终端的技术要求和功耗，在连接多个数据接收终端时，极大降低整体电路的面积和功耗。

图 5 是应用图 4 所示存储器的集成存储装置的示意图。

参考图 5，集成存储装置 500 可以包括：

35 存储器 400；

控制器 51, 连接存储器 400, 用于接收第二数据 Data2 和第二校验码 Parity2, 根据第二校验码 Parity2 对第二数据 Data2 进行校验和纠错。

在一个实施例中, 控制器 51 可以根据第二校验码 Parity2 确定第二数据 Data2 中是否存在多位错误。

5 图 5 所示集成存储装置无需在控制器 51 中设置全校验值生成电路, 控制器 51 可以直接根据包含全校验值的第二校验值对第二数据进行校验和纠错, 因此, 控制器 51 具有更小的电路面积以及更低的功耗。

图 6 是本公开实施例提供的数据传输方法的流程图。图 6 所示方法可以由图 5 所示的存储器 400 执行。

10 参考图 6, 数据传输方法 600 可以包括:

步骤 S1, 获取待传输的第一数据和与第一数据对应的第一校验码;

步骤 S2, 根据第一校验码和第一数据对第一数据进行纠错以生成第二数据;

步骤 S3, 根据第一数据和第一校验码生成第二校验码;

15 步骤 S4, 同时输出第二数据和第二校验码至控制器, 以使控制器根据第二校验码对第二数据进行校验和纠错。

结合图 1 和图 2, 图 6 所示步骤 S1 可以由数据纠错模块 11 和校验码生成模块 12 共同执行, 步骤 S2 由数据纠错模块 11 执行, 步骤 S3 由校验码生成模块 12 执行, 步骤 S4 由数据纠错模块 11 和校验码生成模块 12 共同执行。

20 第一数据对应的第一校验码例如为 ECC 校验码, 第二校验码根据第一数据和该 ECC 校验码形成。通过在存储器上直接根据第一数据和第一校验码生成第二校验码, 可以使数据接收终端直接根据第二校验码对第二数据进行纠错, 节省数据接收终端的电路元件数量和布局面积, 提高存储器的兼容性。

图 7 是本公开一个实施例中步骤 S3 的子流程图。

参考图 7, 在一个实施例中, 步骤 S3 可以包括:

25 步骤 S31, 对第一数据的每一位和第一校验码的每一位的进行异或运算生成初始全校验值;

步骤 S32, 获取第一数据和第一校验码的校验结果;

步骤 S33, 根据校验结果、第一校验码和全校验值生成第二校验码。

30 图 7 所示实施例可以由图 3 所示电路执行。步骤 S31 可以由全校验值计算单元 1211 执行, 步骤 S32 和步骤 S33 可以由全校验值纠错单元 1212 执行。

图 8 是本公开一个实施例中图 7 所示步骤 S33 的子流程图。

参考图 7, 在一个实施例中, 步骤 S33 可以包括:

35 步骤 S331, 在根据校验结果确定第一校验码发生错误、第一数据未发生错误时, 对初始全校验值纠错以生成全校验值, 对第一校验码纠错, 然后, 根据纠错后的第一校验码、全校验值生成第二校验码。

步骤 S332, 在根据校验结果确定第一校验码未发生错误, 第一数据发生错误时, 对初始全校验值纠错以生成全校验值, 然后, 根据第一校验码和全校验值生成第二校验码。

步骤 S333, 在根据校验结果确定第一数据和第一校验码均未发生错误时, 根据第一校验码和初始全校验值生成第二校验码。

- 5 其中, 对初始全校验值纠错以生成全校验值包括对初始全校验值取反以生成全校验值。

在图 2 和图 3 所示实施例中, 图 7 所示方法可以表述为以下形式:

- 如果第一数据 Data<127:0>和第一校验码 Parity<7:0>均无错, 则将第一校验码 Parity<7:0>作为 ABUSParity<7:0> (即第二校验码的低 8 位), 将运算得到的初始全校验值 NParity<8>作为全校验码 Parity<8>, ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>。将第一数据 Data<127:0>直接作为第二数据 ABUS<127:0>发送, 同时将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。
- 10

- 如果第一数据 Data<127:0>有错, 则将第一校验码 Parity<7:0>作为 ABUSParity<7:0> (即第二校验码的低 8 位), 将运算得到的初始全校验值 NParity<8>取反后作为全校验码 Parity<8>, ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>, 在对第一数据 Data<127:0>纠错后发送第二数据 ABUS<127:0>, 然后将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。
- 15

- 如果第一校验码 Parity<7:0>有错, 则在全校验值纠错单元 1212 对第一校验码 Parity<7:0>纠错后作为 ABUSParity<7:0> (即第二校验码的低 8 位), 将运算得到的初始全校验值 NParity<8>取反后作为全校验码 Parity<8>, ABUSParity<7:0>和 Parity<8>形成第二校验码 ABUSParity<8:0>, 将第一数据 Data<127:0>直接作为第二数据 ABUS<127:0>发送, 然后将第二校验码 ABUSParity<8:0>和第二数据 ABUS<127:0>通过输出端口送出去。
- 20

除了先生成全校验值, 再直接根据数据纠错码和校验纠错码对全校验值纠错, 还可以先纠错, 再根据纠错后的正确数据生成全校验值。

- 25 图 9 是本公开另一个实施例中步骤 S3 的子流程图。

参考图 9, 在另一个实施例中, 步骤 S3 可以包括:

步骤 S91, 获取第一数据和第一校验码的校验结果;

- 步骤 S92, 在根据校验结果确定第一数据和第一校验码均未出现错误时, 对第一数据的每一位和第一校验码的每一位进行异或运算后确定全校验值, 根据全校验值和第一校验码生成第二校验码;
- 30

步骤 S93, 在根据校验结果确定仅第一数据出现错误时, 对第二数据的每一位和第一校验码的每一位进行异或运算后确定全校验值; 根据全校验值和第一校验码生成第二校验码;

- 步骤 S94, 在根据校验结果确定仅第一校验码出现错误时, 对第一数据的每一位和纠错后的第一校验码的每一位进行异或运算后确定全校验值, 根据全校验值和纠错后的第一
- 35

校验码生成第二校验码。

图 9 所示实施例可以应用在第一校验码为非 ECC 校验码的其他种类的校验码时，具有更加准确的处理结果。

在图 9 所示实施例中，如果仅第一数据出现错误，则直接使用纠错后的第二数据生成全校验值，这就要求对第一数据的纠错要在生成第二校验值之前完成。如果仅第一校验码出现错误，则需要首先对第一校验码进行纠错，然后生成全校验值，这就要求对第一校验码的纠错要在生成全校验值之前完成。在第一校验码为 ECC 校验码时，图 7 所示实施例相比于图 9 所示实施例，可以迅速生成全校验值，并且根据 ECC 校验码的生成原理，通过取反这一简单的动作纠正全校验值，无需等待对第一数据的纠错和对第一校验值的纠错，两种纠错可以和生成全校验值的过程并行运行，数据处理速度较快。

综上所述，本公开实施例提供的数据处理方法，可以在实现对第一数据纠错的同时，直接根据第一数据和第一校验码生成并输出第二校验码，使数据接收终端能够直接根据该第二校验码对存储器最终输出的第二数据进行校验和纠错，节省了对数据接收终端的功能要求，进而减少了数据接收终端的元件数量和布局面积，提高了存储器的兼容能力。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

20

工业实用性

本公开实施例通过在存储器的数据纠错电路中完成第二校验码的生成，并直接输出纠错后的第二数据以及该第二数据对应的第二校验码，可以使数据接收终端直接根据该第二校验码对该第二数据进行校验和纠错，减少了相关技术中在数据接收终端根据接收到的数据和校验码再次生成校验码的繁琐程序，降低了对数据接收终端的功能要求，进而减少了数据接收终端的元件数量和布局面积，提高了存储器的兼容能力。

25

权利要求

1.一种数据纠错电路，设置在存储器中，包括：

5 数据纠错模块，接收第一数据和所述第一数据对应的第一校验码，所述数据纠错模块用于根据所述第一校验码对所述第一数据进行纠错以生成第二数据，并输出所述第二数据；

校验码生成模块，接收所述第一数据和所述第一校验码，用于根据所述第一数据和所述第一校验码生成并输出第二校验码。

2.如权利要求1所述的数据纠错电路，其中，所述数据纠错模块包括：

10 纠错码生成单元，接收所述第一数据和所述第一校验码，用于根据所述第一数据和所述第一校验码生成数据纠错码和校验纠错码；

数据纠错单元，连接所述纠错码生成单元，用于接收所述第一数据和所述数据纠错码，并根据所述数据纠错码对所述第一数据进行纠错以生成并输出第二数据。

3.如权利要求2所述的数据纠错电路，其中，所述校验码生成模块连接所述纠错码生成单元并接收所述数据纠错码和所述校验纠错码，所述校验码生成模块根据所述数据纠错码或所述校验纠错码纠正所述第二校验码。

4.如权利要求2所述的数据纠错电路，其中，所述校验码生成模块包括：

20 全校验值生成单元，连接所述纠错码生成单元，用于接收所述第一数据和所述第一校验码，并根据所述第一数据、所述第一校验码和所述数据纠错码生成全校验值，或者，根据所述第一数据、所述第一校验码和所述校验纠错码生成所述全校验值，所述第二校验码包括所述全校验值。

5.如权利要求4所述的数据纠错电路，其中，所述全校验值生成单元包括：

全校验值计算单元，接收所述第一数据和所述第一校验码，用于根据所述第一数据和所述第一校验码生成初始全校验值；

25 全校验值纠错单元，连接所述全校验值计算单元和所述纠错码生成单元，用于根据所述数据纠错码或所述校验码纠错码对所述初始全校验值进行纠错并输出所述全校验值。

6.如权利要求5所述的数据纠错电路，其中，所述全校验值纠错单元用于在接收到所述数据纠错码或所述校验纠错码后，对所述初始全校验值取反以生成所述全校验值。

30 7.如权利要求5或6所述的数据纠错电路，其中，所述初始全校验值通过对所述第一数据中的每一位以及所述第一校验码中的每一位进行异或计算后得到。

8.如权利要求4-6任一项所述的数据纠错电路，其中，所述校验码生成模块包括：

校验码纠错单元，连接所述纠错码生成单元，接收所述第一校验码，用于根据所述校验纠错码对所述第一校验码进行纠错，所述第二校验码包括纠错后的所述第一校验码。

35 9.如权利要求8所述的数据纠错电路，其中，所述第二校验码的最高位为所述全校验值，纠错后的所述第一校验码构成所述第二校验码的其余位。

- 10.如权利要求 8 所述的数据纠错电路，其中，所述第一校验码包括 8 位数据。
- 11.一种存储器，包括：
- 如权利要求 1~10 任一项所述的数据纠错电路；
- 第一输出端，用于输出第二数据；
- 5 第二输出端，用于输出所述第二数据对应的第二校验码。
- 12.一种集成存储装置，包括：
- 如权利要求 11 所述的存储器；
- 控制器，连接所述存储器，用于接收第二数据和第二校验码，根据所述第二校验码对所述第二数据进行校验和纠错。
- 10 13.如权利要求 12 所述的集成存储装置，其中，所述控制器根据所述第二校验码确定所述第二数据中是否存在多位错误。
- 14.一种数据传输方法，由权利要求 11 所述的存储器执行，包括：
- 获取待传输的第一数据和与所述第一数据对应的第一校验码；
- 根据所述第一校验码和所述第一数据对所述第一数据进行纠错以生成第二数据；
- 15 根据所述第一数据和所述第一校验码生成第二校验码；
- 同时输出所述第二数据和所述第二校验码至控制器，以使控制器根据所述第二校验码对所述第二数据进行校验和纠错。
- 15.如权利要求 14 所述的数据传输方法，其中，所述根据所述第一数据和所述第一校验码生成第二校验码包括：
- 20 对所述第一数据的每一位和所述第一校验码的每一位的进行异或运算生成初始全校验值；
- 获取所述第一数据和所述第一校验码的校验结果；
- 根据所述校验结果、所述第一校验码和所述全校验值生成所述第二校验码。
- 16.如权利要求 15 所述的数据传输方法，其中，所述根据所述校验结果、所述第一校
- 25 验码和所述全校验值生成所述第二校验码包括：
- 在根据所述校验结果确定所述第一校验码发生错误、所述第一数据未发生错误时，对所述初始全校验值纠错以生成全校验值，对所述第一校验码纠错；
- 根据纠错后的所述第一校验码、所述全校验值生成所述第二校验码。
- 17.如权利要求 15 所述的数据传输方法，其中，所述根据所述校验结果、所述第一校
- 30 验码和所述全校验值生成所述第二校验码包括：
- 在根据所述校验结果确定所述第一校验码未发生错误，所述第一数据发生错误时，对所述初始全校验值纠错以生成全校验值；
- 根据所述第一校验码和所述全校验值生成所述第二校验码。
- 18.如权利要求 15 所述的数据传输方法，其中，所述根据所述校验结果、所述第一校
- 35 验码和所述全校验值生成所述第二校验码包括：

在根据所述校验结果确定所述第一数据和所述第一校验码均未发生错误时,根据所述第一校验码和所述初始全校验值生成所述第二校验码。

19.如权利要求 16 或 17 所述的数据传输方法,其中,所述对所述初始全校验值纠错以生成全校验值包括:

- 5 对所述初始全校验值取反以生成所述全校验值。

20.如权利要求 14 所述的数据传输方法,其中,所述根据所述第一数据和所述第一校验码生成第二校验码包括:

获取所述第一数据和所述第一校验码的校验结果;

- 10 在根据所述校验结果确定所述第一数据和所述第一校验码均未出现错误时,对所述第一数据的每一位和所述第一校验码的每一位进行异或运算后确定全校验值,根据所述全校验值和所述第一校验码生成所述第二校验码;

在根据所述校验结果确定仅所述第一数据出现错误时,对所述第二数据的每一位和所述第一校验码的每一位进行异或运算后确定全校验值;根据所述全校验值和所述第一校验码生成所述第二校验码;

- 15 在根据所述校验结果确定仅所述第一校验码出现错误时,对所述第一数据的每一位和纠错后的所述第一校验码的每一位进行异或运算后确定全校验值,根据所述全校验值和纠错后的所述第一校验码生成所述第二校验码。