

权利要求

1、一种标准单元版图模板，包括：

沿第一方向排布的第一阱区和第二阱区；

第一栅极图形，位于所述第一阱区且沿所述第一方向延伸，用于定义第一栅极；

第二栅极图形，位于所述第二阱区且沿所述第一方向延伸，用于定义第二栅极；

栅电连接图形，位于所述第一栅极图形与所述第二栅极图形之间，用于定义栅电连接结构，所述栅电连接结构与所述第一栅极以及所述第二栅极同层设置，以电连接所述第一栅极和/或所述第二栅极。

2、如权利要求1所述的标准单元版图模板，其中，所述栅电连接图形包括：

至少两条相间隔的电连接图形，且每条所述电连接图形均沿第二方向延伸，所述第二方向与所述第一方向不同，每一所述电连接图形用于定义一电连接结构。

3、如权利要求2所述的标准单元版图模板，其中，至少两条相间隔的所述电连接图形包括：

第一电连接图形，位于所述第一阱区，用于定义第一电连接结构，以电连接所述第一栅极；

第二电连接图形，位于所述第二阱区，用于定义第二电连接结构，以电连接所述第二栅极。

4、如权利要求2所述的标准单元版图模板，所述栅电连接图形还包括：

第一辅助图形，连接所述第一栅极图形与朝向所述第一栅极图形的所述电连接图形，用于定义第一辅助电连接结构，以电连接所述第一栅极与朝向所述第一栅极的所述电连接结构；

第二辅助图形，连接所述第二栅极图形与朝向所述第二栅极图形的所述电连接图形，用于定义第二辅助电连接结构，以电连接所述第二栅极与朝向所述第二栅极的所述电连接结构。

5、如权利要求2所述的标准单元版图模板，所述栅电连接图形还包括：

第三辅助图形，位于相邻的所述电连接图形之间，用于定义第三辅助电连接结构，以电连接相邻的所述电连接结构。

6、如权利要求 1 所述的标准单元版图模板，其中，所述栅电连接图形包括：一条电连接图形，且所述电连接图形沿第二方向延伸，所述第二方向与所述第一方向不同。

7、如权利要求 6 所述的标准单元版图模板，其中，部分所述电连接图形位于所述第一阱区，剩余部分所述电连接图形位于所述第二阱区。

8、如权利要求 1 所述的标准单元版图模板，所述栅电连接图形还位于，所述第一栅极图形远离所述第二栅极图形的一侧，以及，位于所述第二栅极图形远离所述第一栅极图形的一侧。

9、如权利要求 1 所述的标准单元版图模板，还包括：

金属层图形，所述金属层图形横跨所述栅电连接图形、所述第一栅极图形和/或所述第二栅极图形，用于定义金属层，所述金属层位于所述第一栅极与所述第二栅极的上层，以电连接所述第一栅极和/或所述第二栅极。

10、如权利要求 1 所述的标准单元版图模板，其中，所述第一阱区包括：第一 MOS 区，且所述第一栅极图形横跨所述第一 MOS 区；

所述第二阱区包括：第二 MOS 区，且所述第二栅极图形横跨所述第二 MOS 区；

所述标准单元版图模板还包括：中间区，所述中间区位于所述第一 MOS 区与所述第二 MOS 区之间，其中，所述栅电连接图形位于所述中间区。

11、如权利要求 10 所述的标准单元版图模板，其中，所述第一阱区具有朝向所述第二阱区的第一边界，且所述第一边界位于所述中间区的正中间位置。

12、如权利要求 1 所述的标准单元版图模板，还包括：

第一电源图形，用于定义第一电源走线，所述第一电源走线用于连接第一电源；

第二电源图形，用于定义第二电源走线，所述第二电源走线用于连接第二电源，且所述第一电源的电压大于所述第二电源的电压；

其中，在沿所述第一方向上，所述第一电源图形的宽度大于所述第二电

源图形的宽度。

13、如权利要求 1 所述的标准单元版图模板，还包括：

电源图形，用于定义电源走线，所述电源走线用于连接电源；

信号图形，用于定义信号走线，所述信号走线用于连接信号；

第一选通图形，用于定义第一选通开关，所述第一选通开关用于实现与
所述电源走线的电连接或者断开；

第二选通图形，用于定义第二选通开关，所述第二选通开关用于实现与
所述信号走线的电连接或者断开；其中，所述信号图形、所述第一选通图形
以及所述第二选通图形位于所述电源图形的同一侧。

14、一种半导体结构，包括：

基底，所述基底内具有沿第一方向排布的第一阱和第二阱；

第一栅极，位于所述第一阱的所述基底上且沿所述第一方向延伸；

第二栅极，位于所述第二阱的所述基底上且沿所述第一方向延伸；

栅电连接结构，位于所述基底上，且与所述第一栅极以及所述第二栅极
同层设置，以电连接所述第一栅极和/或所述第二栅极。

15、如权利要求 14 所述的半导体结构，其中，所述栅电连接结构包括：

至少两个电连接结构，且每个所述电连接结构均沿第二方向延伸，所述
第二方向与所述第一方向不同。

16、如权利要求 15 所述的半导体结构，其中，至少两个所述电连接结构
包括：

第一电连接结构，位于所述第一阱的所述基底上；

第二电连接结构，位于所述第二阱的所述基底上。

17、如权利要求 15 所述的半导体结构，所述栅电连接结构还包括：

第一辅助电连接结构，位于所述第一栅极与朝向所述第一栅极的所述电
连接结构之间，以电连接所述第一栅极与朝向所述第一栅极的所述电连接结
构；

第二辅助电连接结构，位于所述第二栅极与朝向所述第二栅极的所述电
连接结构之间，以电连接所述第二栅极与朝向所述第二栅极的所述电连接结
构。

18、如权利要求 15 所述的半导体结构，所述栅电连接结构还包括：第三

辅助电连接结构，位于相邻的所述电连接结构之间，以电连接相邻的所述电连接结构。