

Procédé de réalisation d'un substrat avancé pour une intégration hybride

5 **DOMAINE DE L'INVENTION**

La présente invention concerne le domaine de réalisation de composants semi-conducteurs de type SOI (abréviation de Silicon on Insulator, ou Silicium sur Isolant), et notamment le domaine de réalisation de substrats avancés pour une intégration hybride de composants configurés pour des applications ou des fonctionnalités différentes.

10

ETAT DE LA TECHNIQUE

Une structure SOI comporte, typiquement, une couche active en silicium, dans laquelle se trouvent les composants proprement dits, et sous laquelle est disposée une
15 couche enterrée d'oxyde de silicium. Cette dernière constitue une isolation vis-à-vis des courants parasites et des charges provenant de particules ionisées. Elle permet également une bonne isolation de composants voisins réalisés dans la même couche de silicium, et notamment une diminution sensible des capacités parasites entre de tels composants voisins. Elle repose elle-même sur un substrat en silicium, qui joue le rôle de
20 support mécanique.

Ce type de substrat est généralement réalisé par le procédé Smart Cut™ qui comprend les étapes suivantes :

- fourniture d'un substrat support,
- 25 - fourniture d'un substrat donneur en silicium monocristallin,
- formation d'une zone de fragilisation dans le substrat donneur, pour y délimiter la future couche active (la zone de fragilisation peut être formée par implantation d'espèces atomiques à une profondeur déterminée du substrat donneur),
- collage du premier substrat donneur sur le substrat support, après avoir formé une
30 couche d'oxyde sur le substrat support ou sur le substrat donneur ou les deux, la couche d'oxyde étant destinée à former la couche d'oxyde enterré,
- détachement du premier substrat donneur le long de la zone de fragilisation, conduisant au transfert de la couche active sur le substrat support.
- réalisation d'un traitement de finition de la couche transférée, pour réparer ou
35 retirer les défauts liés à l'étape de détachement et conférer à ladite couche les caractéristiques de rugosité et d'épaisseur optimales pour obtenir le substrat final de type SOI sur lequel les composants visés seront intégrés.

Le traitement de finition comporte de manière usuelle soit des traitements thermiques destinés à guérir les défauts issus du procédé d'implantation et de détachement, complétés par un polissage mécano-chimique destiné à améliorer la rugosité de la surface de la couche transférée tout en contribuant à amener son épaisseur à la valeur visée, soit des traitements thermiques destinés à amener l'épaisseur de la couche transférée à une épaisseur visée, complétés par des traitement thermiques additionnels réalisés à des températures élevées, typiquement supérieures à 1100 °C, destinés à lisser la surface de la couche active par diffusion thermo-activée des atomes de silicium

10

De manière générale, la couche active de silicium transférée a typiquement une épaisseur allant de quelques nanomètres à plusieurs centaines de nanomètres, tandis que la couche d'oxyde enterré a une épaisseur allant d'une dizaine de nanomètres à plusieurs centaines de nanomètres (typiquement 1000 nm) ou plus.

15

Les épaisseurs de la couche active et de la couche d'oxyde enterré, varient généralement en fonction de l'application visée. A titre d'exemple, l'épaisseur de la couche active en silicium est typiquement comprise entre environ 3 et 40 nm, et celle de la couche d'oxyde enterré est typiquement comprise entre environ 10 et 40 nm, pour les substrats destinés à la réalisation de composants SOI de type FD (Fully Depleted, ou complètement déserté). Par ailleurs, les substrats configurés pour la réalisation de composants SOI de type RF (Radio Frequency, ou radiofréquence), les épaisseurs de la couche active en silicium et de la couche d'oxyde enterré sont typiquement supérieures à environ 50 nm.

25

En effet, différentes épaisseurs de la couche d'oxyde de silicium enterré permettent d'obtenir des degrés d'isolation différents, des courants de fuite différents, des tenues en tension différentes, des capacités équivalentes différentes, autant de paramètres au choix du développeur. En outre, une ou plusieurs couches fonctionnelles peuvent être interposées entre la couche d'oxyde enterré et le substrat support en silicium. Ce type d'arrangement de couches a pour objectif de limiter l'auto-polarisation et les distorsions entre les composants, véhiculées par le substrat, notamment celles induites par le fort rayonnement électromagnétique de composants radiofréquences.

35

De ce fait, pour certaines applications ou fonctions, on préférera sélectionner plutôt des substrats de type SOI ayant une couche enterrée d'oxyde de silicium fine, par exemple pour réaliser des transistors de type FDSOI, pour d'autres applications on préférera des substrats de type SOI ayant une couche enterrée d'oxyde de silicium

épaisse et/ou munis d'une couche additionnelle fonctionnelle pour réaliser, par exemple, des composants de puissance ou des composants radiofréquences.

Par ailleurs, du fait même des procédés de fabrication industriels connus de l'homme de l'art, l'immense majorité des substrats de type SOI sont « homogènes », autrement dit, les épaisseurs de la couche d'oxyde enterré et de la couche active sont constantes sur tout le substrat.

On connaît cependant des tentatives de réalisation de composants en alternant des zones de type "bulk" et de type SOI sur le même substrat.

L'article "Transistors on hybrid UTBB/Bulk substrates fabricated by local internal BOX dissolution" de P. Nguyen *et al*, et publié dans « Solid State Electronics, Vol. 90, pp 39-43, 2013 », décrit la réalisation de composants CMOS sur un substrat hybride SOI/massif obtenu par la technique de la dissolution interne et locale de la couche d'oxyde enterré. Cette technique souffre cependant, de deux problèmes majeurs pour une utilisation industrielle.

En effet, le procédé de dissolution engendre une transition mal contrôlée entre les portions de la couche d'oxyde enterré ayant des épaisseurs différentes. Les zones de transitions entre lesdites portions sont longues (de l'ordre de quelques μm au mieux, du fait du procédé de dissolution utilisé) et donc non compatibles avec une co-intégration à grande échelle.

De plus, pour une épaisseur de la couche d'oxyde dissoute de l'ordre d'une dizaine de nm, le procédé de dissolution génère une non-uniformité importante de la couche d'oxyde enterré et subséquemment de la couche active sur isolant. Cette non-uniformité est à l'origine d'une discontinuité du comportement électrique entre les zones ayant différentes épaisseurs de la couche d'oxyde enterré, ce qui est néfaste pour le bon fonctionnement des différents composants réalisés sur ce type de substrats hybrides.

EXPOSE DE L'INVENTION

Il existe actuellement un besoin de fournir un substrat « monolithique » de type SOI muni d'une couche électriquement isolante enterrée (ou une couche active) comportant au moins deux zones ayant différentes épaisseurs, tout en garantissant :

une uniformité des épaisseurs des différentes portions des couches,
une rugosité optimale, et

une transition abrupte entre les différentes portions des couches ayant différentes épaisseurs,
compatibles avec les spécifications d'une intégration à grande échelle de différents types de composants sur ledit substrat monolithique, comprenant par exemple des composants
5 de type FDSOI.

Il existe également un besoin de fournir un procédé de réalisation de substrats ayant les spécifications citées ci-dessus, facile à mettre en œuvre, et compatible avec des substrats donneurs et/ou receveurs spécifiques, par exemple comportant des couches de
10 piégeage dites de type « Trap Rich » ou des couches dopées. En effet, ce type de substrats requiert des budgets thermiques de finition limités en particulier pour le lissage de la surface de la couche active sur isolant (procédés de type recuit rapide communément appelé « Rapid Thermal Annealing », par opposition aux procédés de type recuit groupé au four ou « Thermal Batch Annealing »).

15 Ces besoins sont de plus en plus importants, notamment dans le domaine des systèmes sur puce ou SOC (acronyme du terme anglo-saxon « System on Chip ») qui intègrent plusieurs fonctions sur une même puce, ou dans le domaine de la co-intégration de composants digitaux et de composants radiofréquences, ou encore dans le domaine
20 des microsystèmes intégrant par exemple des capteurs ou des accéléromètres en compagnie de circuits de lecture.

On tend à satisfaire ces besoins tout en évitant les inconvénients précités, en prévoyant un procédé de réalisation d'un substrat avancé comportant les étapes
25 suivantes :

- a) Fournir un substrat receveur et un substrat donneur comportant :
 - Un substrat support ;
 - Une couche active en un matériau semi-conducteur monocristallin ; et
 - Une couche sacrificielle en un matériau pouvant être gravé sélectivement par
30 rapport à la couche active, la couche sacrificielle étant interposée entre le substrat support et la couche active ;
 - Une couche d'oxyde de silicium munie d'une surface libre et disposée de sorte que la couche active soit interposée entre la couche sacrificielle et la couche d'oxyde ;
- 35 b) Former une cavité dans la couche d'oxyde, la cavité présentant une ouverture affleurant la surface libre de sorte que la couche d'oxyde comporte une première portion ayant une première épaisseur e_1 et disposée entre la cavité et la couche active , et une deuxième portion ayant une deuxième épaisseur e_2 supérieure à la

première épaisseur e_1 , la deuxième portion étant disposée entre la surface libre et la couche active ;

- 5 c) Former une couche de remplissage en silicium poly-cristallin de sorte à complètement remplir la cavité et former une deuxième surface libre continue et sensiblement plane, comportant au moins une première surface en silicium poly-cristallin ;
- d) Assembler le substrat receveur et le substrat donneur au niveau de la deuxième surface libre ;
- 10 e) Eliminer le substrat support après l'étape d) en conservant la couche active et la couche sacrificielle.

Selon un mode de réalisation le procédé peut comporter une étape de gravure sélective de la couche sacrificielle tout en conservant la couche active, après l'étape e). Par ailleurs, l'étape d'assemblage d) peut comprendre une étape de collage par adhésion moléculaire.

- 15 Selon un mode de réalisation, le procédé peut comporter en outre les étapes suivantes :

- b0) Former, avant l'étape b) et après l'étape a), une zone de fragilisation dans le substrat support, la zone de fragilisation étant sensiblement plane et située au voisinage de l'interface entre la couche sacrificielle et le substrat support ;
- 20 e0) Fracturer le substrat support selon la zone de fragilisation, après l'étape d).

- De plus, la couche sacrificielle peut être en un matériau pouvant être gravé sélectivement par rapport au matériau du substrat support. De ce fait, le reste du substrat support disposé sur la couche sacrificielle, peut être gravé sélectivement après l'étape de fracture e0). La couche de remplissage peut également être formée par dépôt chimique
- 25 en phase vapeur à une température comprise entre 150 °C et 250 °C.

- Selon un mode de réalisation, la couche active en silicium monocristallin peut être réalisée par épitaxie. Par ailleurs, la couche active conservée après l'étape e), peut être localement amincie de sorte à réduire localement l'épaisseur de la couche active.

- 30 Selon un mode de réalisation, la couche de remplissage peut recouvrir la couche d'oxyde de silicium. En outre, une couche additionnelle en silicium poly-cristallin peut être formée au-dessus de la deuxième portion de la couche d'oxyde de silicium, ladite couche additionnelle ayant préférentiellement une épaisseur e' comprise entre 1 et 1000 nm, la
- 35 deuxième surface libre formée à la suite de l'étape c) étant dans ce cas, entièrement en silicium poly-cristallin.

Par ailleurs, l'étape c) peut comporter l'amincissement de la couche de remplissage et/ou de la couche d'oxyde de sorte que la deuxième surface libre comporte en outre une deuxième surface en oxyde de silicium.

- 5 On prévoit également un substrat avancé comportant :
- Un substrat receveur ;
 - Une couche active en matériau semi-conducteur monocristallin ; et
 - Une couche électriquement isolante en oxyde de silicium interposée entre la couche active et le substrat receveur;
- 10 caractérisé en ce qu'il comporte une couche de silicium poly-cristallin disposée sur le substrat receveur, la couche de silicium poly-cristallin étant enrobée par la couche électriquement isolante de sorte à définir une première portion de la couche électriquement isolante ayant une première épaisseur e_1 et interposée entre la couche de silicium poly-cristallin et la couche active, et une deuxième portion de la couche
- 15 électriquement isolante ayant une deuxième épaisseur e_2 supérieure à la première épaisseur e_1 , la deuxième portion étant disposée entre le substrat receveur et la couche active.

- Selon un mode de réalisation, le substrat comporte une couche additionnelle en silicium poly-cristallin interposée entre, le substrat receveur et l'ensemble formé par la
- 20 couche électriquement isolante et la couche de silicium poly-cristallin. Le substrat peut, en outre, comporter une couche électriquement isolante supplémentaire interposée entre la couche additionnelle et le substrat receveur. Préférentiellement, le substrat receveur comporte : une couche épitaxiée et dopée, configurée pour former des composants microélectroniques dans ladite couche épitaxiée. Par ailleurs, le substrat receveur peut
- 25 comporter des circuits intégrés.

BREVE DESCRIPTION DES FIGURES

- D'autres caractéristiques et avantages de l'invention ressortiront de la description
- 30 détaillée qui va suivre, en référence aux dessins annexés sur lesquels :
- les figures 1A à 1F, y compris 1D' et 1F', représentent des vues en coupe schématiques illustrant des étapes d'un procédé de réalisation d'un substrat avancé selon différents modes de mise en œuvre ; et
 - les figures 2 à 4 représentent des vues en coupe schématiques de substrats
- 35 avancés selon différents modes de réalisation.

Pour des raisons de lisibilité des figures, les différentes couches ne sont pas nécessairement représentées à l'échelle. Les signes de référence identiques d'une figure à l'autre désignent des éléments identiques ou remplissant la même fonction.

5

DESCRIPTION DETAILLEE DE MODES DE REALISATION DE L'INVENTION

Pour les différents modes de mise en œuvre, les mêmes références seront utilisées pour des éléments identiques ou assurant la même fonction, par souci de simplification de la description.

10

Les figures 1A à 1F représentent de manière schématique des modes de réalisation d'un procédé selon l'invention. Pour faciliter l'illustration, les épaisseurs respectives des différentes couches ne sont pas représentées à l'échelle.

15

Selon un mode de réalisation le procédé de réalisation d'un substrat avancé 1 comporte une étape a) de fourniture d'un substrat receveur 20 (cf. les figures 1E, 1F et 1F'). Le substrat receveur 20 peut être en un matériau semi-conducteur ou en un autre matériau, selon qu'il doive assurer uniquement une fonction de support mécanique ou une fonction électrique au sein du substrat avancé 1 final. Préférentiellement, le substrat receveur 20 est à base de silicium. Par ailleurs, le substrat receveur 20 peut comporter une ou plusieurs couches additionnelles fonctionnelles telles qu'une couche de piégeage dite « Trap Rich », par exemple à base de silicium poly-cristallin (éventuellement avec une couche d'oxyde de silicium interposée entre le substrat 20 et la couche de piégeage), ou encore telles qu'une couche épitaxiée en matériau semi-conducteur dopée, etc.

25

Comme illustré à la figure 1A, cette étape comporte également une étape de fourniture d'un substrat donneur 10 comportant :

- Un substrat support 11 ;
- Une couche active 13 en un matériau semi-conducteur monocristallin ; et
- 30 - Une couche sacrificielle 12 en un matériau pouvant être gravé sélectivement par rapport à la couche active, la couche sacrificielle 12 étant interposée entre le substrat support 11 et la couche active 13 ;
- Une couche d'oxyde de silicium 14 munie d'une surface libre 15 et disposée de sorte que la couche active 13 soit interposée entre la couche sacrificielle 12 et
- 35 la couche d'oxyde 14.

Le substrat support 11 peut être en un matériau semi-conducteur ou en un autre matériau, compte-tenu de la qualité cristalline escomptée des couches 12 et 13. Préférentiellement, le substrat support 11 est à base de silicium.

5 La couche active 13 est une couche configurée pour recevoir des composants microélectroniques. Autrement dit, lesdits composants seront formés dans la couche active 13. Préférentiellement, la couche active 13 est en silicium monocristallin, ou en silicium germanium monocristallin, pouvant être contraints ou relaxés.

10 Selon un mode de réalisation, la couche active 13 est avantageusement, formée par épitaxie. En effet, une couche formée par épitaxie permet d'obtenir une rugosité, une uniformité de l'épaisseur et un état de surface de la couche optimaux, notamment compatibles avec les spécifications des plus exigeants des procédés de réalisation de composants microélectroniques, tels que le procédé de réalisation de composants de type
15 FDSOI.

Avantageusement, la couche sacrificielle 12 est également réalisée par épitaxie, pour faciliter une éventuelle épitaxie de la couche active 13. La couche sacrificielle peut être à base de silicium et de germanium, lorsque la couche active est à base de silicium,
20 ou de silicium germanium. Par ailleurs, la couche 12 peut également être à base de n'importe quel matériau permettant une gravure sélective de la couche sacrificielle 12 par rapport à la couche active 13, du moment que sa qualité cristalline reste compatible avec celle exigée pour la couche active 13.

25 De manière encore plus avantageuse, les matériaux du substrat support 11 et de la couche sacrificielle 12 sont configurés de sorte que le matériau du support 11 se grave sélectivement par rapport à la couche sacrificielle 12, et de sorte que la couche sacrificielle 12 se grave sélectivement par rapport à la couche active 13.

30 La couche d'oxyde 14 peut être réalisée par n'importe quelle technique connue de l'homme du métier, et compatible avec des procédés conventionnels dans le domaine de la microélectronique. Préférentiellement, la couche d'oxyde 14 est un oxyde thermique usuel.

35 L'épaisseur du substrat support 11 peut être de l'ordre de quelques centaines de μm , typiquement 775 μm pour des substrats ayant un diamètre d'environ 300 mm. L'épaisseur de la couche sacrificielle 12 dépend de la technique et/ou de la solution de gravure utilisées. L'homme du métier saura adapter son épaisseur afin qu'elle puisse être

gravée sélectivement, et de manière efficace, par rapport à la couche active 13. Avantageusement, son épaisseur est également adaptée pour que le matériau du substrat support 11 puisse être gravé sélectivement par rapport à la couche sacrificielle 12 tout en préservant les propriétés cristallines de la couche active 13.

5

L'épaisseur de la couche active 13 est préférentiellement comprise entre 5 et 500 nm, et l'épaisseur de la couche d'oxyde 14 est préférentiellement comprise entre 10 et 500 nm.

10 Comme illustré à la figure 1B, le procédé comporte une étape b) de formation d'au moins une cavité 30 dans la couche d'oxyde de silicium 14. La cavité 30 est débouchante, et comprend une ouverture affleurant la surface libre 15 de la couche d'oxyde 14. La cavité 30 comporte des parois. Les parois de la cavité 30 et l'ouverture de la cavité 30 délimitent le volume de la cavité 30. De manière avantageuse, la cavité 30 n'est pas
15 traversante et ne comporte pas une ouverture affleurant l'interface entre la couche d'oxyde 14 et la couche active 13, de sorte que la couche d'oxyde 14 comporte une première portion 14a ayant une première épaisseur e_1 non nulle. La première portion 14a est disposée entre la cavité 30 et la couche active 13.

20 La couche d'oxyde 14 comporte ainsi, une deuxième portion 14b ayant une deuxième épaisseur e_2 supérieure à la première épaisseur e_1 de la première portion 14a. La deuxième portion 14b est disposée entre la surface libre 15 et la couche active 13.

Dans un souci de simplification des figures, deux cavités 30 ont été représentées,
25 mais il va de soi qu'un substrat donneur 10 peut comprendre en principe un grand nombre de cavités s'étendant parallèlement les unes aux autres. Préférentiellement, un réseau de cavités 30 est distribué dans la couche d'oxyde 14 de sorte à délimiter plusieurs motifs définissant les deuxièmes portions 14b. Autrement dit, chaque motif formant la deuxième portion 14b de la couche d'oxyde 14 est délimité par les cavités 30.

30

La cavité, ou le réseau de cavité 30 peut être réalisé par toute technique conventionnelle. Avantageusement, la cavité 30 peut être réalisée par une succession d'étapes de photolithographie et de gravure, connues et largement utilisées dans le domaine de la microélectronique. Ainsi, une transition abrupte entre les différentes
35 portions des couches d'oxyde ayant différentes épaisseurs est avantageusement obtenue. Ce qui garantit également une uniformité des épaisseurs des couches, notamment des couches d'oxyde.

Après la formation de la cavité 30, le procédé comporte une étape c) destinée à former une couche de remplissage de la cavité 30. Comme illustré aux figures 1C, 1D et 1D', la couche de remplissage 40 est formée de sorte à complètement remplir la cavité 30 et former une deuxième surface libre 41 continue et sensiblement plane comportant au moins une première surface 43 à base du matériau de remplissage.

Selon un mode de réalisation, la couche de remplissage 40 recouvre la couche d'oxyde de silicium 14.

De manière avantageuse, la couche de remplissage 40 est en silicium poly-cristallin. Le silicium poly-cristallin est un matériau facile à déposer sur une couche en oxyde de silicium. En outre, ce matériau offre la possibilité d'un dépôt à basses températures, ce qui le rend compatible avec une structure comportant un substrat donneur épitaxié et/ou implanté. Enfin, le silicium poly-cristallin peut avantageusement servir à la fois de couche conductrice sous un futur oxyde enterré fin, défini par exemple dans la zone 14a, et de couche de piégeage (communément appelée couche de type « Trap Rich ») dans la zone 14b, tout en étant compatible avec un collage par adhésion moléculaire sur le substrat receveur 20.

En outre, il est connu que le silicium poly-cristallin possède une meilleure conductivité thermique qu'un oxyde de silicium. De ce fait, l'utilisation d'une couche enterrée à base d'oxyde de silicium comportant des couches en silicium poly-cristallin en combinaison avec un substrat receveur en silicium, permet avantageusement une meilleure dissipation de la chaleur, de la zone active vers et dans le substrat receveur.

Préférentiellement, l'étape c) comporte une étape de planarisation ou d'amincissement, configurée pour rendre la deuxième surface libre 41 sensiblement plane. L'étape de planarisation peut comporter des actions combinées de forces mécaniques et chimiques, telles qu'un procédé de polissage mécano-chimique, communément appelé procédé CMP.

Selon un mode de réalisation illustré à la figure 1D, l'étape c), notamment l'étape de planarisation, est mise en œuvre de sorte à éliminer totalement le silicium poly-cristallin recouvrant la deuxième portion 14b de la couche d'oxyde 14. Autrement dit, l'étape c) comporte l'étape de planarisation ou d'amincissement de la couche 40 et/ou de la couche d'oxyde 14 de sorte que la deuxième surface libre 41 comporte en outre une deuxième surface 44 en oxyde de silicium.

Selon un autre mode de réalisation illustré à la figure 1D', une couche 42 en silicium poly-cristallin est formée au-dessus de la deuxième portion 14b de la couche d'oxyde de silicium 14 et de la cavité 30 remplie. Préférentiellement, la couche 42 a une épaisseur e' comprise entre 1 et 1000 nm. Selon ce mode de réalisation, la deuxième surface libre 41
5 formée à la suite de l'étape c) est entièrement en silicium poly-cristallin. La couche 42 peut être formée, par exemple, en adaptant successivement, l'épaisseur de la couche 40 formée, puis l'épaisseur éliminée de la couche 40, après l'étape de planarisation ou d'amincissement de la couche 40 en silicium poly-cristallin.

10 De ce fait, le substrat avancé 1 obtenu (cf. un exemple de substrat final obtenu, illustré à la figure 3), comportera avantageusement une couche d'isolant enterré comportant une couche 14b épaisse munie d'une couche fonctionnelle (couche de piégeage communément appelée couche de type « Trap Rich ») interposée entre le substrat receveur 20 et la couche d'isolation enterrée 14b, et une couche 14a d'oxyde
15 fine. Ce type de substrat offrira une possibilité de co-intégration efficace de composants de type FDSOI disposés sur un isolant enterré fin (portion 14a), et des composants radiofréquences disposés sur un isolant enterré épais (portion 14b et une couche de silicium poly-cristallin) tout en limitant l'auto-polarisation et les distorsions entre les composants véhiculées par le substrat avancé 1, notamment celles induites par le fort
20 rayonnement électromagnétique de composants radiofréquences. Ceci peut être possible, grâce à la couche fonctionnelle (couche 42) disposée « en-dessous » de la portion 14b en oxyde de silicium épais.

Par ailleurs, le procédé comporte en outre une étape d) d'assemblage du substrat receveur 20 et du substrat donneur 10 au niveau de la deuxième surface libre 41 (Cf. figure 1E). De manière avantageuse, l'étape d) d'assemblage est exécutée par adhésion moléculaire. L'assemblage est avantageusement exécuté par mise en contact direct de la
25 deuxième surface libre 41 du substrat donneur 10 avec le substrat receveur 20.

30 Dans un mode de réalisation, une couche électriquement isolante additionnelle, préférentiellement en oxyde de silicium, peut être formée sur le substrat donneur 10 et/ou sur le substrat receveur 20 avant l'étape d'assemblage. Avantageusement, ladite couche additionnelle est formée sur le substrat receveur 20, pour ne pas perturber la qualité des couches déjà réalisées sur le substrat donneur 10. Ladite couche additionnelle est ainsi
35 interposée entre le substrat receveur 20 et le substrat donneur 10 (cf. par exemple le substrat final obtenu et illustré à la figure 4). Cette couche permet d'améliorer la qualité de l'assemblage par adhésion moléculaire, notamment si l'une des surfaces mises en contact comporte du silicium poly-cristallin. Le substrat ainsi formé s'apparentera et aura

les avantages d'un double SOI. Il permettra également d'isoler électriquement le substrat receveur 20 des influences des potentiels appliqués dans la couche active 13, et dans la couche de remplissage 40. Il offre ainsi la possibilité pour le substrat receveur 20 de porter lui-même, des circuits intégrés ou une couche fonctionnelle (couche 61 de la figure 4). Par exemple, une couche semi-conductrice dopée, préférentiellement épitaxiée, permettant la co-intégration de composants additionnels sur substrat massif (substrat 20), tels que des mémoires intégrées (Embedded DRAM selon la terminologie anglo-saxonne).

10 Le procédé comporte en outre une étape e) d'élimination du substrat support 11 après l'étape d), en conservant la couche active 13 et la couche sacrificielle 120 pour obtenir le substrat avancé 1 (cf. figures 1F et 1F'). Cette élimination peut être réalisée par n'importe quelle technique conventionnelle connue de l'homme de métier et compatible avec les procédés utilisés dans le domaine de la microélectronique. A titre d'exemple, 15 cette élimination peut être réalisée par abrasion ou encore par gravure chimique, ou de manière préférentielle par introduction d'une zone de fragilisation suivie d'une fracture.

Le procédé selon l'invention est facile à mettre en œuvre et permet de manière avantageuse la formation d'un substrat « monolithique » muni d'une couche 20 électriquement isolante enterrée comportant au moins deux zones ayant différentes épaisseurs, tout en garantissant une continuité du comportement électrique entre les zones ayant différentes épaisseurs de la couche d'oxyde enterré. En effet, grâce à la formation d'une cavité dans la couche d'oxyde qui a été remplie par du silicium polycristallin avant l'assemblage des substrats donneur et receveur, le substrat avancé obtenu 25 bénéficie d'une uniformité des épaisseurs des différentes portions des couches, d'une rugosité optimale et une transition abrupte entre les différentes portions des couches ayant différentes épaisseurs. Ces caractéristiques rendent ainsi possible une intégration à grande échelle, optimisée pour la réalisation de composants de différents types sur un même substrat, notamment des dispositifs de type FDSOI et des dispositifs 30 radiofréquences.

Selon un mode de réalisation, le procédé comporte une étape de gravure sélective de la couche sacrificielle 12 par rapport à la couche active 13, cette dernière étant conservée sur le substrat avancé final 1.

35

Les gravures sélectives sont préférentiellement des gravures chimiques humides. A titre d'exemple, la gravure sélective d'une couche de silicium par rapport à une couche sacrificielle de silicium germanium pourra être réalisée à l'aide d'une solution de TMAH.

La gravure sélective d'une couche de silicium germanium par rapport à une couche de silicium pourra être réalisée à l'aide d'une solution d'acide acétique.

5 La gravure sélective permet avantageusement d'obtenir au final une couche active souhaitée dont l'épaisseur et la rugosité est équivalente à la performance d'un substrat épitaxié, ce qui ne pourrait être le cas si on mettait en œuvre un unique polissage mécanique ou mécano-chimique.

10 De manière avantageuse, l'étape de gravure sélective de la couche sacrificielle 12 par rapport à la couche active 13 est réalisée juste avant le procédé de réalisation des composants sur la couche active 13. En effet, la couche sacrificielle 12 peut jouer également le rôle d'une couche de passivation, évitant ainsi la formation d'une couche d'oxyde natif sur la couche active 13, et protégeant également cette dernière pendant la phase de stockage des substrats.

15

Selon un mode de réalisation le procédé comporte, en outre, les étapes suivantes (cf. les figures 1A à 1E) :

20 b0) Former, avant l'étape b) et après l'étape a), une zone de fragilisation 50 dans le substrat support 11, la zone de fragilisation 50 étant sensiblement plane et située au voisinage de l'interface entre la couche sacrificielle 12 et le substrat support 11 ;

e0) Fracturer le substrat support 11 selon la zone de fragilisation 50, après l'étape d), et préférentiellement, avant la gravure sélective de la couche sacrificielle 12, si elle est réalisée.

25 Autrement dit, l'élimination du substrat support 11 peut être réalisée par un détachement et une fracture de ce dernier. Ainsi, le substrat support n'est pas entièrement perdu et il peut avantageusement être réutilisé, notamment dans un nouveau cycle de réalisation d'un autre substrat avancé selon l'invention.

30 La zone de fragilisation 50 et l'interface entre la couche sacrificielle 12 et le substrat support 11 délimitent une couche résiduelle 51 destinée à être transférée sur la couche sacrificielle 12 après la fracture du substrat support 11.

35 Préférentiellement, les matériaux de la couche sacrificielle 12 et du substrat support sont choisis de sorte que la couche résiduelle puisse être gravée sélectivement par rapport à la couche sacrificielle 12. Comme illustré aux figures 1F et 1F', le procédé

comporte, de manière avantageuse, une gravure sélective de la couche résiduelle 51 par rapport à la couche sacrificielle 12 après l'étape de fracture e0).

Avantageusement, la couche de remplissage 40 est formée par un dépôt chimique en phase vapeur à une température suffisamment basse pour pouvoir être réalisée sans impacter la zone de fragilisation 50. De manière préférentielle, la couche de remplissage 40 est formée par un dépôt chimique en phase vapeur à une température comprise entre 150 °C et 250 °C.

Selon un mode réalisation, la zone de fragilisation 50 peut être obtenue par implantation d'au moins un type d'espèces sélectionné dans le groupe suivant : Hydrogène, et Hélium. L'implantation de fragilisation peut être réalisée également avec plusieurs espèces implantées séquentiellement. Préférentiellement, le substrat support 11 est à base de silicium.

Les conditions de création de la couche de fragilisation 50 (espèces implantées, énergie et dose d'implantation) et de fracture dépendent des épaisseurs des couches 12 et 13. Par ailleurs, l'homme du métier saura ajuster ces conditions de sorte à former une zone de fragilisation 50 dans le substrat support 11. Par ailleurs, l'étape e0) de fracture est réalisée préférentiellement par un traitement thermique à une température pouvant être comprise entre 350 et 500 °C.

L'enchaînement des étapes du procédé selon l'invention, permet de manière avantageuse, de former une zone de fragilisation avant la structuration de la couche d'oxyde enterré en formant une cavité puis en la remplissant avec un matériau semi-conducteur. Ainsi, une zone de fragilisation sensiblement plane peut être obtenue de manière facile et conventionnelle, facilitant ainsi la fracture et le détachement. En outre, le dépôt du matériau de remplissage peut être avantageusement réalisé à basses températures pour éviter une fracture prématurée et/ou une altération du substrat support avant l'assemblage des substrats donneur et receveur.

Bien que toutes les étapes du procédé selon l'invention puissent être réalisées à des températures ne dépassant pas 500 °C, on obtient avantageusement des couches uniformes ayant une rugosité de surface et des caractéristiques de surface optimales, notamment compatibles avec un procédé de réalisation de composants de type FDSOI. Le procédé selon l'invention permet en outre de se passer des étapes de finition à haute température et éviter avantageusement la recristallisation de la couche en silicium polycristallin. De ce fait, la couche de silicium polycristallin peut jouer le rôle d'une couche

fonctionnelle, telle qu'une couche de piégeage (couche Trap Rich) au sein du substrat avancé final. Enfin, l'utilisation d'une gamme de températures aussi réduite permettrait, selon un mode particulier de réalisation de l'invention, le transfert du substrat donneur formé sur un substrat receveur « structuré », comprenant des dispositifs fonctionnels, dans le cadre d'un report de couches tridimensionnelles.

Selon un mode de réalisation, la couche active 13 conservée après l'étape e), est localement amincie de sorte à réduire localement l'épaisseur de la couche active 13. On obtient ainsi de manière avantageuse, un substrat avancé muni d'une couche active ayant des portions avec différentes épaisseurs et une couche d'oxyde enterré ayant également des portions avec différentes épaisseurs. Le substrat avancé peut ainsi être configuré pour réaliser, de manière efficace, des composants ayant différentes fonctionnalités.

Par ailleurs, on tend à satisfaire les besoins exposés préalablement tout en évitant les inconvénients précités, en prévoyant également un substrat avancé 1 comportant (cf. les figures 2 et 3):

- Un substrat receveur 20 ;
- Une couche active 13 en matériau semi-conducteur monocristallin ; et
- Une couche électriquement isolante 14 en oxyde de silicium interposée entre la couche active 13 et le substrat receveur 20.

Le substrat comporte en outre une couche de silicium poly-cristallin 40 disposée sur le substrat receveur 20. La couche de silicium poly-cristallin 40 est enrobée par la couche électriquement isolante 14 de sorte à définir une première portion 14a et une deuxième portion 14b, de la couche électriquement isolante 14. La première portion 14a a une première épaisseur e1 et elle est interposée entre la couche de silicium poly-cristallin 40 et la couche active 13. La deuxième portion 14b de la couche électriquement isolante 14 a une deuxième épaisseur e2 supérieure à la première épaisseur e1. La portion 14b est disposée entre le substrat receveur 20 et la couche active 13. Préférentiellement, la couche active 13 est surmontée d'une couche sacrificielle 12, pouvant être gravée sélectivement par rapport à la couche active 13, juste avant la réalisation des composants dans la couche active. Autrement dit, la couche sacrificielle joue en outre, le rôle d'une couche de protection du substrat avancé 1.

Selon un mode de réalisation illustré à la figure 3, le substrat avancé comporte une couche additionnelle 42 en silicium poly-cristallin interposée entre, le substrat receveur 20 et l'ensemble formé par la couche électriquement isolante 14 et la couche de silicium poly-cristallin 40.

Selon un autre mode de réalisation illustré à la figure 4, le substrat avancé 1 comporte, sous la couche 42, une seconde couche électriquement isolante 60, par exemple une couche d'oxyde de silicium disposée sur le substrat receveur 20. Le substrat
5 receveur 20 peut lui-même comporter une couche fonctionnelle 61 telle qu'une couche épitaxiée dopée, ou encore comporter des dispositifs microélectroniques tels que des circuits intégrés, dans le cadre d'une approche 3D.

REVENDEICATIONS

1. Procédé de réalisation d'un substrat avancé (1) comportant les étapes suivantes :
 - a) Fournir un substrat receveur (20) et un substrat donneur (10) comportant :
 - Un substrat support (11) ;
 - 5 - Une couche active (13) en un matériau semi-conducteur monocristallin ; et
 - Une couche sacrificielle (12) en un matériau pouvant être gravé sélectivement par rapport à la couche active (12), la couche sacrificielle (12) étant interposée entre le substrat support (11) et la couche active (13) ;
 - 10 - Une couche d'oxyde (14) de silicium munie d'une surface libre (15) et disposée de sorte que la couche active (13) soit interposée entre la couche sacrificielle (12) et la couche d'oxyde (14) ;
 - b) Former une cavité (30) dans la couche d'oxyde (14), la cavité (30) présentant une ouverture affleurant la surface libre (15) de sorte que la couche d'oxyde (14) comporte une première portion (14a) ayant une première épaisseur (e1) et disposée
15 entre la cavité (30) et la couche active (13), et une deuxième portion (14b) ayant une deuxième épaisseur (e2) supérieure à la première épaisseur (e1), la deuxième portion (14b) étant disposée entre la surface libre (15) et la couche active (13) ;
 - c) Former une couche de remplissage (40) en silicium poly-cristallin de sorte à complètement remplir la cavité (30) et former une deuxième surface libre (41)
20 continue et sensiblement plane, comportant au moins une première surface (43) en silicium poly-cristallin ;
 - d) Assembler le substrat receveur (20) et le substrat donneur (10) au niveau de la deuxième surface libre (41) ;
 - 25 e) Eliminer le substrat support (11) après l'étape d) en conservant la couche active (13) et la couche sacrificielle (12).
2. Procédé selon la revendication 1, comportant une étape de gravure sélective de la couche sacrificielle (12) tout en conservant la couche active (13), après l'étape e).
3. Procédé selon l'une des revendications précédentes, dans lequel l'étape d'assemblage d) comprend une étape de collage par adhésion moléculaire.
- 30 4. Procédé selon l'une des revendications précédentes, comportant les étapes suivantes :
 - b0) Former, avant l'étape b) et après l'étape a), une zone de fragilisation (50) dans le substrat support (11), la zone de fragilisation étant sensiblement plane et située au voisinage de l'interface entre la couche sacrificielle (12) et le substrat support (11) ;
 - 35 e0) Fracturer le substrat support (11) selon la zone de fragilisation (50), après l'étape d).

5. Procédé selon la revendication 4, dans lequel le substrat support (11) est en un matériau pouvant être gravé sélectivement par rapport au matériau de la couche sacrificielle (12), le procédé comportant en outre une gravure sélective du reste du substrat support (11) disposé sur la couche sacrificielle (12) après l'étape de fracture e0).
- 5 6. Procédé selon l'une des revendications 4 ou 5, dans lequel la couche de remplissage (40) est formée par dépôt chimique en phase vapeur à une température comprise entre 150 °C et 250 °C.
7. Procédé selon l'une des revendications précédentes dans lequel la couche active (13) en silicium monocristallin, est réalisée par épitaxie.
- 10 8. Procédé selon l'une des revendications précédentes, dans lequel la couche de remplissage (40) recouvre la couche d'oxyde de silicium (14).
9. Procédé selon la revendication 8, dans lequel une couche (42) en silicium polycristallin est formée au-dessus de la deuxième portion (14b) de la couche d'oxyde de silicium (14), la couche (42) ayant une épaisseur (e') comprise entre 1 et 1000 nm, la
- 15 deuxième surface libre (41) formée à la suite de l'étape c) étant entièrement en silicium polycristallin.
10. Procédé selon l'une des revendications 1 à 8, dans lequel l'étape c) comporte l'amincissement de la couche de remplissage (40) et/ou de la couche d'oxyde (14) de sorte que la deuxième surface libre (41) comporte en outre une deuxième surface (44) en
- 20 oxyde de silicium.
11. Procédé selon l'une des revendications précédentes, dans lequel la couche active (13) conservée après l'étape e), est localement amincie de sorte à réduire localement l'épaisseur de la couche active (13).
12. Substrat avancé (1) comportant :
- 25 - Un substrat receveur (20) ;
- Une couche active (13) en matériau semi-conducteur monocristallin ; et
- Une couche électriquement isolante (14) en oxyde de silicium interposée entre la couche active (13) et le substrat receveur (20);
- caractérisé en ce qu'il comporte une couche de silicium polycristallin (40) disposée sur le
- 30 substrat receveur (20), la couche de silicium polycristallin (40) étant enrobée par la couche électriquement isolante (14) de sorte à définir une première portion (14a) de la couche électriquement isolante (14) ayant une première épaisseur (e1) et interposée entre la couche de silicium polycristallin (40) et la couche active (13), et une deuxième

portion (14b) de la couche électriquement isolante (14) ayant une deuxième épaisseur (e2) supérieure à la première épaisseur (e1), la deuxième portion (14b) étant disposée entre le substrat receveur (20) et la couche active (13).

13. Substrat selon la revendication précédente, caractérisé en ce qu'il comporte une
5 couche additionnelle (42) en silicium poly-cristallin interposée entre, le substrat receveur (20) et l'ensemble formé par la couche électriquement isolante (14) et la couche de silicium poly-cristallin (40).

14. Substrat selon la revendication précédente, caractérisé en ce qu'il comporte une
10 couche électriquement isolante (60) supplémentaire interposée entre la couche additionnelle (42) et le substrat receveur (20)

15. Substrat selon la revendication précédente, caractérisé en ce que le substrat receveur (20) comporte une couche épitaxiée et dopée (61), configurée pour former des composants microélectroniques dans ladite couche épitaxiée (61).

16. Substrat selon l'une des revendications 14 et 15, caractérisé en ce que le substrat
15 receveur (20) comporte des circuits intégrés.