

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年10月14日(14.10.2021)



(10) 国際公開番号

WO 2021/205674 A1

(51) 国際特許分類:  
H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2020/019809

(22) 国際出願日: 2020年5月19日(19.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2020-071352 2020年4月10日(10.04.2020) JP

(71) 出願人: 田中電子工業株式会社 (TANAKA DENSHI KOGYO K.K.) [JP/JP]; 〒8420031 佐賀県神埼郡吉野ヶ里町吉田 2 3 0 3 - 1 5 Saga (JP).

(72) 発明者: 安德 優希 (ANTOKU Yuki); 〒8420031 佐賀県神埼郡吉野ヶ里町吉田 2 3 0 3 - 1 5 田中電子工業株式会社内 Saga (JP). 川野 将太 (KAWANO Shota); 〒8420031 佐賀県神埼郡吉野ヶ里町吉田 2 3 0 3 - 1 5 田中電子工業株式会社内 Saga (JP). ▲崎▼田 雄祐 (SAKITA

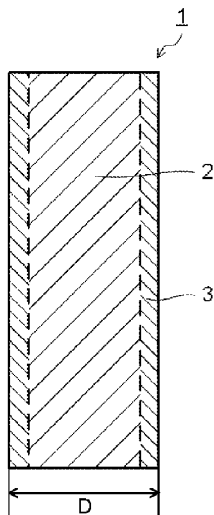
Yusuke); 〒8420031 佐賀県神埼郡吉野ヶ里町吉田 2 3 0 3 - 1 5 田中電子工業株式会社内 Saga (JP). 平井 ▲祐▼佳 (HIRAI Yuka); 〒8420031 佐賀県神埼郡吉野ヶ里町吉田 2 3 0 3 - 1 5 田中電子工業株式会社内 Saga (JP).

(74) 代理人: 特許業務法人サクラ国際特許事務所 (SAKURA PATENT OFFICE, P.C.); 〒1010064 東京都千代田区神田猿樂町一丁目五番一号 豊島屋本店ビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOLD-COATED BONDING WIRE, MANUFACTURING METHOD THEREFOR, SEMICONDUCTOR WIRE BONDING STRUCTURE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 金被覆ボンディングワイヤとその製造方法、半導体ワイヤ接合構造、及び半導体装置



(57) Abstract: Considering the needs of making chips thinner and multi-stage lamination for semiconductor devices such as memory, instead of a bonding wire that uses gold as the main component, provided is a gold-coated bonding wire that has the same characteristics as gold and can be applied to a method (CWB) of direct wedge bonding between multi-stage laminated chip electrodes, and does not incur material costs. This gold-coated bonding wire 1 of the present invention has: a core material 2 that includes silver or copper as a main component; and a coating layer 3 that is provided on the surface of the core material 2, and that has gold as a main component. The problem is addressed by having the film thickness of the gold-coated layer be 5 to 200 nm inclusive, and by controlling the compressive stress when deformed by 60% with respect to the wire diameter to be 290 to 590 MPa inclusive.

(57) 要約: メモリ等の半導体装置のチップ薄型化、多段積層化のニーズを考慮し、金を主成分としたボンディングワイヤに代わる、金と同等の特性を持ち、材料コストがかからない多段積層チップ電極間を直接ウェッジボンディングする方法 (CWB) に適用できる金被覆ボンディングワイヤの提供。本発明の金被覆ボンディングワイヤ 1 は、銀又は銅を主成分として含む芯材 2 と、芯材 2 の表面に設けられ、金を主成分として含む被覆層 3 とを有する。金被覆層の膜厚を 5 nm 以上 200 nm 以下にし、ワイヤ線径に対して 60% 変形させたときの圧縮応力を 290 MPa 以上 590 MPa 以下に制御することで課題が達成される。

[続葉有]

WO 2021/205674 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))