

半导体结构的制备方法及半导体结构

5 本申请要求于 2021 年 03 月 12 日提交中国专利局、申请号为 202110269749.6、申  
请名称为“半导体结构的制备方法及半导体结构”的中国专利申请的优先权，其全部内  
容通过引用结合在本申请中。

技术领域

10 本申请实施例涉及半导体制造技术领域，尤其涉及一种半导体结构的制备方法及  
半导体结构。

背景技术

15 随着存储设备技术的逐渐发展，动态随机存储器(Dynamic Random Access Memory，  
简称 DRAM) 以其较高的密度以及较快的读写速度逐渐应用在各种电子设备中。动态随  
机存储器包括位线结构、电容结构和晶体管结构，位线结构、电容结构分别与晶体管  
结构连接，通过晶体管结构控制读取电容结构内存储的数据。

然而，目前动态随机存储器的性能仍然有待提高。

发明内容

第一方面，本申请实施例提供了一种半导体结构的制备方法，包括：

提供基底；

20 在所述基底上形成间隔分布的若干位线结构，所述位线结构包括依次叠设的导电  
层、过渡层和覆盖层，所述过渡层的宽度小于所述导电层的宽度；

在所述导电层的顶面以及所述过渡层的侧面形成气隙。

在一些实施中，所述覆盖层的宽度大于所述导电层的宽度；所述气隙凸出于所述  
导电层的侧面。

25 第二方面，本申请实施例还提供一种半导体结构，包括：

基底；

间隔分布于所述基底上的若干位线结构，所述位线结构包括依次叠设的导电层、  
过渡层和覆盖层，所述过渡层的宽度小于所述导电层的宽度；

气隙，所述气隙位于所述导电层的顶面以及所述过渡层的侧面。

30 本实施例提供的半导体结构的制备方法及半导体结构，基底上分布若干位线结构，  
位线结构包括依次层叠设置的导电层、过渡层和覆盖层，过渡层的宽度小于导电层的  
宽度；并且在导电层的顶面以及过渡层的侧面形成气隙。通过在导电层的顶面以及过  
渡层的侧面形成气隙，可以减少覆盖层对导电层之间的影响以防止导电层的电阻增大，  
又能降低位线结构与其周边结构之间的寄生电容，从而提高了半导体结构的性能。

35

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现  
有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是

本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图 1 为本申请实施例提供的半导体结构的制备方法流程图;

图 2 为本申请实施例提供的半导体结构的制备方法中形成掩膜层后的结构示意图;

5 图 3 为本申请实施例提供的半导体结构的制备方法中形成凹槽后的结构示意图;

图 4 为本申请实施例提供的半导体结构的制备方法中形成绝缘密封层后的结构示意图;

图 5 为本申请实施例提供的半导体结构的结构示意图。

## 10 具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范

15 围。本实施例提供一种半导体结构的制备方法及半导体结构,用于提高半导体结构的性能。

如图 1 所示,本实施例提供的半导体结构的制备方法,包括:

S101: 提供基底。

20 其中,基底作为后续膜层的基础,可以对后续膜层起到支撑的作用。示例性的,基底的材质可以为半导体材料,示例的,包括硅、锗、硅锗等,本实施例对基底的材质不做限制。

请参照图 2-图 5,在基底(未示出)上可以形成有间隔设置的浅沟槽隔离结构 10 和有源区结构 20,以便于形成晶体管结构。

25 本实施例提供的半导体结构的制备方法,在形成基底之后还包括:

S102: 在基底上形成间隔分布的若干位线结构,位线结构包括依次叠设的导电层、过渡层和覆盖层,过渡层的宽度小于导电层的宽度。

继续参照图 2-图 5,导电层 301、过渡层 302 和覆盖层 3031 层叠的设置,过渡层 302 位于覆盖层 3031 和导电层 301 之间,并且导电层 301 靠近基底设置。例如,导电层 301 可以与有源结构 20 相连,示例的,可以与有源结构 20 的源极或栅极相连。

30 形成导电层 301 的具体步骤可以包括:如图 2 所示,形成导电初始层 311,示例的,沿远离基底的方向依次层叠形成第一导电初始层 3111、导电接触初始层 3112 以及第二导电初始层 3113,其中,导电接触初始层 3112 位于第一导电初始层 3111 和第二导电初始层 3113 之间,导电接触初始层 3112 可以阻止构成第一导电初始层 3111 和第二导电初始层 3113 的材质发生渗透,也可以降低第一导电初始层 3111 和第二导电初始层 3113 之间的接触电阻。示例性的,第一导电初始层 3111 的材质可以包括多晶硅,第二导电初始层 3113 的材质可以包括钨,导电接触初始层 3112 的材质可以包括氮化钛或氮化钨等。

在一些实施中,过渡层 302 的宽度小于导电层 301 的宽度(以图 3 所示方位为例,

宽度为水平方向的尺寸)；形成导电初始层 311 之后，形成层叠的过渡初始层 312 以及覆盖初始层 313，并在覆盖初始层 313 上形成具有掩膜图案的掩膜层 50；如图 3 所示，之后以掩膜层 50 为掩膜蚀刻覆盖初始层 313、过渡初始层 312 以及导电初始层 311，以形成覆盖层 3031、过渡层 302 以及导电层 301；此时覆盖层 3031、过渡层 302 以及导电层 301 的宽度相等。在此之后，可以横向蚀刻过渡层 302，以去除部分过渡层 302，形成凹槽 304，进而使得最终形成的过渡层 302 的宽度小于导电层 301 的宽度。示例的，可以利用湿法工艺去除部分过渡层 302。在其他示例中，也可以在以掩膜层 50 为掩膜蚀刻覆盖初始层 313、过渡初始层 312 和导电初始层 311 时同步刻蚀部分位于覆盖层 3031 下方的部分过渡初始层 312，使得形成的过渡层 302 的宽度小于导电层 301 的宽度。示例的，在刻蚀到过渡初始层 312 时，可以选择过渡初始层 312 与导电初始层 311 以及覆盖初始层 313 具有较高的蚀刻选择比的气体进行刻蚀，以在沿宽度方向蚀刻位于覆盖层 3031 正下方的部分过渡初始层 312，使得最终形成的过渡层 302 的宽度小于导电层 301 的宽度。

本实施例中，若干位线结构 30 间隔分部，示例性的，若干位线结构 30 沿平行于基底的方向延伸成线状，若干位线结构 30 可以位于同一平行于基底的平面内，并且若干位线结构 30 平行且间隔的设置。当然，本实施例中的位线结构 30 还可以呈其他的形式在基底上分布，本实施例对此不作限制。

本实施例提供的半导体结构的制备方法，在形成若干间隔分布的位线结构 30 之后还包括：

20 S104：在导电层的顶面以及过渡层的侧面形成气隙。

如图 4-图 5 所示，示例的，位线结构 30 中过渡层 302 的宽度小于导电层 301 的宽度，使得位线结构 30 在过渡层 302 沿宽度方向的两侧形成凹槽 304。为了形成气隙 305，位线结构 30 可以包括覆盖导电层 301 的侧壁以及覆盖层 3031 侧壁上的绝缘密封层 3032，此时绝缘密封层 3032 对凹槽 304 形成封闭，以形成位于过渡层 302 沿宽度方向两侧的气隙 305。

示例的，可以采用 CVD 或 ALD 的方式形成绝缘密封层 3032，同时避免绝缘密封层 3032 填满凹槽 304，以使得绝缘密封层 3032、导电层 301、过渡层 302 以及覆盖层 3031 之间围设成气隙 305。

示例性的，绝缘密封层 3032 的材质可以与覆盖层 3031 的材质相同，例如绝缘密封层 3032 和覆盖层 3031 的材质可以均为氮化硅、氧化硅等；绝缘密封层 3032 和覆盖层 3031 的材质相同，在形成绝缘密封层 3032 后，可以使覆盖层 3031 和绝缘密封层 3032 形成一体结构，以提高包覆层 303 的强度。

本实施例提供的半导体结构的制备方法，基底上分布若干位线结构 30，位线结构 30 包括依次层叠设置的导电层 301、过渡层 302 和覆盖层 3031，过渡层 302 的宽度小于导电层 301 的宽度；并且在导电层 301 的顶面以及过渡层 302 的侧面形成气隙 305。通过在导电层 301 的顶面和过渡层 302 的侧面形成气隙 305，可以减少覆盖层 3031 对导电层 301 的影响，例如，覆盖层 3031 的材质为氮化硅时，导电层 301 的材质为钨时，气隙 305 的存在可以减少覆盖层 3031 中的氮迁移至导电层 301 将导电层 301 氮化形成氮化钨的程度，防止导电层 301 的电阻增大，同时，又能降低位线结构 30 与其周边结

构之间的寄生电容，从而提高了半导体结构的性能。

在一些实施中，覆盖层 3031 的宽度可以大于导电层 301 的宽度；形成的气隙 305 可以凸出于导电层 301 的侧面。如此设置，可以增大气隙 305 与导电层 301 顶面的接触面积，以提高对导电层 301 顶面的保护效果；同时，提高气隙 305 的体积，可以进一步改善位线结构 30 和周边结构（如导电插塞 40）之间的寄生电容。

继续参照图 5，本实施例提供的半导体结构的制备方法，还包括：在位线结构 30 之间的基底上形成导电插塞 40，导电插塞 40 位于相邻的位线结构 30 之间，导电插塞 40 用于连接有源区结构 20。在半导体结构为动态随机存储器的实现方式中，导电插塞 40 还用于连接电容存储结构。

10 示例的，导电插塞 40 包括沿垂直于基底方向依次层叠设置的第一导电部分 401 和第二导电部分 402，也就是说，第二导电部分 402 位于第一导电部分 401 的上方，其中第一导电部分 401 与有源区结构 20 连接，第二导电部分 402 可以用于连接电容。示例性的，第一导电部分 401 的材质可以包括多晶硅等，第二导电部分 402 的材质可以包括钨等，为了阻止第一导电部分 401 和第二导电部分 402 的材质互相渗透，可以在第一导电部分 401 和第二导电部分 402 之间设置导电阻挡膜，导电阻挡膜的材质可以包括氮化钛等。

其中，第二导电部分 402 的底部具有面向位线结构 30 的斜面 4021。

20 在一些实施中，斜面 4021 的底部高于导电层 301 的顶部，斜面 4021 的顶部低于过渡层 302 的顶部。以使得，过渡层 302 的顶部位于斜面 4021 的顶部和底部之间。此时形成的导电层 301 能够尽可能的高，具有较小的电阻。

示例的，第二导电部分 402 的底部还包括底面 4024、第一直面 4022 和第二直面 4023，底面 4024 与第一导电部分 401 的顶面直接接触，底面 4024 的两端分别与第一直面 4022 和第二直面 4023 连接；其中，第一直面 4022 还与斜面 4021 连接。

25 在上述实现方式中，过渡层 302 的顶角与斜面 4021 的垂直距离小于导电层 301 的顶角与斜面 4021 的垂直距离。其中过渡层 302 顶角为在垂直于基底且垂直于位线结构 30 延伸方向的截面中（如图 5 所示的截面中），过渡层 302 顶端靠近斜面 4021 的第一顶点 a；过渡层 302 顶角与斜面 4021 的垂直距离为第一顶点 a 到斜面 4021 之间的垂直距离 d1。相应的，导电层 301 的顶角为在垂直于基底且垂直与位线结构 30 延伸方向的截面中（如图 5 所示的截面中），导电层 301 顶端靠近斜面 4021 的第二顶点 b；导电层 301 顶角与斜面 4021 之间的距离为第二顶点 b 到斜面 4021 的垂直距离 d2。

在其他示例中，过渡层 302 的顶角与斜面 4021 的垂直距离 d1 大于导电层 301 的顶角与斜面 4021 的垂直距离 d2。如此设置，在过渡层 302 为导体时，既能减少位线结构 30 的电阻，又能进一步降低位线结构 30 和接触插塞 40 之间的寄生电容。

35 本实施例中过渡层 302 的宽度为导电层 301 宽度的  $\frac{2}{3}$ - $\frac{3}{4}$ ，如此设置，可以在减少覆盖层 3031 对导电层 301 的影响，保证对覆盖层 3031 的支撑力，避免过渡层 302 的宽度过小导致的覆盖层 3031 塌陷。

本实施例提供的过渡层 302 的材质可以包括富金属氮化物（如氮化钨、氮化钼、氮化钛等）或者富金属硅化物（如硅化钛、硅化钨等）。如此设置，富金属氮化物和富金属硅化物可以捕获覆盖层 3031 中迁移至导电层 301 中的氮原子，以进一步避免导

电层 301 对覆盖层 3031 的影响，以防止导电层 301 的电阻变大。示例的，富金属氮化物指的是金属原子和氮原子的摩尔比大于 1，例如为 2, 3, 4, 5, 6, 7 等；富金属硅化物指的是金属原子和硅原子的摩尔比大于 1，例如为 2, 3, 4, 5, 6, 7 等。

5 继续参照图 5，本实施例还提供一种半导体结构，可以通过上述任一实施例提供的半导体结构的制备方法制得，使得半导体结构的位线结构包括依次层叠设置的导电层 301、过渡层 302 和覆盖层 3031，过渡层 302 的宽度小于导电层 301 的宽度；并且在导电层 301 的顶面以及过渡层 302 的侧面形成气隙 305。过渡层 302 以及气隙 305 可以减少覆盖层 3031 对导电层 301 的影响以避免导电层 301 的电阻增大，提高了半导体结构的性能。

本实施例提供的半导体结构包括基底以及间隔分部在基底上的若干位线结构，位线结构包括依次叠设的导电层 301、过渡层 302 和覆盖层 3031，过渡层 302 的宽度小于导电层 301 的宽度。

15 示例性的，基底的材质可以包括硅、锗、硅锗等，本实施例对基底的材质不做限制。在基底上可以形成有间隔设置的浅沟槽隔离结构 10 和有源区结构 20，以便于形成晶体管结构。

导电层 301、过渡层 302 和覆盖层 3031 层叠的设置，过渡层 302 位于覆盖层 3031 和导电层 301 之间，并且导电层 301 靠近基底设置。导电层 301 可以包括沿远离基底的方向依次层叠形成的第一导电层 3011、导电接触层 3012 以及第二导电层 3013，其中，导电接触层 3012 位于第一导电层 3011 和第二导电层 3013 之间，导电接触层 3012 可以阻止构成第一导电层 3011 和第二导电层 3013 的材质发生渗透。示例性的，第一导电层 3011 的材质可以包括多晶硅，第二导电层 3013 的材质可以包括钨，导电接触层 3012 的材质可以包括氮化钛。

25 本实施例中，若干位线结构间隔分部，示例性的，若干位线结构沿平行于基底的方向延伸成线状，若干位线结构可以位于同一平行于基底的平面内，并且若干位线结构平行且间隔的设置。当然，本实施例中的位线结构还可以呈其他的形式在基底上分布，本实施例对此不作限制。

继续参照图 5，气隙 305 位于导电层 301 的顶面以及过渡层 302 的侧面。也就是说过渡层 302 的侧面和导电层 301 的顶面之间形成气隙 305。

30 在一些实现方式中，包覆层 303 可以包括位于过渡层 302 上部的覆盖层 3031，以及覆盖在覆盖层 3031 侧壁和导电层 301 侧壁的绝缘密封层 3032；由于过渡层 302 的宽度小于导电层 301 的宽度，可以在过渡层 302 的两侧形成凹槽；在形成绝缘密封层之后，绝缘密封层 3032 覆盖在凹槽上以形成气隙 305。

在一些实施中，覆盖层 3031 的宽度大于导电层 301 的宽度。

35 在一些实施中，气隙 305 凸出于导电层 301 的侧面，也就是说，气隙 305 由导电层 301 的侧面向外凸出，如此设置，可以增大气隙 305 与导电层 301 顶面的接触面积，以提高对导电层 301 顶面的保护效果；同时，提高气隙 305 的体积，可以进一步改善位线结构 30 和周边结构（如导电插塞 40）之间的寄生电容。

继续参照图 5，本实施例提供的半导体结构还包括位于位线结构之间的导电插塞

40, 导电插塞 40 位于相邻的位线结构 30 之间, 导电插塞 40 用于连接有源区结构 20。在半导体结构为动态随机存储器的实现方式中, 导电插塞 40 还用于连接电容存储结构。

示例的, 导电插塞 40 包括沿垂直于基底方向依次层叠设置的第一导电部分 401 和第二导电部分 402, 也就是说, 第二导电部分 402 位于第一导电部分 401 的上方, 其中第一导电部分 401 与有源区结构 20 连接, 第二导电部分 402 用于连接电容存储结构。示例性的, 第一导电部分 401 的材质可以包括多晶硅等, 第二导电部分 402 的材质可以包括钨等, 为了阻止第一导电部分 401 和第二导电部分 402 的材质互相渗透, 可以在第一导电部分 401 和第二导电部分 402 之间设置导电阻挡膜, 导电阻挡膜的材质可以包括氮化钛等。

其中, 第二导电部分 402 的底部, 具有面向位线结构 30 的斜面 4021, 斜面 4021 的底部高于导电层 301 的顶部且低于过渡层 302 的顶部, 以使得, 过渡层 302 的顶部位于斜面 4021 的顶部和底部之间。

示例的, 第二导电部分的底部还包括底面 4024、第一直面 4022 和第二直面 4023, 底面 4024 与第一导电部分 401 的顶面直接接触, 底面 4024 的两端分别与第一直面 4022 和第二直面 4023 连接; 其中, 第一直面 4022 还与斜面 4021 连接, 通过设置第一直面 4022 和第二直面 4023, 可以进一步增大过渡层 302 和导电插塞 40 的第二导电部分 402 之间的距离, 降低二者之间的寄生电容, 同时减少短路缺陷, 提高良率。

在上述实现方式中, 过渡层 302 的顶角与斜面 4021 的垂直距离小于导电层 301 的顶角与斜面 4021 的垂直距离。其中过渡层 302 顶角为在垂直于基底且垂直与位线结构 30 延伸方向的截面中 (如图 5 所示的截面中), 过渡层 302 顶端靠近斜面 4021 的第一顶点 a; 过渡层 302 顶角与斜面 4021 的垂直距离为第一顶点 a 到斜面 4021 之间的垂直距离 d1。相应的, 导电层 301 的顶角为在垂直于基底且垂直与位线结构 30 延伸方向的截面中 (如图 5 所示的截面中), 导电层 301 顶端靠近斜面 4021 的第二顶点 b; 导电层 301 的顶角与斜面 4021 之间的距离为第二顶点 b 到斜面 4021 的垂直距离 d2。

在其他示例中, 过渡层 302 的顶角与斜面 4021 的垂直距离 d1 大于导电层 301 的顶角与斜面 4021 的垂直距离 d2。如此设置, 在过渡层 302 为导体时, 既能减少位线结构 30 的电阻, 又能进一步降低位线结构 30 和接触插塞 40 之间的寄生电容。

本实施例中, 过渡层 302 的宽度为导电层 301 宽度的  $\frac{2}{3}$ - $\frac{3}{4}$ , 如此设置, 可以在降低覆盖层 3031 对导电层 301 的影响, 保证对覆盖层 3031 的支撑力, 避免过渡层 302 的宽度过小导致的覆盖层 3031 塌陷。

本实施例提供的过渡层 302 的材质可以包括富金属氮化物 (如氮化钨、氮化钼、氮化钛等) 或者富金属硅化物 (如硅化钛、硅化钨等)。如此设置富金属氮化物和富金属硅化物可以捕获覆盖层 3031 中迁移至导电层 301 中的氮原子, 以进一步降低导电层 301 对覆盖层 3031 的影响, 以避免导电层 301 的电阻变大。例如, 覆盖层 3031 可以包括氮化硅等。

最后应说明的是: 以上各实施例仅用以说明本申请的技术方案, 而非对其限制; 尽管参照前述各实施例对本申请进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分或者全部技

术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

# 权 利 要 求 书

- 1、一种半导体结构的制备方法，包括：  
提供基底；  
在所述基底上形成间隔分布的若干位线结构，所述位线结构包括依次叠设的导电层、过渡层和覆盖层，所述过渡层的宽度小于所述导电层的宽度；  
在所述导电层的顶面以及所述过渡层的侧面形成气隙。
- 2、根据权利要求1所述的半导体结构的制备方法，其中，所述覆盖层的宽度大于所述导电层的宽度；所述气隙凸出于所述导电层的侧面。
- 3、根据权利要求1所述的半导体结构的制备方法，其中，还包括：  
在所述位线结构之间的所述基底上形成包括第一导电部分和第二导电部分的导电插塞，所述第二导电部分形成在所述第一导电部分的上方；  
其中，所述第二导电部分的底部具有面向所述位线结构的斜面。
- 4、根据权利要求3所述的半导体结构的制备方法，其中，  
所述第二导电部分的底部还包括底面、第一直面和第二直面，所述底面与所述第一导电部分的顶面直接接触，所述底面的两端分别与所述第一直面和所述第二直面连接；  
其中，所述第一直面还与所述斜面连接。
- 5、根据权利要求3所述的半导体结构的制备方法，其中，  
所述过渡层的顶角与所述斜面的垂直距离小于所述导电层的顶角与所述斜面的垂直距离。
- 6、根据权利要求5所述的半导体结构的制备方法，其中，所述斜面的底部高于所述导电层的顶部且低于所述过渡层的顶部。
- 7、一种半导体结构，包括：  
基底；  
间隔分布于所述基底上的若干位线结构，所述位线结构包括依次叠设的导电层、过渡层和覆盖层，所述过渡层的宽度小于所述导电层的宽度；  
气隙，所述气隙位于所述导电层的顶面以及所述过渡层的侧面。
- 8、根据权利要求7所述的半导体结构，其中，所述覆盖层的宽度大于所述导电层的宽度。
- 9、根据权利要求7所述的半导体结构，其中，所述气隙凸出于所述导电层的侧面。
- 10、根据权利要求7所述的半导体结构，其中，还包括：  
导电插塞，位于所述位线结构之间的所述基底上，所述导电插塞包括第一导电部分和位于所述第一导电部分上方的第二导电部分；  
其中，所述第二导电部分的底部具有面向所述位线结构的斜面。
- 11、根据权利要求10所述的半导体结构，其中，还包括：  
所述第二导电部分的底部还包括底面、第一直面和第二直面，所述底面与所述第一导电部分直接接触，所述底面的两端分别与所述第一直面和所述第二直面连接；  
其中，所述第一直面还与所述斜面连接。
- 12、根据权利要求10所述的半导体结构，其中，所述过渡层的顶角与所述斜面的

垂直距离小于所述导电层的顶角与所述斜面的垂直距离。

13、根据权利要求 12 所述的半导体结构，其中，所述斜面的底部高于所述导电层的顶部且低于所述过渡层的顶部。

14、根据权利要求 12 所述的半导体结构，其中，所述过渡层的宽度为所述导电层宽度的  $2/3-3/4$ 。

15、根据权利要求 7 所述的半导体结构，其中，所述过渡层的材质包括富金属氮化物或富金属硅化物，所述覆盖层包括氮化硅。