

半导体结构及其制作方法

交叉引用

5 [0001] 本申请引用于 2021 年 7 月 16 日递交的名称为“半导体结构及其制作方法”的第 202110808697.5 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及但不限于一种半导体结构及其制作方法。

背景技术

10 [0003] 随着动态存储器的集成密度朝着更高的方向发展，在对动态存储器阵列结构中晶体管的排布方式以及如何缩小动态存储器阵列结构中单个功能器件的尺寸进行研究的同时，也需要提高小尺寸的功能器件的电学性能。

[0004] 利用垂直的全环绕栅极（GAA，Gate-All-Around）晶体管结构作为动态存储器选择晶体管（access transistor）时，其占据的面积可以达到 $4F^2$ （F：在给定工艺条件下可获得的最小图案尺寸），原则上可以实现更高的密度效率，但由于掺杂工艺的限制，GAA 晶体管结构中各区域的多数载流子的浓度一致或者有细微差别，难以调节 GAA 晶体管结构中各区域的多数载流子的浓度不同，难以进一步提高 GAA 晶体管结构以及动态存储器的电学性能。

发明内容

20 [0005] 根据本申请一些实施例，本申请实施例一方面提供一种半导体结构，包括：基底；位线，位于所述基底上；半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触，且所述第一掺杂区、所述沟道区和所述第二掺杂区中掺杂有第一类型掺杂离子，所述沟道区中还掺杂有第二类型掺杂离子，使得所述沟道区中的多数载流子浓度低于所述第一掺杂区和所述第二掺杂区中多数载流子的浓度，所述第一类型掺杂离子为 N 型离子或 P 型离子中的一者，所述第二类型掺杂离子为 N 型离子或 P 型离子中的另一者。

30 [0006] 根据本申请一些实施例，本申请实施例另一方面还提供一种半导体结构的制作方法，包括：提供基底；在所述基底上形成初始位线，以及在所述初始位线远离所述基底的表面形成半导体通道，在沿所述基底指向所述初始位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，且所述第一掺杂区、所述沟道区和所述第二掺杂区中掺杂有相同掺杂浓度的第

一类型掺杂离子，所述第一类型掺杂离子为 N 型离子或 P 型离子中的一者；在所述沟道区的侧壁形成掺杂有第二类型掺杂离子的牺牲层，且所述牺牲层至少覆盖所述沟道区的侧壁，所述第二类型掺杂离子为 N 型离子或 P 型离子中的另一者；采用退火工艺，使所述第二类型掺杂离子扩散至所述沟道区中，以降低
5 所述沟道区中的多数载流子浓度；去除所述牺牲层，以露出所述沟道区侧壁。

[0007] 本申请实施例提供的技术方案至少具有以下优点：

[0008] 上述技术方案中，沟道区中不仅掺杂有第一类型掺杂离子，还掺杂有第二类型掺杂离子，使得沟道区中的多数载流子浓度低于第一掺杂区中多数载流子的浓度，且还低于第二掺杂区中多数载流子的浓度。一方面，沟道区中的多数载流子浓度较低，有利于提高沟道区的导通/关断比例，从而有利于提高控制沟道区导通/关断的灵敏度，以保证沟道区可以快速导通和关闭；另一方面，多数载流子在第一掺杂区和第二掺杂区中的浓度均较大，有利于降低第一掺杂区和第二掺杂区自身的电阻，从而有利于降低由第一掺杂区、沟道区和第二掺杂区构成的晶体管的阈值电压和提高该晶体管的饱和电流。因此，本申请实施例
15 有利于提高半导体结构的电学性能。

附图说明

[0009] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

20 [0010] 图 1 至图 36 为本申请实施例提供的半导体结构的形成方法中各步骤对应的结构示意图。

具体实施方式

[0011] 目前半导体结构的电学性能有待提高。

[0012] 经分析发现，在 GAA 晶体管中，第一掺杂区、沟道区和第二掺杂区依次堆叠设置，难以如平面晶体管利用离子注入工艺在制成栅极结构后进行第一掺杂区和第二掺杂区的自对准掺杂工艺，因而 GAA 晶体管中的第一掺杂区、沟道区和第二掺杂区通常通过同一掺杂工艺形成，则多数载流子在第一掺杂区、沟道区以及第二掺杂区中的浓度基本一致，且沟道区中的多数载流子的浓度不宜过高，当沟道区中的多数载流子的浓度较高时，会降低沟道区的导通/关断比例，使得栅极难以控制沟道区的关闭。然而，当保证沟道区中的多数载流子的浓度满足沟道区的具有高的导通/关断比例时，在该情况下的第一掺杂区和第二掺杂区内的多数载流子浓度较低，自身的电阻较大，会增大 GAA 晶体管的阈值电压
30

和降低 GAA 晶体管的饱和电流，从而对 GAA 晶体管的电学性能造成不利的影响。

[0013] 本申请实施例提供一种半导体结构及其制作方法，半导体结构中，沟道区中既掺杂有第一类型掺杂离子，又掺杂有第二类型掺杂离子，使得沟道区中的多数载流子浓度低于第一掺杂区中多数载流子的浓度，且还低于第二掺杂区中多数载流子的浓度。一方面，沟道区中的多数载流子浓度较低，有利于提高沟道区的导通/关断比例，从而有利于提高控制沟道区导通/关断的灵敏度，以保证沟道区可以快速导通和关闭；另一方面，多数载流子在第一掺杂区和第二掺杂区中的浓度均较大，有利于降低第一掺杂区和第二掺杂区自身的电阻，从而有利于降低由第一掺杂区、沟道区和第二掺杂区构成的晶体管的阈值电压和提高该晶体管的饱和电流。因此，本申请实施例有利于在保证沟道区的多数载流子浓度较低的同时，保证第一掺杂区和第二掺杂区的多数载流子浓度较高，从而提高半导体结构的电学性能。

[0014] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0015] 本申请一实施例提供一种半导体结构，以下将结合附图对本申请一实施例提供的半导体结构进行详细说明。图 1 至图 6 为本申请一实施例提供的半导体结构对应的结构示意图。其中，图 1 为本申请一实施例提供的半导体结构的一种结构示意图，图 2 为图 1 所示结构中半导体通道的剖面示意图；图 3 为图 1 所示结构沿第一截面方向 AA1 的一种剖面示意图，图 4 为图 1 所示结构沿第一截面方向 AA1 的又一种剖面示意图，图 5 为图 1 所示结构沿第二截面方向 BB1 的剖面示意图，图 6 为本申请一实施例提供的半导体结构的又一种结构示意图。

[0016] 参考图 1 至图 6，半导体结构包括：基底 11；位线 104，位于基底 11 上；半导体通道 105，位于位线 104 表面，在沿基底 11 指向位线 104 的方向上，半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III，第一掺杂区 I 与位线 104 相接触，且第一掺杂区 I、沟道区 II 和第二掺杂区 III 中掺杂有第一类型掺杂离子，沟道区 II 中还掺杂有第二类型掺杂离子，使得沟道区 II 中的多数载流子浓度低于第一掺杂区 I 和第二掺杂区 III 中多数载流子的浓度，第一类型掺杂离子为 N 型离子或 P 型离子中的一者，第二类型掺杂离子为 N 型离子或 P 型离子中的另一者。

[0017] 半导体结构还可以包括：绝缘层 106，覆盖沟道区 II 侧壁表面；字线 107，

覆盖绝缘层 106 远离沟道区 II 的侧壁表面, 且相邻第一掺杂区 I 侧壁、相邻字线 107 侧壁以及相邻第二掺杂区 III 侧壁围成空隙; 隔离层 103, 隔离层 103 位于空隙中, 且隔离层 103 远离基底 11 的顶面不低于第二掺杂区 III 远离基底 11 的顶面。

- 5 [0018] 由于半导体结构包括垂直的 GAA 晶体管, 且位线 104 位于基底 11 与 GAA 晶体管之间, 因而能够构成 3D 堆叠的存储器件, 有利于提高半导体结构的集成密度。

[0019] 以下将结合图 1 至图 6 对半导体结构进行更为详细的说明。

- 10 [0020] 其中, 基底 11 的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以硅或者锗; 晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。在一些实施例中, 基底 11 内可以掺杂有第二类型掺杂离子。

- 15 [0021] 在一些实施例中, 基底 11、位线 104 和半导体通道 105 具有相同的半导体元素, 则半导体通道 105 与位线 104 可以利用同一膜层结构形成, 该膜层结构由半导体元素构成, 使得半导体通道 105 与位线 104 为一体结构, 从而改善半导体通道 105 与位线 104 之间的界面态缺陷, 改善半导体结构的性能。

- 20 [0022] 其中, 半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种。在一个例子中, 位线 104 与半导体通道 105 均包括硅元素。在其他例子中, 位线与半导体通道可以均包括锗元素, 或者, 位线与半导体通道均包括硅元素和锗元素, 或者, 位线与半导体通道均包括硅元素和碳元素, 或者, 位线与半导体通道均包括砷元素和镓元素, 或者, 位线与半导体通道均包括镓元素和铟元素。

- 25 [0023] 在一些实施例中, 位线 104 的材料还可以包括金属半导体化合物 114, 金属半导体化合物 114 相较于未金属化的半导体材料而言, 具有相对较小的电阻率, 因此, 相较于半导体通道 105 而言, 位线 104 的电阻率更小, 从而有利于降低位线 104 的电阻, 且降低位线 104 与第一掺杂区 I 之间的接触电阻, 进一步改善半导体结构的电学性能。此外, 位线 104 的电阻率还小于基底 11 的电阻率。

- 30 [0024] 在一些实施例中, 位于第一掺杂区 I 正下方的位线 104 的区域的材料为半导体材料, 且未被第一掺杂区 I 覆盖的位线 104 的部分区域的材料为金属半导体化合物。可以理解的是, 随着器件尺寸的不断缩小或者制造工艺参数的调整, 位于第一掺杂区 I 正下方的位线 104 的部分区域的材料为半导体材料, 位于第一掺杂区 I 正下方的位线 104 的其余区域的材料也可以为金属半导体化合物, 此处的“其余区域”的位置位于“部分区域”的外围。

[0025] 其中, 在一些实施例中, 参考图 3, 同一位线 104 中的多个金属半导体化合物 114 之间相互间隔; 在另一些实施例中, 参考图 4, 同一位线 104 中的多个

金属半导体化合物 114 之间相互连通, 需要说明的是, 图 4 仅示例出来了相邻金属半导体化合物 114 之间边缘处刚好相互接触以连通的情况, 实际情况中, 相邻金属半导体化合物 114 之间相互接触的区域可以更大, 本申请实施例对相邻金属半导体化合物 114 之间相互接触的区域的大小不做限制。

5 [0026] 在其他实施例中, 整个位线的材料可以均为金属半导体化合物。

[0027] 以半导体元素为硅为例, 金属半导体化合物 114 包括硅化钴、硅化镍、硅化钼、硅化钛、硅化钨、硅化钽或者硅化铂中的至少一种。

[0028] 其中, 在基底 11 上可以形成多个间隔排布的位线 104, 以及每一位线 104 可与至少一个第一掺杂区 I 相接触, 图 1 至图 5 中以 4 个相互间隔的位线 104, 10 以及每一位线 104 与 4 个第一掺杂区 I 相接触作为示例, 可根据实际电学需求, 合理设置位线 104 的数量以及与每一位线 104 相接触的第一掺杂区 I 的数量。

[0029] 在一些实施例中, 当位线 104 中掺杂有第一类型掺杂离子, 基底 11 中掺杂有第二类型掺杂离子时, 位线 104 与基底 11 构成 PN 结, 该 PN 结有利于防止位线 104 漏电, 进一步改善半导体结构的电学性能。需要说明的是, 在其他 15 实施例中, 基底也可以不掺杂第二类型掺杂离子。

[0030] 在一些实施例中, 第一类型掺杂离子为 N 型离子, 第二类型掺杂离子为 P 型离子。具体地, N 型离子包括砷离子、磷离子或者锑离子中的至少一种; P 型离子包括硼离子、铟离子或者镓离子中的至少一种。在另一些实施例中, 第一类型掺杂离子可以为 P 型离子, 第二类型掺杂离子可以为 N 型离子。

20 [0031] 在一些实施例中, 第一类型掺杂离子可以均为磷离子, 第二类型掺杂离子可以均为硼离子。在其他实施例中, 第一掺杂区中的第一类型掺杂离子与第二掺杂区中的第一类型掺杂离子也可以不同。

[0032] 在一些实施例中, 半导体通道 105 中第一掺杂区 I、沟道区 II 和第二掺杂区 III 内均掺杂有第一类型掺杂离子。此外, 参考图 2, 图 2 示例出半导体通道 25 105 中由虚线和沟道区外围围成的扩散区域 IV 中均具有第二类型掺杂离子, 即第二类型掺杂离子不仅位于沟道区 II 中, 还位于第一掺杂区 I 靠近沟道区 II 的区域中以及位于第二掺杂区 III 靠近沟道区 II 的区域中, 且第一类型掺杂离子在扩散区域 IV 中的掺杂浓度大于第二类型掺杂离子在扩散区域 IV 中的掺杂浓度。如此, 有利于降低扩散区域 IV 中第一类型掺杂离子的有效掺杂浓度, 且本实施例中, 第一类型掺杂离子在沟道区 II 中的有效掺杂浓度低于在第一掺杂区 I 与沟道区 II 相接触的部分区域中的有效掺杂浓度, 第一类型掺杂离子在沟道区 II 中的有效掺杂浓度也低于在第二掺杂区 III 与沟道区 II 相接触的部分区域中的有效掺杂浓度。

[0033] 需要说明的是, 第一掺杂区 I 与沟道区 II 相接触的部分区域中第一类型

掺杂离子的有效掺杂浓度具体为：该部分区域中第一类型掺杂离子的掺杂浓度与第二类型掺杂离子的掺杂浓度的差值；第二掺杂区 III 与沟道区 II 相接触的部分区域中第一类型掺杂离子的有效掺杂浓度具体为：该部分区域中第一类型掺杂离子的掺杂浓度与第二类型掺杂离子的掺杂浓度的差值。

- 5 [0034] 半导体通道 105 中，对于某一指定的区域而言，该区域中既掺杂有第一类型掺杂离子，又掺杂有第二类型掺杂离子时，第一类型掺杂离子和第二类型掺杂离子共同作用，会出现杂质补偿现象，使得该区域中的多数载流子减少。当第一类型掺杂离子在该区域中的掺杂浓度大于第二类型掺杂离子在该区域中的掺杂浓度时，该区域中第一类型掺杂离子的有效掺杂浓度变低，该区域中的多数载流子的浓度变低。

[0035] 因此，当第一掺杂区 I 与沟道区 II 相接触的部分区域中第一类型掺杂离子的有效掺杂浓度降低时，有利于降低该区域中的多数载流子浓度，使得第一掺杂区 I 和沟道区 II 之间的结处电场强度变弱，使得半导体结构较少地受到碰撞电离的影响以及降低栅致漏极泄露电流（GIDL，gate-induced drain leakage）。

- 15 因而，当第二掺杂区 III 与沟道区 II 相接触的部分区域中第一类型掺杂离子的有效掺杂浓度降低时，有利于进一步使得半导体结构较少地受到碰撞电离的影响以及降低 GIDL。

- [0036] 在一些实施例中，第一类型掺杂离子在沟道区 II 中的掺杂浓度可以大于第二类型掺杂离子在沟道区 II 中的掺杂浓度，且第一类型掺杂离子在沟道区 II 中的有效掺杂浓度低于在第一掺杂区 I 中的有效掺杂浓度，第一类型掺杂离子在沟道区 II 中的有效掺杂浓度低于在第二掺杂区 III 中的有效掺杂浓度。

- [0037] 需要说明的是，第一类型掺杂离子在沟道区 II 中的有效掺杂浓度具体为：沟道区 II 中第一类型掺杂离子的掺杂浓度与第二类型掺杂离子的掺杂浓度的差值；第一类型掺杂离子在第一掺杂区 I 中的有效掺杂浓度具体为：第一掺杂区 I 中第一类型掺杂离子的掺杂浓度与第二类型掺杂离子的掺杂浓度的差值；第一类型掺杂离子在第二掺杂区 III 中的有效掺杂浓度具体为：第二掺杂区 III 中第一类型掺杂离子的掺杂浓度与第二类型掺杂离子的掺杂浓度的差值。

- [0038] 第一类型掺杂离子在沟道区 II 中的有效掺杂浓度不仅低于在第一掺杂区 I 中的有效掺杂浓度，还低于在第二掺杂区 III 中的有效掺杂浓度，使得沟道区 II 中的多数载流子浓度低于第一掺杂区 I 中多数载流子的浓度，且还低于第二掺杂区 III 中多数载流子的浓度，有利于在保证沟道区 II 的多数载流子浓度较低的同时，保证第一掺杂区 I 和第二掺杂区 III 的多数载流子浓度较高，以在提高沟道区 II 的导通/关断比例的同时，降低由第一掺杂区 I、沟道区 II 和第二掺杂区 III 构成的晶体管的阈值电压和提高该晶体管的饱和电流，从而提高半导体结构的

电学性能。

[0039] 在一些实施例中，第一类型掺杂离子在沟道区 II 中的有效掺杂浓度可以为 $8 \times 10^{18} \text{ atom/cm}^3 \sim 2 \times 10^{19} \text{ atom/cm}^3$ ，该浓度范围内，沟道区 II 的导通/关断比例比较高，保证沟道区 II 可以快速导通和关闭。

- 5 [0040] 例如，第一类型掺杂离子在沟道区 II 中的有效掺杂浓度可以为 $1 \times 10^{19} \text{ atom/cm}^3$ ，有利于在保证沟道区 II 较高的导通/关断比例的同时，保证沟道区 II 较高的导电性。

- 10 [0041] 此外，第一类型掺杂离子在第一掺杂区 I 中的有效掺杂浓度可以为 $3 \times 10^{19} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$ ，第一类型掺杂离子在第二掺杂区 III 中的有效掺杂浓度可以为 $3 \times 10^{19} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$ ，该浓度范围内，第一掺杂区 I 和第二掺杂区 III 中的多数载流子的浓度均较高，则第一掺杂区 I 和第二掺杂区 III 自身的电阻均较低，有利于保证由第一掺杂区 I、沟道区 II 和第二掺杂区 III 构成的晶体管具有较低的阈值电压和较高的饱和电流。

- 15 [0042] 例如，第一类型掺杂离子在第一掺杂区 I 中的有效掺杂浓度可以为 $1 \times 10^{20} \text{ atom/cm}^3$ ，第二类型掺杂离子在第二掺杂区 III 中的有效掺杂浓度也可以为 $1 \times 10^{20} \text{ atom/cm}^3$ ，有利于保证第一掺杂区 I 和第二掺杂区 III 均具有高的导电性。

[0043] 在一些实施例中，在沿基底 11 指向位线 104 的方向 Z 上，半导体通道 105 的高度为 100nm~150nm，第一掺杂区 I、沟道区 II 和第二掺杂区 III 的高度均为 30nm~50nm。

- 20 [0044] 在一些实施例中，沟道区 II 在基底 11 上的正投影可以小于第二掺杂区 III 在基底 11 上的正投影，且小于第一掺杂区 I 在基底 11 上的正投影，在垂直于方向 Z 的截面中，有利于形成截面面积更小的沟道区 II，有利于提高环绕沟道区 II 侧壁的字线 107 对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。在其他实施例中，第一掺杂区、沟道区以及第二掺杂区在基底上的正投影可以相等；或者，沟道区和第二掺杂区在基底上的正投影均小于第一掺杂区在基底上的正投影。

[0045] 其中，结合参考图 3 和图 5，在垂直于方向 Z 的截面中，沟道区 II 的宽度 W 和沟道区 II 的长度 L 均可以不大于 10nm，有利于保证字线 107 对沟道区 II 有良好的控制能力。

- 30 [0046] 此外，隔离层 103 可以包括第二介质层 123、第三介质层 133、第四介质层 143 和第五介质层 153。

[0047] 其中，第四介质层 143 位于相邻位线 104 的间隔中，且位于相邻位线 104 上的相邻第一掺杂区 I 的间隔中；第五介质层 153 位于同一位线 104 上相邻第一掺杂区 I 的侧壁，且位于第四介质层 143 的侧壁，且相邻第五介质层 153 之间具

有第一空隙。第四介质层 143 和第五介质层 153 共同实现相邻第一掺杂区 I 和相邻位线 104 之间的电绝缘。

[0048] 在一些实施例中，第四介质层 143 的材料和第五介质层 153 的材料相同，例如，第四介质层 143 的材料和第五介质层 153 的材料可以均为氧化硅。在其他实施例中，第四介质层的材料和第五介质层的材料也可以不同，只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料。

[0049] 相邻字线 107 之间具有第二空隙，第二介质层 123 覆盖第二掺杂区 III 侧壁表面，且位于相邻第二掺杂区 III 侧壁的第二介质层 123 之间具有第三空隙；第三介质层 133，位于第一空隙、第二空隙和第三空隙中。

10 [0050] 其中，第一空隙、第二空隙和第三空隙之间相连通。在一些实施例中，参考图 3 至图 5，第三介质层 133 填充满第一空隙、第二空隙和第三空隙，且第三介质层 133 远离基底 11 的顶面高于第二掺杂区 III 远离基底 11 的顶面。在又一些实施例中，参考图 6，位于第二空隙中的第三介质层 133 中具有第四空隙 109，即相邻字线 107 之间除了具有第三介质层 133，还具有第四空隙 109，有
15 利于降低相邻字线 107 之间产生的电容，以提高半导体结构的电学特性。在其他例子中，第四空隙不仅可以存在于位于第二空隙中的第三介质层中，还可以存在于位于第一空隙中的第三介质层中，或者存在于位于第三空隙中的第三介质层中。

[0051] 在一些实施例中，第四介质层 143 和第五介质层 153 共同构成第一隔离
20 层 113，绝缘层 106 的外围在基底 11 上的正投影小于第一隔离层 113 的外围在基底 11 上的正投影，即参考图 3 至图 5，绝缘层 106 远离半导体通道 105 的外壁相较于第一隔离层 113 远离半导体通道 105 的外壁，更靠近半导体通道 105。其中，绝缘层 106 的材料为氧化硅。在其他实施例中，绝缘层和第三介质层可以为同一膜层结构，即绝缘层和第三介质层可以通过同一工艺步骤形成。其中，
25 绝缘层的材料和第三介质层的材料包括氧化硅或者氮化硅中的至少一种。

[0052] 半导体结构还可以包括：金属接触层 108，位于第二掺杂区 III 远离基底 11 的顶面，且金属半导体化合物 114 和金属接触层 108 中具有相同的金属元素。其中，金属元素包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

[0053] 由于金属接触层 108 中具有金属元素，后续在金属接触层 108 上形成电容结构的下电极时，金属接触层 108 与下电极构成欧姆接触，避免下电极与半导体材料直接接触而形成肖特基势垒接触，欧姆接触有利于降低第二掺杂区 III 与下电极之间的接触电阻，从而降低半导体结构工作时的能耗，且改善 RC 延迟效应，以提高半导体结构的电学性能。此外，从制作工艺的角度而言，金属接触层 108 和金属半导体化合物 114 中具有相同的金属元素，有利于在一个工艺

步骤中, 形成金属接触层 108 和在位线 104 中形成金属半导体化合物 114。

[0054] 其中, 金属接触层 108 在基底 11 上的正投影可以覆盖第二掺杂区 III 在基底 11 上的正投影, 有利于增大金属接触层 108 与下电极之间的接触面积, 从而降低金属接触层 108 与下电极之间的接触电阻, 以提高半导体结构的电学性能。

[0055] 半导体结构还可以包括: 过渡层 118, 位于第二掺杂区 III 和金属接触层 108 之间, 且过渡层 118 位于第二掺杂区 III 的部分顶面, 金属接触层 108 包裹过渡层 118 的其余表面, 过渡层 118 和第二掺杂区 III 掺杂有相同类型的掺杂离子, 且掺杂离子在过渡层 118 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度, 则过渡层 118 的电阻小于第二掺杂区 III 的电阻, 有利于进一步降低第二掺杂区 III 与下电极之间的传输电阻。

[0056] 在其他实施例中, 半导体结构也可以不包括过渡层, 第二掺杂区顶面仅具有金属接触层。

[0057] 半导体结构还可以包括: 电容结构 (图中未示出), 电容结构位于金属接触层 108 和第三介质层 133 共同构成的表面。

[0058] 综上所述, 基底 11 上具有垂直的 GAA 晶体管, 且该 GAA 晶体管中, 沟道区 II 中的多数载流子浓度低于第一掺杂区 I 中多数载流子的浓度, 且还低于第二掺杂区 III 中多数载流子的浓度, 有利于在保证沟道区 II 的多数载流子浓度较低的同时, 保证第一掺杂区 I 和第二掺杂区 III 的多数载流子浓度较高, 以提高沟道区 II 的导通/关断比例的同时, 降低由第一掺杂区 I、沟道区 II 和第二掺杂区 III 构成的晶体管的阈值电压和提高该晶体管的饱和电流, 从而提高半导体结构的电学性能。

[0059] 本申请又一实施例还提供一种半导体结构的制作方法, 可用于形成上述半导体结构。

[0060] 图 7 至图 36 为本申请又一实施例提供的半导体结构的制造方法中各步骤对应的剖面结构示意图, 以下将结合附图对本实施例提供的半导体结构的制造方法进行详细说明, 与上述实施例相同或相应的部分, 以下将不做详细赘述。

[0061] 参考图 7 至图 10, 提供基底 11; 在基底 11 上形成初始位线 124, 以及在初始位线 124 远离基底 11 的表面形成半导体通道 105, 在沿基底 11 指向初始位线 124 的方向上, 半导体通道 105 包括依次排列的第一掺杂区 I、沟道区 II 以及第二掺杂区 III, 且第一掺杂区 I、沟道区 II 和第二掺杂区 III 中掺杂有相同掺杂浓度的第一类型掺杂离子, 第一类型掺杂离子为 N 型离子或 P 型离子中的一者。

[0062] 其中, 提供基底 11, 并在基底 11 上形成初始位线 124 以及半导体通道 105 包括如下步骤:

[0063] 参考图 7, 提供衬底 110, 其中, 衬底 110 的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗; 晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0064] 衬底 110 包括: 基底 11, 基底 11 内掺杂有第二类型掺杂离子, 第二类型掺杂离子为 N 型离子或 P 型离子中的另一者; 初始半导体层 10, 设置于基底 11 上。

[0065] 对初始半导体层 10 进行掺杂处理以及退火处理, 使得初始半导体层 10 内掺杂有第一类型掺杂离子, 用于后续刻蚀初始半导体层 10 以形成初始位线 124 和半导体通道 105。

[0066] 其中, 掺杂处理可以采用高温扩散或者离子注入的方法, 当采用离子注入的方式对初始半导体层 10 进行掺杂处理后, 退火处理的退火温度为 800°C ~ 1000°C 。

[0067] 在一些实施例中, 第一类型掺杂离子在初始半导体层 10 内的掺杂浓度为 $3 \times 10^{19} \text{ atom/cm}^3$ ~ $1 \times 10^{20} \text{ atom/cm}^3$, 且在初始半导体层 10 指向基底 11 的方向上, 初始半导体层 10 内第一类型掺杂离子的掺杂深度为 150nm~250nm。

[0068] 在一些实施例中, 第一类型掺杂离子为 N 型离子, 第二类型掺杂离子为 P 型离子。在其他实施例中, 第一类型掺杂离子可以为 P 型离子, 第二类型掺杂离子可以为 N 型离子。

[0069] 在初始半导体层 10 远离基底 11 的一侧依次堆叠形成缓冲层 120 和阻挡层 130。在一些实施例中, 可采用沉积工艺形成缓冲层 120 和阻挡层 130, 缓冲层 120 的材料为氧化硅, 阻挡层 130 的材料为氮化硅。

[0070] 其中, 可以采用化学气相沉积工艺沉积氮化硅以形成阻挡层 130, 氮化硅膜层的氧化速度非常慢, 有利于保护位于氮化硅膜层下方的衬底 110, 避免衬底 100 被氧化。

[0071] 在一些实施例中, 衬底 110 为硅衬底, 由于氮化硅的晶格常数和热膨胀系数与硅衬底的晶格常数和热膨胀系数的失配率都很大, 因而若在硅衬底上直接形成氮化硅, 氮化硅和硅的界面处缺陷密度大, 容易成为载流子陷阱和复合中心, 影响硅的载流子迁移率, 从而影响半导体结构的性能和工作寿命。而且, 氮化硅薄膜应力较大, 直接沉积在硅衬底上易出现龟裂现象。因而, 在硅衬底上沉积氮化硅之前先形成氧化硅作为缓冲层 120, 有利于提高导体结构的性能和工作寿命。

[0072] 继续参考图 7, 在阻挡层 130 上形成第一掩膜层 102, 第一掩膜层 102 具有多个相互分立的第一开口 b, 在沿第一开口 b 的延伸方向 X 上, 第一开口 b 的长度与后续形成的位线的长度一致。

[0073] 参考图 8, 以第一掩膜层 102 为掩膜刻蚀阻挡层 130、缓冲层 120 以及初始半导体层 10, 形成多个第一沟槽 a, 并去除第一掩膜层 102。

[0074] 在一些实施例中, 沿垂直于基底 11 表面的方向 Z, 第一沟槽 a 的深度为 250nm~300nm。由于第一沟槽 a 的深度大于初始半导体层 10 内第一类型掺杂离子的掺杂深度, 有利于保证掺杂有第一类型掺杂离子的初始半导体层 10 均被刻蚀, 便于后续形成第一类型掺杂离子掺杂浓度高的半导体通道和位线。

[0075] 参考图 9, 在第一沟槽 a 中形成第四介质层 143。

[0076] 在一些实施例中, 可采用以下工艺步骤形成第四介质层 143: 进行沉积工艺, 形成覆盖阻挡层 130 顶面以及填充第一沟槽 a 的第四介质膜; 对第四介质膜进行化学机械平坦化处理至露出阻挡层 130 顶面, 剩余第四介质膜作为第四介质层 143。其中, 第四介质膜的材料包括氧化硅。

[0077] 此外, 在第四介质层 143 和剩余阻挡层 130 共同构成的顶面上形成第二掩膜层 112, 第二掩膜层 112 具有多个相互分立的第二开口 c, 在沿第二开口 c 的延伸方向 Y 上, 第二开口 c 的长度与后续形成的字线的长度一致。

[0078] 在一些实施例中, 结合参考图 7 和图 9, 第一开口 b 的延伸方向 X 垂直于第二开口 c 的延伸方向 Y, 使得最终形成的半导体通道 105 呈现 4F2 的排布方式, 有利于进一步提高半导体结构的集成密度。在其他实施例中, 第一开口的延伸方向与第二开口的延伸方向相交, 两者之间的夹角可以不为 90°。

[0079] 在一些实施例中, 第一开口 b 沿方向 Y 上的开口宽度与第二开口 c 沿方向 X 上的开口宽度的比值可以为 2~1, 以保证后续能形成露出环绕沟道区 II 侧壁的初始第一介质层的通孔, 从而有利于后续自对准形成字线。例如, 第一开口 b 沿方向 Y 上的开口宽度可以等于第二开口 c 沿方向 X 上的开口宽度, 且相邻第一开口 b 之间的间距等于相邻第二开口 c 之间的间距, 一方面, 使得后续形成的多个半导体通道排列规整, 进一步提高半导体结构的集成密度; 另一方面, 可以采用同一掩膜版形成第一掩膜层 102 和形成第二掩膜层 112, 有利于降低半导体结构的制备成本。

[0080] 在一些实施例中, 形成第一掩膜层 102 和形成第二掩膜层 112 的方法均包括自对准多重曝光技术 (SAQP, Self-Aligned Quadruple Patterning) 或者自对准多重成像技术 (SADP, Self-Aligned Double Patterning)。

[0081] 参考图 10, 以第二掩膜层 112 为掩膜刻蚀初始半导体层 10 (参考图 7) 和第四介质层 143, 形成多个第二沟槽 d、初始位线 124 和半导体通道 105, 且在垂直于基底 11 表面的方向 Z 上, 第二沟槽 d 的深度小于第一沟槽 a 的深度, 有利于在形成初始位线 124 的同时, 在初始位线 124 远离基底 11 的一侧形成多个相互分立的半导体通道 105, 且初始位线 124 与半导体通道 105 的第一掺杂区

I 相接触；去除第二掩膜层 112。

[0082] 在一些实施例中，第二沟槽 d 的深度为 100nm~150nm，由于初始半导体层 10 内第一类型掺杂离子的掺杂深度为 150nm~250nm，有利于使得大部分或者全部掺杂有第一类型掺杂离子的初始半导体层 10 经过两次刻蚀转变为半导体通道 105。

[0083] 此外，衬底 110 的材料为硅，第四介质层 143 的材料为氧化硅，在以第二掩膜层 112 为掩膜刻蚀初始半导体层 10 和第四介质层 143 的步骤中，刻蚀工艺对氧化硅的刻蚀速率大于对硅的刻蚀速率，因而初始位线 124 的部分侧壁会暴露出来。

[0084] 为了实现相邻初始位线 124 和相邻半导体通道 105 之间的电绝缘，以第二掩膜层 112 为掩膜刻蚀初始半导体层 10 和第四介质层 143 之后，剩余第四介质层 143 还位于相邻初始位线 124 的间隔中，以及位于相邻半导体通道 105 的间隔中。

[0085] 在一些实施例中，形成半导体通道 105 垂直于初始位线 124 远离基底 11 顶面的 GAA 晶体管，可以构成 3D 堆叠的半导体结构，有利于在不对 GAA 晶体管的电学性能造成不利影响的前提下，设计尺寸特征更小的 GAA 晶体管，以提高半导体结构的集成密度。

[0086] 此外，利用第一掩膜层 102 和第二掩膜层 112，通过两次刻蚀工艺同时形成初始位线 124 和半导体通道 105，一方面，有利于通过调控第一开口 b 和第二开口 c 的尺寸调控半导体通道 105 的尺寸，形成尺寸精度较高的半导体通道 105；另一方面，初始位线 124 和半导体通道 105 均是通过刻蚀初始半导体层 10 形成的，即初始位线 124 和半导体通道 105 利用同一膜层结构形成，使得初始位线 124 和半导体通道 105 为一体结构，从而改善初始位线 124 和半导体通道 105 之间的界面态缺陷，改善半导体结构的性能。

[0087] 参考图 11 至图 34，形成覆盖第一掺杂区 I 侧壁表面的第一隔离层 113，且同一初始位线 124 上相邻第一掺杂区 I 侧壁的第一隔离层 113 之间具有第一间隔，且第一间隔露出初始位线 124；形成第二隔离层 163，第二隔离层 163 位于第一间隔中，且第二隔离层 163 远离基底 11 的顶面不低于第二掺杂区 III 远离基底 11 的顶面，第二隔离层 163 与沟道区 II 之间具有第二间隔；形成覆盖第二掺杂区 III 侧壁表面的第三隔离层 173，第三隔离层 173 与第二隔离层 163 相接触，且位于相邻初始位线 124 上的相邻第二掺杂区 III 侧壁的第二隔离层 163 之间具有第三间隔，第二间隔和第三间隔相连通。

[0088] 其中，图 12 为图 11 所示结构沿第一截面方向 AA1 的剖面示意图，图 13 为图 11 所示结构沿第二截面方向 BB1 的剖面示意图。需要说明的是，后续将根

据表述需要设置沿第一截面方向 AA1 的剖面示意图以及沿第二截面方向 BB1 的剖面示意图中的一者或者两者，当仅参考一个附图时，附图为沿第一截面方向 AA1 的剖面示意图；当同时参考两个附图时，附图首先为沿第一截面方向 AA1 的剖面示意图，其次为沿第二截面方向 BB1 的剖面示意图。

- 5 [0089] 在一些实施例中，结合参考图 1 和参考图 11 至图 33，形成第一隔离层 113、第二隔离层 163、第三隔离层 173、绝缘层 106、字线 107 以及隔离层 103 包括如下步骤：

10 [0090] 参考图 11，形成初始第一隔离层 113a，初始第一隔离层 113a 环绕半导体通道 105 侧壁，且位于同一初始位线 124 上相邻半导体通道 105 侧壁的初始第一隔离层 113a 之间具有第四间隔 e。

[0091] 形成初始第一隔离层 113a 的步骤可以为：形成第一隔离膜，第一隔离膜保形覆盖第二沟槽 d（参考图 10）的侧壁和底部，且还位于阻挡层 130 和第四介质层 143 的顶面；对第一隔离膜进行无掩膜干法刻蚀工艺，直至露出阻挡层 130，利用相同的刻蚀时间内，刻蚀工艺刻蚀第一隔离膜不同区域的厚度相同，
15 形成第五介质层 153。

[0092] 结合参考图 11 至图 13，第五介质层 153 位于第二沟槽 d（参考图 10）的侧壁，第四介质层 143 位于相邻半导体通道 105 的间隔中，第四介质层 143 和第五介质层 153 共同组成初始第一隔离层 113a，且位于第二沟槽 d 侧壁的第五介质层 153 之间具有第四间隔 e。

20 [0093] 其中，第四介质层 143 的材料与第五介质层 153 的材料相同，便于后续通过刻蚀工艺一同去除与沟道区 II 侧壁对应的第四介质层 143 和第五介质层 153，从而在沟道区 II 侧壁和后续形成的第二隔离层之间形成空隙，从而有利于后续形成制备字线的间隙。进一步地，第四介质层 143 的材料与第五介质层 153 的材料均为氧化硅。

25 [0094] 在其他实施例中，第四介质层的材料和第五介质层的材料也可以不同，只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料即可，然后可以分步去除与沟道区侧壁对应的第四介质层和第五介质层。

[0095] 参考图 14，形成第二隔离层 163，第二隔离层 163 填充第四间隔 e（参考图 13），且第二隔离层 163 的材料和初始第一隔离层 113a 的材料不同。其中，
30 第二隔离层 163 的材料包括氮化硅。

[0096] 参考图 15，刻蚀部分初始第一隔离层 113a 至露出第二掺杂区 III 侧壁。

[0097] 参考图 16 至图 19，其中，图 17 为图 16 的俯视示意图，图 18 为沿第三截面方向 CC1 的剖面示意图，图 19 为沿第二截面方向 BB1 的剖面示意图。

[0098] 形成第三隔离层 173，第三隔离层 173 环绕第二掺杂区 III 侧壁和位于第

二隔离层 163 侧壁, 位于第二掺杂区 III 侧壁的第三隔离层 173 和位于第二隔离层 163 侧壁的第三隔离层 173 共同围成通孔 f, 通孔 f 底部露出初始第一隔离层 113a, 且第三隔离层 173 的材料和初始第一隔离层 113a 的材料不同。

[0099] 参考图 18 和图 19, 第三隔离层 173 在环绕第二掺杂区 III 侧壁的同时, 覆盖第五介质层 153 顶面和部分第四介质层 143 顶面, 通孔 f 露出的是第四介质层 143 的部分顶面。

[00100] 在一些实施例中, 可采用以下工艺步骤形成第三隔离层 173: 进行沉积工艺, 形成保形覆盖由半导体通道 105、初始第一隔离层 113a 以及第二隔离层 163 共同构成的表面的第三隔离膜; 对第三隔离膜进行无掩膜干法刻蚀工艺, 直至露出第二掺杂区 III 顶面, 利用相同的刻蚀时间内, 刻蚀工艺刻蚀第三隔离膜不同区域的厚度相同, 形成露出第二隔离层 163 的第三隔离层 173。其中, 第三隔离层 173 的材料包括氮化硅。

[00101] 此外, 在前述的第一掩膜层 102 和第二掩膜层 112 中, 第一开口 b 沿方向 Y 上的开口宽度与第二开口 c 沿方向 X 上的开口宽度的比值为 2~1, 在形成第三隔离层 173 时, 有利于保证第三隔离层 173 填充满同一初始位线 124 上相邻半导体通道 105 之间的间隔的同时, 不会将相邻初始位线 124 上相邻半导体通道 105 之间的间隙填满, 从而保证形成露出第四介质层 143 的部分顶面的通孔 f, 便于后续利用通孔 f 去除部分初始第一隔离层 113a。

[00102] 结合参考图 20 至图 22, 去除通孔 f 露出的位于沟道区 II 侧壁的初始第一隔离层 113a, 剩余初始第一隔离层 113a (参考图 18) 作为第一隔离层 113。

[00103] 由于通孔 f 露出初始第一隔离层 113a 的部分顶面, 初始第一隔离层 113a 的材料与第二隔离层 163 和第三隔离层 173 的材料均不相同, 则可以向通孔 f 中注入刻蚀液, 通过湿法刻蚀工艺去除位于沟道区 II 侧壁的初始第一隔离层 113a, 保留位于第一掺杂区 I 侧壁的初始第一隔离层 113a 作为第一隔离层 113。

[00104] 此外, 第二隔离层 163 和第三隔离层 173 共同组成支撑骨架, 支撑骨架与第二掺杂区 III 相接触连接, 且部分支撑骨架嵌入第一隔离层 113 中。在进行湿法刻蚀工艺的步骤中, 一方面, 支撑骨架有对半导体通道 105 起支撑固定的作用, 当刻蚀液流动时产生对半导体通道 105 的挤压力, 有利于避免半导体通道 105 受挤压发生倾斜或者偏移, 以提高半导体结构的稳定性; 另一方面, 支撑骨架包裹着第二掺杂区 III 侧壁, 有利于避免刻蚀液对第二掺杂区 III 造成损伤。

[00105] 去除位于沟道区 II 侧壁的初始第一隔离层 113a 之后, 沟道区 II 与第二隔离层 163 之间形成第二间隙 g, 通孔 f 和第二间隙 g 共同组成洞穴结构 h。

[00106] 参考图 23 和图 24, 在沟道区 II 的侧壁表面形成保护层 119, 且保护

层 119 覆盖沟道区 II 侧壁表面。

[00107] 以半导体通道 105 的材料为硅为例，对露出的沟道区 II 侧壁进行热氧化处理，以形成保护层 119，且保护层 119 覆盖剩余沟道区 II 的侧壁表面，保护层 119 和第二隔离层 163 之间具有第五间隔 i。具体地，在垂直于沟道区 II 侧壁的方向上，保护层 119 的厚度为 1nm~2nm。在其他实施例中，保护层也可以通过沉积工艺形成。

[00108] 一方面，后续形成牺牲层时，保护层 119 用于隔离牺牲层和沟道区 II，以避免形成牺牲层时对沟道区 II 造成污染；另一方面，后续去除牺牲层和保护层 119 时，保护层 119 起到刻蚀缓冲的作用，避免沟道区 II 侧壁被过刻蚀。

[00109] 热氧化处理的过程中，第二掺杂区 III 的顶面也暴露在外，则第二掺杂区 III 靠近顶面的部分区域和沟道区 II 侧壁均被转化为保护层 119。

[00110] 参考图 25 和图 26，在保护层 119 远离沟道区 II 的侧壁形成掺杂有第二类型掺杂离子的牺牲层 129，且牺牲层 129 至少覆盖沟道区 II 的侧壁。

[00111] 在一些实施例中，可以采用沉积工艺，形成填充满通孔 f 和第五间隔 i 的牺牲层 129，即牺牲层 129 填充满相邻保护层 119 的间隔中，且位于相邻第二掺杂区 III 的间隔中，如此形成的牺牲层 129 体积较大，后续进行退火工艺时，有利于提供较多的第二类型掺杂离子，使得更多的第二类型掺杂离子扩散进沟道区 II 中，以降低沟道区 II 中的多数载流子浓度。

[00112] 其中，牺牲层 129 的材料包括多晶硅，由于多晶硅中的杂质较多，在形成多晶硅时，沟道区 II 和牺牲层 129 之间具有保护层 119 有利于避免沟道区 II 被杂质污染。第二类型掺杂离子可以为硼离子。

[00113] 在一些实施例中，第二类型掺杂离子在牺牲层 129 中的掺杂浓度为 $4 \times 10^{20} \text{atom/cm}^3 \sim 9 \times 10^{20} \text{atom/cm}^3$ 。例如，第二类型掺杂离子在牺牲层 129 中的掺杂浓度为 $1 \times 10^{21} \text{atom/cm}^3$ ，有利于保证后续经过退火工艺之后，沟道区 II 中第一类型掺杂离子的有效掺杂浓度范围为 $8 \times 10^{18} \text{atom/cm}^3 \sim 2 \times 10^{19} \text{atom/cm}^3$ 。

[00114] 在其他实施例中，可以不在沟道区侧壁形成保护层，直接在沟道区的侧壁表面形成掺杂有第二类型掺杂离子的牺牲层，

[00115] 采用退火工艺，使第二类型掺杂离子扩散至沟道区 II 中，以降低沟道区 II 中的多数载流子浓度。由于前述工艺中在第一掺杂区 I、沟道区 II 和第二掺杂区 III 中均掺杂有第一类型掺杂离子，当第二类型掺杂离子向沟道区 II 中扩散时，会使得第一类型掺杂离子在沟道区 II 中的有效掺杂浓度低于在第一掺杂区 I 中的有效掺杂浓度，且低于在第二掺杂区 III 中的有效掺杂浓度，从而使得沟道区 II 中的多数载流子浓度低于第一掺杂区 I 中多数载流子的浓度，且还低于第二掺杂区 III 中多数载流子的浓度，有利于在提高沟道区 II 的导通/关断比例的

同时，降低由第一掺杂区 I、沟道区 II 和第二掺杂区 III 构成的晶体管的阈值电压和提高该晶体管的饱和电流。

[00116] 此外，在退火工艺的步骤中，第二类型掺杂离子的扩散方向为由沟道区 II 指向第一掺杂区 I 或者由沟道区 II 指向第二掺杂区 III。如此，第一掺杂区 I 与沟道区 II 相接触的部分区域中第一类型掺杂离子的有效掺杂浓度会降低，第二掺杂区 III 与沟道区 II 相接触的部分区域中第一类型掺杂离子的有效掺杂浓度会降低，有利于使得半导体结构较少地受到碰撞电离的影响以及降低 GIDL。

[00117] 此外，由于第二掺杂区 III 的侧壁被第三隔离层 173 保护着，第二掺杂区 III 顶面被保护层 119 保护着，因而不必对牺牲层 129 进行刻蚀，直接进行退火工艺，就可以达到针对沟道区 II 进行第二类型掺杂离子扩散的目的，有利于简化半导体结构的制作步骤。

[00118] 参考图 27 和图 28，去除牺牲层 129 和保护层 119，以露出沟道区 II 侧壁，再次形成通孔 f 和体积更大的第二间隔 k，且使得沟道区 II 在基底 11 上的正投影小于第二掺杂区 III 在基底 11 上的正投影，且小于第一掺杂区 I 在基底 11 上的正投影。本实施例中，由于牺牲层 129 的材料为多晶硅，沟道区 II 的材料为硅，同一刻蚀工艺对牺牲层 129 和沟道区 II 的刻蚀速率差别较小，则在去除牺牲层 129 时，保护层 119 可以作为刻蚀阻挡层，防止沟道区 II 受到刻蚀损伤。

[00119] 参考图 29 至图 31，形成覆盖沟道区 II 侧壁表面的绝缘层 106；形成覆盖绝缘层 106 远离沟道区 II 的侧壁表面的字线 107，且字线 107 和绝缘层 106 共同填充满第二间隔 k（参考图 28）。

[00120] 在一些实施例中，对露出的沟道区 II 侧壁进行热氧化处理，以形成绝缘层 106，进一步使得沟道区 II 在基底 11 上的正投影小于第二掺杂区 III 在基底 11 上的正投影，且小于第一掺杂区 I 在基底 11 上的正投影，有利于在不采用刻蚀工艺的前提下，形成在垂直于方向 Z 的截面中，截面面积更加小的沟道区 II，有利于提高字线 107 对沟道区 II 的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。其中，绝缘层 106 的材料为氧化硅。在其他实施例中，也可以通过沉积工艺形成覆盖沟道区侧壁表面的绝缘层。

[00121] 形成字线 107 的步骤包括：形成初始字线，初始字线填充满第二间隔 k 和通孔 f；去除位于通孔 f 中的初始字线，剩余初始字线作为字线 107。其中，可通过沉积工艺形成初始字线，初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

[00122] 初始字线自对准地填充满第二间隔 k 和通孔 f，去除位于通孔 f 中的初始字线之后，有利于自对准地形成尺寸精确的字线 107，无需通过刻蚀工艺来设

计字线 107 的尺寸, 有利于简化字线 107 的形成步骤, 且通过调控第二间隔 k 的尺寸, 即可获得小尺寸的字线 107。

[00123] 参考图 32, 形成字线 107 之后, 还形成第四隔离层 183, 第四隔离层 183 填充满通孔 f (参考图 30)。

- 5 [00124] 在一些实施例中, 第四隔离层 183 与第二隔离层 163 和第三隔离层 173 的材料相同, 均包括氮化硅。在其他实施例中, 也可以对第三隔离膜进行化学机械平坦化处理至露出第二掺杂区顶面, 即同步去除位于第二掺杂区顶面的绝缘层, 剩余第三隔离膜作为第三隔离层。

- 10 [00125] 继续参考图 32, 去除位于第二掺杂区 III 顶面的绝缘层 106 (参考图 29), 采用外延生长工艺, 在第二掺杂区 III 顶面形成初始过渡层 128, 且初始过渡层 128 在基底 11 上的正投影覆盖第二掺杂区 III 在基底 11 上的正投影。

- [00126] 此外, 在外延生长的工艺步骤中, 在初始过渡层 128 中还掺杂有第一类型掺杂离子, 且第一类型掺杂离子在初始过渡层 128 中的掺杂浓度大于在第二掺杂区 III 中的掺杂浓度, 则初始过渡层 128 的电阻小于第二掺杂区 III 的电阻。
- 15

- [00127] 一方面, 采用外延生长工艺有利于提升第二掺杂区 III 和初始过渡层 128 之间的连续性, 减少因晶格特性不同或者晶格错位导致的接触缺陷, 减小因接触缺陷导致的接触电阻, 提升载流子的传输能力和移动速度, 进而提高第二掺杂区 III 和初始过渡层 128 之间的导电性能, 以及降低半导体结构运行过程中的发热; 另一方面, 采用外延生长工艺有利于增大初始过渡层 128 在基底 11 上的正投影, 有利于使得初始过渡层 128 在基底 11 上的正投影面积大于第二掺杂区 III 在基底 11 上的正投影面积, 后续可以作为掩膜, 避免形成环绕第二掺杂区 III 侧壁的第二介质层被刻蚀至露出第二掺杂区 III, 以保证后续形成的第二介质层对第二掺杂区 III 良好的保护效果。
- 20

- 25 [00128] 结合参考图 32 和图 33, 以初始过渡层 128 为掩膜, 刻蚀第二隔离层 163、第三隔离层 173 以及第四隔离层 183, 以露出第二掺杂区 III 侧壁, 剩余第二隔离层 163 顶面不高于字线 107 顶面。其中, 初始过渡层 128 在基底 11 上的正投影覆盖第二掺杂区 III 在基底 11 上的正投影, 有利于避免半导体通道 105 在该步骤中受到刻蚀损伤。

- 30 [00129] 然后, 形成保形覆盖初始过渡层 128 表面、第二掺杂区 III 侧壁、字线 107 顶面以及第二隔离层 163 顶面的第二介质膜; 对第二介质膜进行化学机械平坦化处理至露出初始过渡层 128 表面, 以初始过渡层 128 为掩膜刻蚀剩余的第二介质层膜, 由于初始过渡层 128 在基底 11 上的正投影面积大于第二掺杂区 III 在基底 11 上的正投影面积, 有利于在去除位于初始过渡层 128 表面、第

二隔离层 163 顶面以及部分字线 107 顶面的第二介质膜的同时，避免与初始过渡层 128 在基底 11 上的正投影正对的第二介质膜被刻蚀，从而形成环绕第二掺杂区 III 侧壁的第二介质层 123，以保证第二介质层 123 对第二掺杂区 III 良好的保护效果。其中，可以采用沉积工艺形成第二介质膜。

5 [00130] 然后，去除剩余的第二隔离层 163，以露出初始位线 124 顶面。

[00131] 在其他实施例中，以初始过渡层为掩膜，刻蚀第二隔离层、第三隔离层以及第四隔离层，以露出初始位线以及露出第二掺杂区侧壁；然后对露出的第二掺杂区侧壁进行热氧化处理，以形成第二介质层。

10 [00132] 结合参考图 33 和图 1 至图 5，对暴露出的初始位线 124 和初始过渡层 128 进行金属化处理，以形成位线 104，位线 104 的材料包括金属半导体化合物 114。

[00133] 其中，金属化处理包括如下步骤：

15 [00134] ，在初始过渡层 128 表面和初始位线 124 顶面形成金属层，金属层为形成位线 104 提供金属元素；金属层还位于第二介质层 123、字线 107 以及第一隔离层 113 暴露出的表面。其中，金属层的材料包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

[00135] 进行退火处理，以将部分厚度的初始过渡层 128 转化为金属接触层 108，将部分厚度的初始位线 124 转化为位线 104。在形成位线 104 之后，去除剩余的金属层。

20 [00136] 在一些实施例中，在退火处理的过程中，金属层与初始过渡层 128 和初始位线 124 发生反应，部分厚度的初始过渡层 128 转化为金属接触层 108，部分厚度的初始位线 124 转化为位线 104。具体地，在一个例子中，参考图 3，同一位线 104 中的多个金属半导体化合物 114 之间相互间隔；在又一个例子中，参考图 4，同一位线 104 中的多个金属半导体化合物 114 之间相互连通。

25 [00137] 在其他实施例中，全部厚度的初始过渡层可以转化为金属接触层，全部厚度的初始位线可以转化为位线。

30 [00138] 在其他实施例中，在第二掺杂区顶面没有形成初始过渡层时，先不去除位于第二掺杂区顶面的绝缘层，后续仅对初始位线进行金属化处理，形成位线之后，再去除位于第二掺杂区顶面的绝缘层。或者，在第二掺杂区顶面没有形成初始过渡层时，去除位于第二掺杂区顶面的绝缘层和露出第二掺杂区侧壁之后，再形成保形覆盖第二掺杂区顶面和侧壁、字线顶面以及第二隔离层顶面的第二介质膜，然后对第二介质膜进行垂直刻蚀，以去除位于第二掺杂区顶面、第二隔离层顶面以及部分字线顶面的第二介质膜，并保留位于第二掺杂区侧壁的第二介质膜作为第二介质层。

[00139] 继续参考图 33 和图 1 至图 5, 形成第三介质层 133, 第三介质层 133 填充相邻第一隔离层 113 之间的第一间隔、相邻在字线 107 之间的第二空隙以及相邻第二介质层 123 之间的第三空隙, 用于实现相邻半导体通道 105 以及相邻字线 107 之间的电绝缘。在一些例子中, 参考图 6, 在形成第三介质层 133 时, 位于第二空隙中的第三介质层 133 中还可以具有第四空隙 109。

[00140] 其中, 第二介质层 123、第三介质层 133、第四介质层 143 和第五介质层 153 共同构成隔离层 103。

[00141] 在又一些实施例中, 结合参考图 11 至图 1 和图 34 至图 36, 形成第一隔离层 113、绝缘层 106、字线 107 以及第三介质层 133 包括如下步骤:

[00142] 参考图 11 至图 14, 形成初始第一隔离层 113a, 初始第一隔离层 113a 环绕半导体通道 105 侧壁, 且位于同一初始位线 124 上相邻半导体通道 105 侧壁的初始第一隔离层 113a 之间具有第四间隔 e; 形成第二隔离层 163, 第二隔离层 163 填充第四间隔 e, 且第二隔离层 163 的材料和初始第一隔离层 113a 的材料不同。

[00143] 其中, 形成初始第一隔离层 113a 和第二隔离层 163 的步骤与上述例子相同, 在此不做赘述。

[00144] 参考图 34, 刻蚀部分初始第一隔离层 113a (参考图 14) 至露出第二掺杂区 III 侧壁和沟道区 II 侧壁, 剩余初始第一隔离层 113a 作为第一隔离层 113。进一步地, 形成覆盖第二掺杂区 III 侧壁和沟道区 II 侧壁的保护层 119, 且保护层 119 和第二隔离层 163 之间具有第六间隔 m。

[00145] 以半导体通道 105 的材料为硅为例, 对露出的第二掺杂区 III 侧壁和沟道区 II 侧壁进行热氧化处理, 以形成保护层 119, 且保护层 119 覆盖剩余第二掺杂区 III 侧壁表面和剩余沟道区 II 的侧壁表面。具体地, 在垂直于方向 Z 的方向上, 保护层 119 的厚度为 1nm~2nm。在其他实施例中, 保护层也可以通过沉积工艺形成。

[00146] 一方面, 后续形成牺牲层时, 保护层 119 用于隔离牺牲层和沟道区 II, 以避免形成牺牲层时对沟道区 II 造成污染; 另一方面, 后续去除牺牲层和保护层 119 时, 保护层 119 起到刻蚀缓冲的作用, 避免沟道区 II 侧壁被过刻蚀。

[00147] 热氧化处理的过程中, 第二掺杂区 III 的顶面也暴露在外, 则第二掺杂区 III 靠近顶面的部分区域也被转化为保护层 119。

[00148] 参考图 35, 在保护层 119 远离沟道区 II 的侧壁形成掺杂有第二类型掺杂离子的牺牲层 129, 且牺牲层 129 仅仅覆盖沟道区 II 的侧壁。形成牺牲层 129 的步骤可以包括: 采用沉积工艺, 形成填充第六间隔 m 的初始牺牲层; 对初始牺牲层进行回刻蚀处理, 以去除部分初始牺牲层至初始牺牲层仅仅位于沟道

区 II 的侧壁。如此, 能避免后续进行退火工艺时, 第二类型掺杂离子通过环绕第二掺杂区 III 侧壁的保护层 119 扩散进第二掺杂区 III 中。

[00149] 采用退火工艺, 使第二类型掺杂离子扩散至沟道区 II 中, 以降低沟道区 II 中的多数载流子浓度。

- 5 [00150] 结合参考图 35 和图 36, 去除保护层 119 和牺牲层 129, 以露出第二掺杂区 III 侧壁和沟道区 II 侧壁; 形成覆盖第二掺杂区 III 侧壁和沟道区 II 侧壁的初始绝缘层 116, 且初始绝缘层 116 和第二隔离层 163 之间具有空隙, 沟道区 II 侧壁的初始绝缘层 116 为绝缘层 106, 覆盖第二掺杂区 III 侧壁的保护层 116 为第二介质层 123。其中, 形成初始绝缘层 116 的方法包括热氧化工艺或者沉积工艺。

10 [00151] 在一些实施例中, 在后续的工艺步骤中去除位于剩余第二掺杂区 III 顶面的初始绝缘层 116。在其他实施例中, 可以在热氧化处理之后, 就去除位于剩余第二掺杂区顶面的初始绝缘层, 仅保留覆盖剩余沟道区以及剩余第二掺杂区的侧壁表面的初始绝缘层。

- 15 [00152] 形成字线 107, 字线 107 仅环绕位于沟道区 II 侧壁的绝缘层 106 侧壁。形成字线 107 的步骤与上述例子相同, 在此不做赘述。

[00153] 在形成字线 107 之后, 形成第四隔离层、形成初始过渡层、对初始过渡层和初始位线进行金属化处理以形成金属接触层和位线、形成第三介质层的步骤与上述例子相同, 在此不做赘述。

- 20 [00154] 在金属接触层 108 和第三介质层 133 共同构成的表面形成电容结构 (图中未示出)。在其他实施例中, 还可以不形成金属接触层, 在去除位于第二掺杂区顶面的绝缘层之后, 直接在第二掺杂区和第三介质层共同构成的表面形成电容结构。

- [00155] 综上所述, 通过形成特定形状的空洞结构; 采用热氧化工艺和退火工艺, 将第二类型掺杂离子扩散进已经掺杂有第一类型掺杂离子的沟道区 II 中, 使得第一类型掺杂离子在沟道区 II 中的有效掺杂浓度低于在第一掺杂区 I 中的有效掺杂浓度, 且低于在第二掺杂区 III 中的有效掺杂浓度, 从而使得沟道区 II 的多数载流子浓度较低的同时, 保证第一掺杂区 I 和第二掺杂区 III 的多数载流子浓度较高, 以在提高沟道区 II 的导通/关断比例的同时, 降低由第一掺杂区 I、沟道区 II 和第二掺杂区 III 构成的晶体管的阈值电压和提高该晶体管的饱和电流, 从而提高半导体结构的电学性能。

30 [00156] 本领域的普通技术人员可以理解, 上述各实施方式是实现本申请的具体实施例, 而在实际应用中, 可以在形式上和细节上对其作各种改变, 而不偏离本申请的精神和范围。任何本领域技术人员, 在不脱离本申请的精神和范围

内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：
基底；
位线，位于所述基底上；
5 半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触，且所述第一掺杂区、所述沟道区和所述第二掺杂区中掺杂有第一类型掺杂离子，所述沟道区中还掺杂有第二类型掺杂离子，使得所述沟道区中的多数载流子浓度低于所述第一掺杂区和所述第二掺杂区中多数载流子的浓度，所述第一类型掺杂离子为 N 型离子或 P 型离子中的一者，所述第二类型掺杂离子为 N 型离子或 P 型离子中的另一者。
10
2. 如权利要求 1 所述的半导体结构，其中，所述第二类型掺杂离子还位于所述第一掺杂区靠近所述沟道区的区域中以及位于所述第二掺杂区靠近所述沟道区的区域中。
- 15 3. 如权利要求 1 所述的半导体结构，其中，所述第一类型掺杂离子在所述沟道区中的有效掺杂浓度低于在所述第一掺杂区中的有效掺杂浓度，且所述第一类型掺杂离子在所述沟道区中的有效掺杂浓度低于在所述第二掺杂区中的有效掺杂浓度。
4. 如权利要求 3 所述的半导体结构，其中，所述第一类型掺杂离子在所述沟道区中的有效掺杂浓度为 $8 \times 10^{18} \text{atom/cm}^3 \sim 2 \times 10^{19} \text{atom/cm}^3$ 。
20
5. 如权利要求 3 所述的半导体结构，其中，所述第一类型掺杂离子在所述第一掺杂区中的有效掺杂浓度为 $3 \times 10^{19} \text{atom/cm}^3 \sim 1 \times 10^{20} \text{atom/cm}^3$ ，所述第一类型掺杂离子在所述第二掺杂区中的有效掺杂浓度为 $3 \times 10^{19} \text{atom/cm}^3 \sim 1 \times 10^{20} \text{atom/cm}^3$ 。
- 25 6. 如权利要求 1 所述的半导体结构，其中，所述沟道区在所述基底上的正投影小于所述第二掺杂区在所述基底上的正投影，且小于所述第一掺杂区在所述基底上的正投影。
7. 如权利要求 1 所述的半导体结构，其中，所述基底、所述位线和所述半导体通道具有相同的半导体元素。
- 30 8. 如权利要求 7 所述的半导体结构，其中，所述位线的材料还包括金属半导体

化合物。

9. 如权利要求 8 所述的半导体结构, 还包括: 金属接触层, 位于所述第二掺杂区远离所述基底的顶面, 且所述金属半导体化合物和所述金属接触层中具有相同的金属元素。
- 5 10. 如权利要求 1 所述的半导体结构, 还包括:
- 绝缘层, 覆盖所述沟道区侧壁表面;
- 字线, 覆盖所述绝缘层远离所述沟道区的侧壁表面, 且相邻所述第一掺杂区侧壁、相邻所述字线侧壁以及相邻所述第二掺杂区侧壁围成空隙;
- 隔离层, 所述隔离层位于所述空隙中, 且所述隔离层远离所述基底的顶面不
- 10 低于所述第二掺杂区远离所述基底的顶面。
11. 一种半导体结构的制作方法, 包括:
- 提供基底;
- 在所述基底上形成初始位线, 以及在所述初始位线远离所述基底的表面形成
- 15 半导体通道, 在沿所述基底指向所述初始位线的方向上, 所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区, 且所述第一掺杂区、所述沟道区和所述第二掺杂区中掺杂有相同掺杂浓度的第一类型掺杂离子, 所述第一类型掺杂离子为 N 型离子或 P 型离子中的一者;
- 在所述沟道区的侧壁形成掺杂有第二类型掺杂离子的牺牲层, 且所述牺牲层至少覆盖所述沟道区的侧壁, 所述第二类型掺杂离子为 N 型离子或 P 型离子
- 20 中的另一者;
- 采用退火工艺, 使所述第二类型掺杂离子扩散至所述沟道区中, 以降低所述沟道区中的多数载流子浓度;
- 去除所述牺牲层, 以露出所述沟道区侧壁。
12. 如权利要求 11 所述的制作方法, 其中, 所述第二类型掺杂离子在所述牺牲层
- 25 中的掺杂浓度为 $4 \times 10^{20} \text{atom/cm}^3 \sim 9 \times 10^{20} \text{atom/cm}^3$ 。
13. 如权利要求 11 所述的制作方法, 在所述沟道区的侧壁形成掺杂有第二类型掺杂离子的牺牲层之前, 还包括:
- 在所述沟道区的侧壁表面形成保护层, 且所述保护层覆盖所述沟道区侧壁表面;

在去除所述牺牲层之后，还包括去除所述保护层。

14.如权利要求 13 所述的制作方法，其中，所述牺牲层填充满相邻所述保护层的间隔中，且位于相邻所述第二掺杂区的间隔中。

5 15.如权利要求 11 所述的制作方法，其中，在所述退火工艺的步骤中，所述第二类型掺杂离子的扩散方向为由所述沟道区指向所述第一掺杂区或者由所述沟道区指向所述第二掺杂区。

16.如权利要求 11 所述的制作方法，在所述沟道区的侧壁形成掺杂有第二类型掺杂离子的牺牲层之前，还包括：

10 形成覆盖所述第一掺杂区侧壁表面的第一隔离层，且同一所述初始位线上相邻所述第一掺杂区侧壁的所述第一隔离层之间具有第一间隔，且所述第一间隔露出所述初始位线；

形成第二隔离层，所述第二隔离层位于所述第一间隔中，且所述第二隔离层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面，所述第二隔离层与所述沟道区之间具有第二间隔；

15 形成覆盖所述第二掺杂区侧壁表面的第三隔离层，所述第三隔离层与所述第二隔离层相接触，且位于相邻所述初始位线上的相邻所述第二掺杂区侧壁的所述第二隔离层之间具有第三间隔，所述第二间隔和所述第三间隔相连通。

17.如权利要求 16 所述的制作方法，在去除所述牺牲层之后，还包括：

形成覆盖所述沟道区侧壁表面的绝缘层；

20 形成覆盖所述绝缘层远离所述沟道区的侧壁表面的字线，且所述字线和所述绝缘层共同填充满所述第二间隔。

18.如权利要求 17 所述的制作方法，在形成所述字线之后，还包括：

去除所述第二隔离层和所述第三隔离层，以露出所述初始位线；

25 对暴露出的所述初始位线进行金属化处理，以形成位线，所述位线的材料包括金属半导体化合物。

19.如权利要求 18 所述的制作方法，在形成所述字线之后，在去除所述第二隔离层和所述第三隔离层之前，还包括：

30 采用外延生长工艺，在所述第二掺杂区远离所述基底的顶面形成初始过渡层，所述初始过渡层中掺杂有所述第一类型掺杂离子，所述第一类型掺杂离子在所述初始过渡层中的掺杂浓度大于在所述第二掺杂区中的有效掺杂浓度，且

所述初始过渡层在所述基底上的正投影覆盖所述第二掺杂区在所述基底上的正投影。

- 20.如权利要求 19 所述的制作方法,在对所述初始位线进行所述金属化处理的步骤中,还包括:对所述初始过渡层进行金属化处理。